

基于 HKS1553BCRT 芯片的 1553B 总线通信软件设计

王绮卉, 田 泽, 赵 彬

(中国航空计算技术研究所, 陕西 西安 710119)

摘 要: 为了提高 1553B 总线通信模块的统一性简化设计难度, 文中选用 HKS1553BCRT 芯片作为系统开发的硬件平台。该硬件平台由于采用内部集成 1553B 协议处理器的高性能 SoC, 可以很好的解决多路 1553B 总线接口模块版本众多、互不兼容、硬件系统设计复杂的问题。基于该平台设计了一款通用的 1553B 通信软件, 可同时支持静态总线和动态总线两种不同的工作模式, 提出并实现了改进型静态总线控制 (Improved Static Bus Controller ISBC) 协议。进一步满足了不同系统下数据传输需求, 改善了 1553B 总线对实时消息的响应速度, 本软件数据结构简洁、算法合理, 对同类软件设计有一定的借鉴意义。

关键词: 1553B; HKS1553BCRT; 静态总线; 动态总线; 改进型静态总线

中图分类号: TP31

文献标识码: A

文章编号: 1673-629X(2012)08-0039-04

Design of 1553B Communication Software Based on HKS1553BCRT

WANG Qi-hui, TIAN Ze, ZHAO Bin

(Aeronautical Computing Technique Research Institute, Xi'an 710119, China)

Abstract: In order to improve the uniformity of the 1553B bus communication module and reduce the design difficulty, it selected HKS1553BCRT chip as the hardware platform of the system development. Due to the high-performance SoC of internal integration 1553B protocol processor, the hardware platform can solve the issues such as numerous multi-channel 1553B bus interface module version, incompatible, complex hardware system design. The software design based on the platform can support both static and dynamic two different bus mode is proposed and implemented improved static bus control (improved static bus controller, ISBC) protocol. Further meet the needs of data transmission in different systems, improve the response speed of the 1553B bus for real-time messages, the software data structure is simple, algorithm is reasonable and provides a reference for similar software design.

Key words: 1553B; HKS1553BCRT; static bus; dynamic bus; ISBC

0 引 言

现有的 1553B 多路总线数据传输接口模块通常以“处理器芯片+多个存储器芯片+1553B 协议处理芯片+定时器”的形式出现。这样的实现方式导致单板器件众多、设计调试复杂、软件版本互不兼容、模块通用性差以及管理成本高等各种问题。尤其在该形式构成的模块, 其核心的协议处理接口芯片多采用 DDC/UT 等国外公司的芯片, 整体质量和安全性难以保证。因此亟需一种标准化解决方案, 简化模块设计调试, 同

时满足小型化、高速化需求。

HKS1553BCRT 是一款集智能化、通用化和小型化为一体的国产 1553B 通信处理芯片。该芯片采用 SoC 构架, 将“处理器芯片+多个存储器芯片+1553B 协议处理芯片+定时器”以单芯片的形式提供给用户使用。

文中以 HKS1553BCRT 芯片硬件平台为基础, 设计了一款 1553B 总线控制器通信软件, 该软件基本可满足目前主流的 1553B 总线系统应用要求。此设计增加了软件通用性, 减少系统开发周期。对于今后各种 1553B 总线系统设计实现都有一定的借鉴意义。

1 设计原理

1553B 总线属于指令/响应型的异步操作式数据总线^[1], 网络中信息传输的控制权唯一归 BC 所有^[2]。BC 控制着整体系统的功能、各个分系统的工作方式、

收稿日期: 2012-03-20; 修回日期: 2012-06-24

基金项目: “十一五”总装微电子预研项目(51308010511); 总装预研重点基金项目(9140A160107HK61)

作者简介: 王绮卉(1980-), 女, 陕西西安人, 硕士, 助理工程师, 从事数字集成电路设计和验证等方面的研究; 田 泽, 博士, 研究员, 中航工业集团首席技术专家, 研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计等。

信息流的变化、故障的处理与显示、系统通信的重构,实时检查每一个分系统的运行状态。RT 按照 BC 所发出的命令进行通信,实现系统整体功能及信息综合^[3,4]。

目前 1553B 总线有如下两种主要的工作方式:

(1)动态总线:实际应用系统中均使用的总线工作方式,BC 可以自动检测网络内 RT 是否在线,根据 RT 的在线状态决定是否向该 RT 发送命令表中的相关消息。

(2)静态总线:通常用于 1553B 协议符合性测试,BC 不监控 RT 的情况,机械的按照主机下发的命令执行,将收到的状态或数据信息如实的反应给主机。

ISBC 协议是一种改进的静态总线控制协议,它利用矢量字实现仅传输刷新数据的传输机制,实现了更新消息的伪实时传输。该协议在总线表中周期插入矢量字的查询命令,尽可能及时的获知数据是否被更新。减小了总线负载,提高了新消息的更新周期,使得 1553B 这样的静态被动式总线协议在一定程度上获得了近似于其他实时消息传输协议的性能。用于以下两种传输模式:

(1)RT 产生的数据(RT 到 BC,RT 到 RT):1~16 子地址在用于该 RT 的专用矢量字中皆有一个相对应的位,用于表示该子地址的消息数据的更新状态,矢量字的最低比特位(bit15)与子地址#1 相对应,最高比特位(bit0)与子地址#16 相对应。BC 通过查询矢量字获知是消息的更新情况,从而决定是否传输新消息。

(2)BC 产生的数据(BC 到 RT):如果传输数据是由 BC 产生的,BC 只需检查该数据块是否刷新,如果数据被刷新,该消息即被组织发送。

2 硬件平台

以 HKS1553BCRT 为核心的硬件平台,其结构如图 1 所示。

硬件平台主要包括核心的 HKS1553BCRT 芯片、PCI 接口芯片、1553B 总线变压器收发器、Flash 以及电源时钟等基本资源。通过 PCI 接口与子系统主机连接,在芯片内部集成的 DPRAM 作为两个系统间信息交换的主要载体。该平台简化了硬件设计、提高了系统稳定性,通过底层软件就可以控制通信模块完成较为复杂的内存管理、应用协议处理等工作,实现 GJB289A-97 中规定的功能^[5]。详细功能见参考文献^[6]。

3 软件设计

本软件按照主机给出的命令表和通信表根据网络实际情况收发数据,实现传输功能。主要工作过程是:

将接收到的数据存放指定的内部 DPRAM 中的接收缓冲区,更新相关状态,通知子系统主机有新数据到达;子系统主机通过驱动程序提供的 API 函数接口将需要发送到其他子系统的数据写入 MBI 模块内的 DPRAM 中指定的发送缓冲区,MBI 模块会根据命令表,将发送缓冲区中的数据发送到 1553B 总线上^[7~11]。

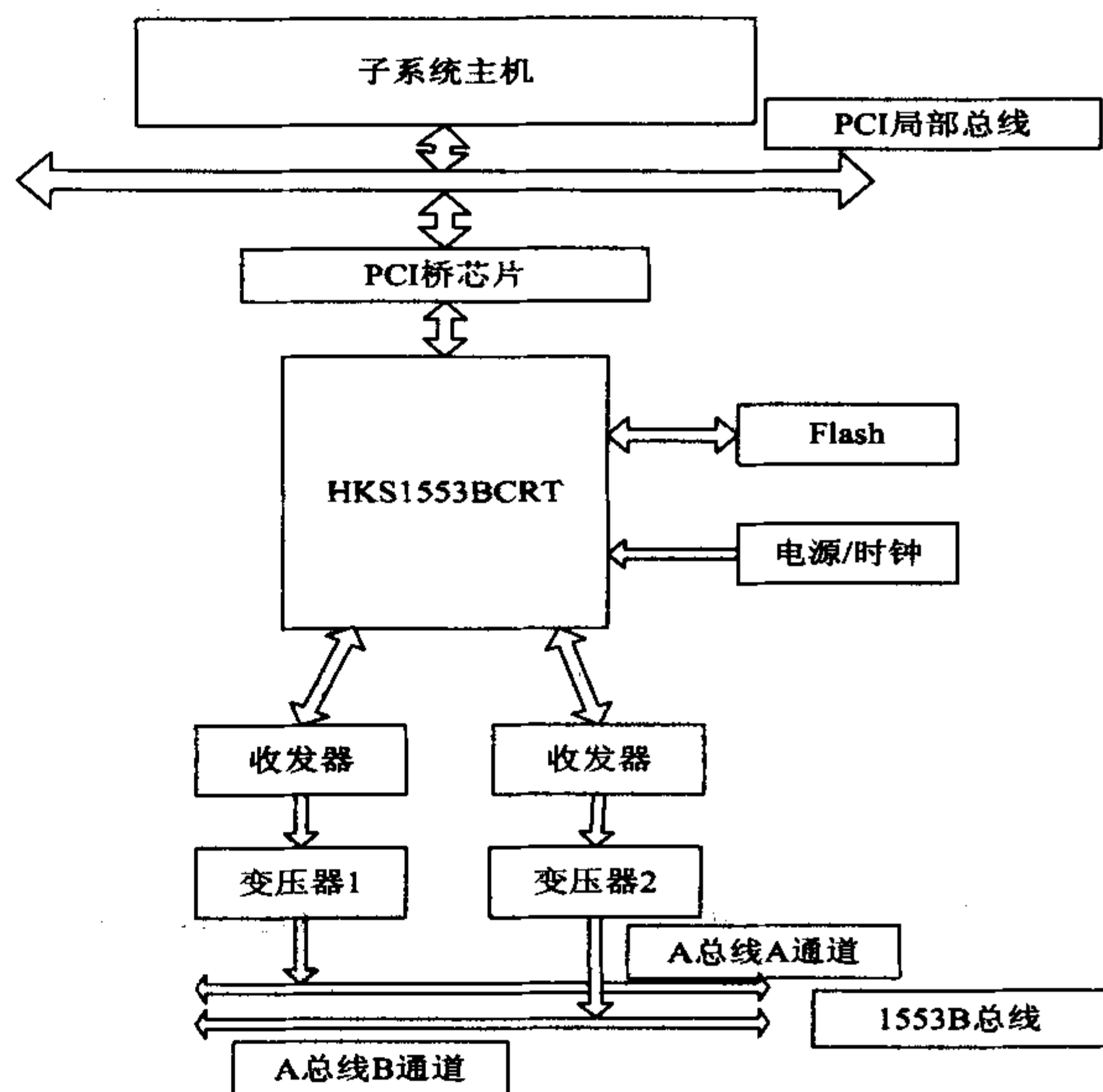


图 1 1553B 通信模块结构

为了实现动态总线工作模式,软件需要周期的向每个 RT 节点发送命令,根据 RT 回复的状态字来确定该 RT 是否在线,如果该 RT 在线则将与该 RT 相关的矢量字查询命令,非 ISBC 命令的发送命令 SKIP 位设置为 0,否则设置为 1。标记该 RT 为上线状态,不再对该 RT 进行周期查询。如果某上线状态 RT 在通信时状态字异常,BC 会在另一条总线上重试该命令,当重试次数超过设置的门限值向主机报该 RT 故障。同时,标志此 RT 为下线状态,恢复对它的周期查询。其中在处理 RT-RT 命令时则需要命令中涉及的两个 RT 同时在线才将相关命令的 SKIP 置为 0。

当软件完成初始化之后,BC 启动之前,主要是靠 DT 中断完成总线状态查询的工作。将查找到的 RT 设置为在线状态。BC 启动之后,从命令表中的第一条有效命令开始执行,每执行完一条命令都会由 1553 协议处理器报出高优先级中断。在高优先级中断里对当前命令的结果进行处理,并启动下一条命令。BC 优先级中断处理流程如图 2 所示。

软件对 ISBC 协议仅在动态模式下有效,通过以下方式实现:

(1)BC 有数据需要发送给 RT:查找 RT 是否在线,如果在线将数据写入对应命令的数据缓存区,设置该命令的 SKIP 位 0,命令执行完之后,将该位置 1;

(2)BC 接收 RT 的更新数据:RT 上线后 BC 清零该 RT 对应的矢量字发送命令,BC 就会不断的收到该

RT 发送的矢量字,当发现该 RT 矢量字某些位为 1 时(代表该矢量字的对应 RT 的发送子地址数据有更新)将该位对应的接受数据命令 SKIP 位清零,BC 执行外该命令后将 SKIP 清零。由于受到矢量字位数的限制,软件仅支持对 RT 前 16 个子地址使用该通信方式。

传输软件的通信控制过程主要在中断里完成,需要处理的中断主要包括 WDT、DT、高优先级以及标准优先级,具体内容如表 1 所示。

表 1 BC 中断

中断	执行内容	触发条件
WDT	软复位,通知主机	WDT 时间到
DT	BC 停止:将自身的 RTC 值作为广播消息发送;发送消息查询 RT 是否在线 BC 运行:将周期命令插入到同步消息链中	DT 时间到
高优先级	判断执行的命令是否成功;判断收到有效矢量字,使能相应命令;判断是否需要将同步消息插入执行的命令链;查找需要下一条需要执行的命令过程。具体过程如图 3 所示	完成一条命令后协议处理器触发
标准优先级	异常消息对应的 RT 设置为故障状态	重试异常/查询比较匹配后协议处理器触发

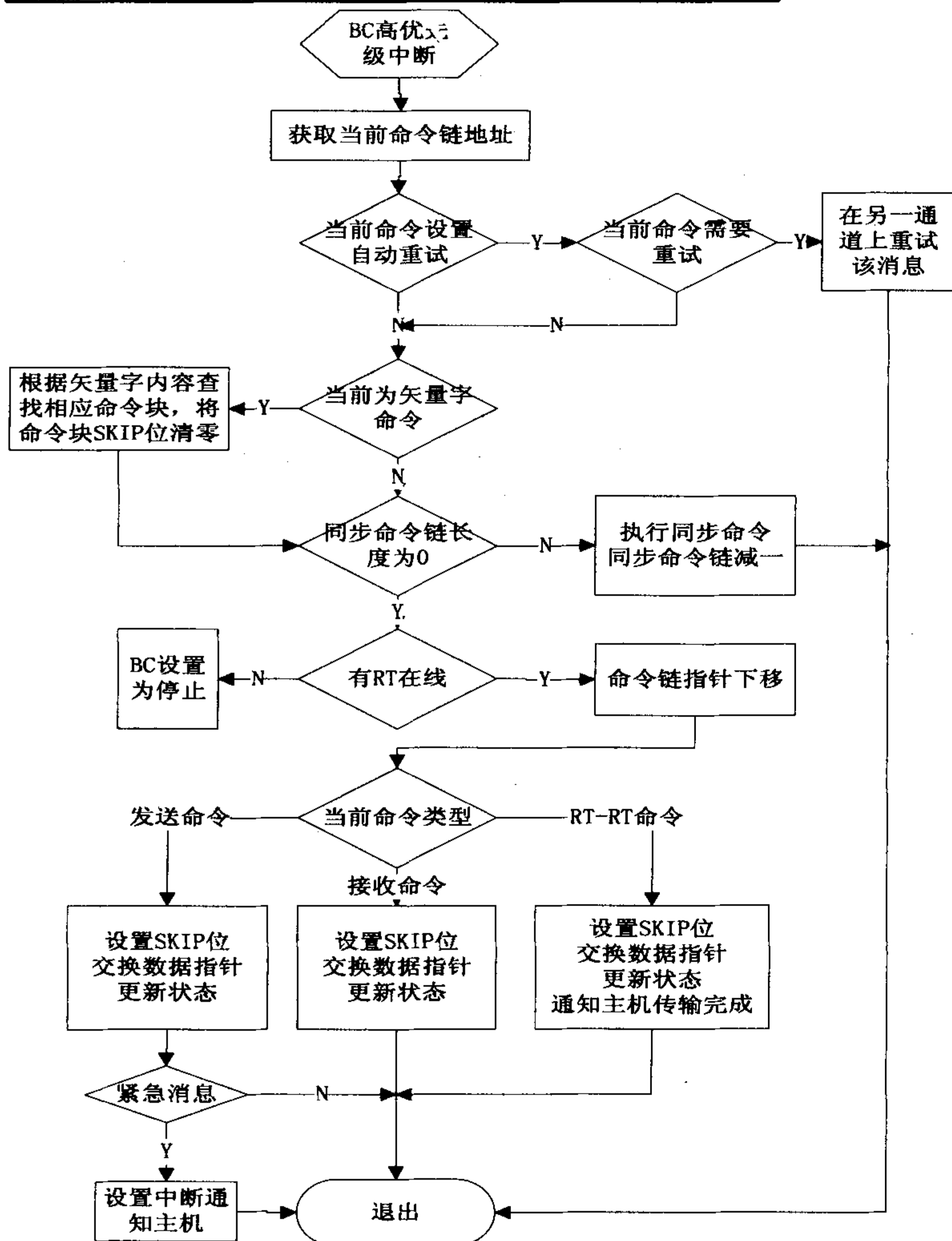


图 2 BC 高优先级中断处理

静态总线控制模式较为简单,软件将周期发生查询命令功能设计为可禁止功能。主机在初始化时根据实际需要选择工作模式,周期功能禁止后启动 BC 时软件只执行一条命令链,将执行结果返回给主机,同时根据工作模式决定是否自动获取下一条命令链。

4 数据结构

双口 RAM 实现了 MBI 与主机之间数据交换,依次划分为:状态信息区、命令表信息区、以及收发数据区。其中命令表信息区最为复杂,包括 RT 管理表、交叉表、命令块表以及命令列表。

在 RT 管理表中每个 RT 占用 8 个字空间,用以表示该 RT 是否在线以及命令地址等信息,按照 RT 地址一次排列。交叉表也是以 RT 为单位依次存储每个 RT 对应所有的命令块地址,按照命令的 RT 地址进行分组,先是 ISBC 命令然后是非 ISBC 命令,按照子地址顺序进行排列。ISBC 命令要求子地址从小到大连续排列。这两个表用于在 RT 上线时查找命令清零命令的 SKIP 位。图 3 为 RT 管理表和交叉表之间的关系。

主机程序将 BC 所要发送的命令按照类型写在双口 RAM 中,每个命令以块的形式存在。每个块包括 8 个 16 位字,它们分别是:命令类型、控制字、命令字 1、命令字 2、消息指针(1553 处理器访问)、状态字 1、状态字 2、接收或发送消息块指针(由 HOST 访问)。如图 3 所示。关于控制字、状态字以及命令字的定义与参考文献[12]中的定义相同,所有的命令按类型排列集结为命令块表。

命令的实际执行顺序由命令列表指定,该表中的内容是每个命令块的实际地址。命令列表由主机生成后写入到双口 RAM 中,主机通常按照航空电子系统的接口控制(Interface Control Document ICD)文件生成命令列表。在简单系统中,主机也可以根据系统实际情况手工排列链表。命令表和命令块之间的关系如图 4 所示。

命令块的第 5 个字和第 8 个字保存的消息列表指针用于收发数据存储空间的寻址。程序将双口 RAM 作为数据的共享存储区可由子系统主机访问,也可由 MBI 访问。为了防止 MBI 和子系统主机对数据区的访问冲突,保证数据的完整

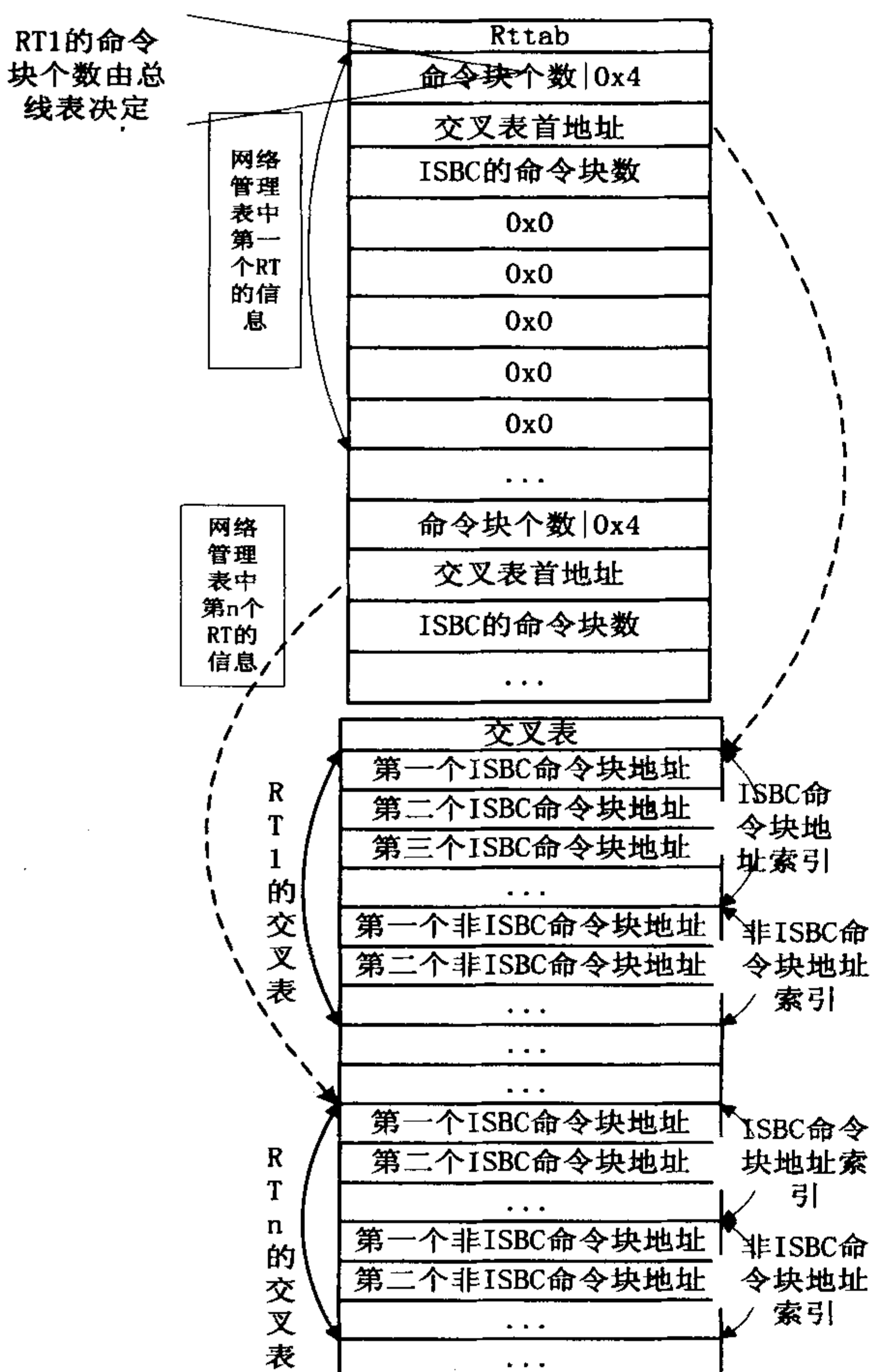


图 3 RT 管理表和交叉表

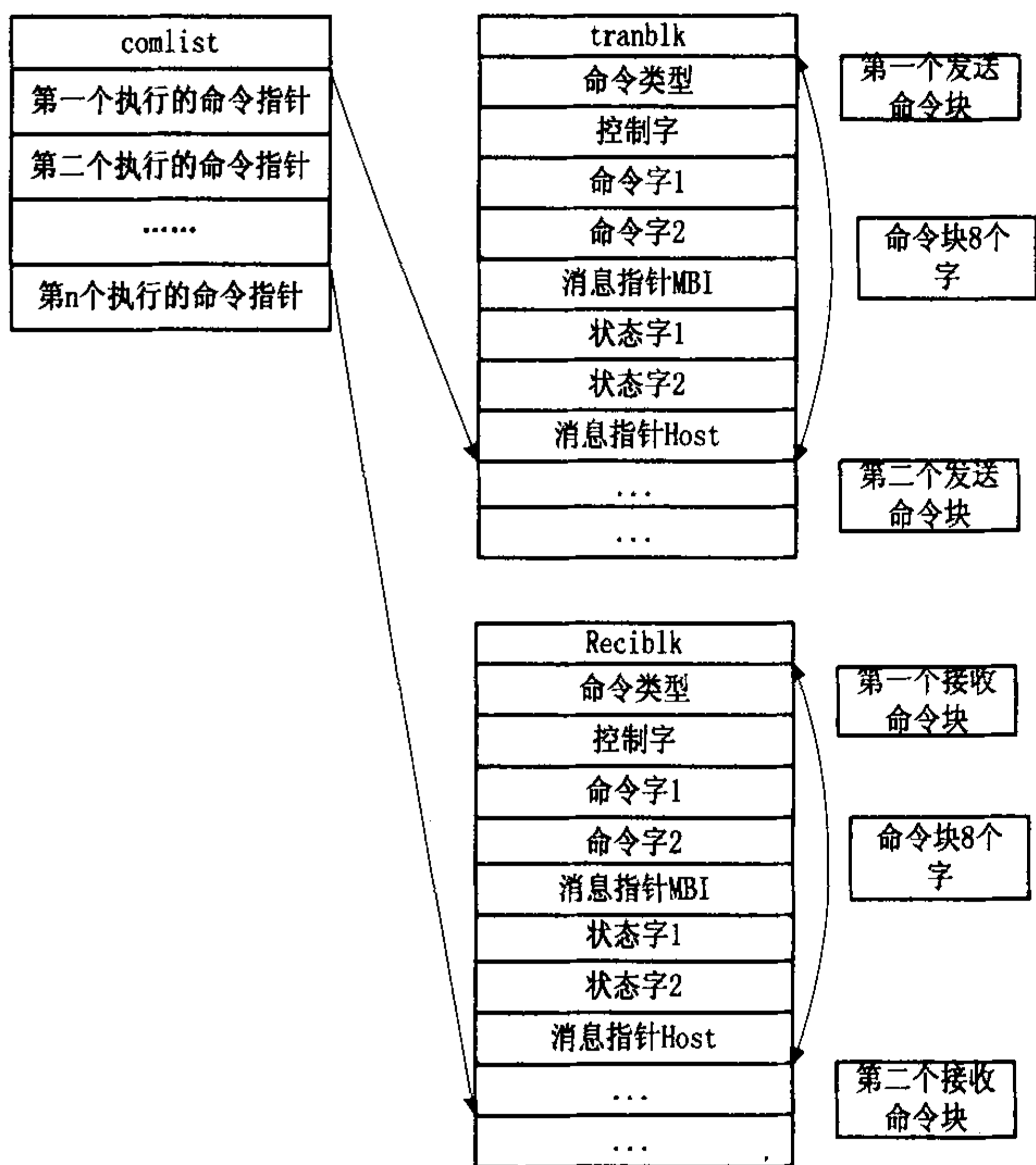


图 4 命令表和命令块

性,对 BC 的每条输入和输出消息的数据缓冲区均采

用了双交替缓冲区的办法。即对每个输入和输出子地址,都设计两个缓冲区,任一时刻,其中一个缓冲区(M区)只能由 MBI 访问,另一缓冲区(A区)只能由子系统主机访问。这一对缓冲区由“缓冲区地址指针”来指示。子系统主机完成每一次的访问操作后,两个缓冲区指针进行切换。

5 结束语

文中给出了基于 HKS1553BCRT 芯片的 1553B 多功能总线接口模块的 BC 通信软件设计方案,清晰的描述了支持该方案的数据结构。本方案综合利用芯片提供的多种中断形式简单高效地实现了复杂的 BC 控制。提供动/静态总线控制,可以满足目前不同环境的应用需求。

提出的 ISBC 协议,可以有效的提高总线上消息传输的实时性。该软件不但适用于 HKS1553BCRT 芯片所构建的硬件环境,而且对采用其他硬件平台的 1553B 总线系统软件设计也有一定的借鉴意义。

参考文献:

- [1] 旷文聪,姜运生. 基于 BU261580 的 1553B 航空通信总线设计[J]. 电子技术, 2008(12): 14-19.
- [2] 李文军,邵炳昌. 飞机 1553B 总线的测试系统[J]. 飞机设计, 2003(2): 51-54.
- [3] 熊华钢. 机载高速数据总线系统研究[D]. 北京:北京航空航天大学, 1998.
- [4] 程作仁,李 丽,高明伦,等. 通用测试平台的讨论[J]. 微电子学与计算机, 2001, 18(5): 4-7.
- [5] 田 泽,韩 炜,赵 强,等. 1553B 总线接口 SoC 设计与实现[J]. 航空计算技术, 2008, 9(Sup): 15-21.
- [6] HKS1553BCRT 用户使用手册[M]. 西安:西安翔腾微电子科技有限公司, 2010.
- [7] 郭泽仁. 1553B 总线系统优化及可靠性设计[J]. 山东理工大学学报(自然科学版), 2008, 22(1): 67-70.
- [8] 雷 勇,吴 勇,潘 莉. 基于 USB 的 1553B 总线通用接口研究[J]. 计算机测量与控制, 2010, 18(4): 861-864.
- [9] 赵月琴. 基于 BU-61580 的嵌入式 1553B 终端的设计[J]. 航空兵器, 2004(4): 28-31.
- [10] 王学宝,黄志立,朱 勇. 基于 ARM 的智能 1553 通讯模块设计[J]. 微计算机信息, 2010(8): 117-119.
- [11] 宋小庆,熊全谦. 1553B 总线的信息传输调度策略[J]. 装甲兵工程学院学报, 2010(1): 58-62.
- [12] GJB289A-1997 数字式时分制指令/响应型多路传输数据总线[S]. 国防科学技术工业委员会, 1997.

参考文献(12条)

1. 旷文彪;姜运生 基于BC201580的1553B航空通信总线设计 2008 (12)
2. 李文军;邵炳昌 飞机1553B总线的测试系统 2003 (02)
3. 熊华钢 机载高速数据总线系统研究[学位论文] 1998
4. 程作仁;李丽;高明伦 通用测试平台的讨论[期刊论文]-微电子学与计算机 2001 (05)
5. 田泽;韩科;赵强 1553B总线接口SoC设计与实现 2008 (Sup)
6. HKS1553BCRT用户使用手册 2010
7. 郭泽仁 1553B总线系统优化及可靠性设计[期刊论文]-山东理工大学学报(自然科学版) 2008 (01)
8. 雷勇;吴勇;潘莉 基于15B的1553B总线通用接口研究 2010 (04)
9. 赵月琴 基于BC-61580的嵌入式1553B终端的设计 2004 (04)
10. 王学宝;黄志立;朱勇 基于ARM的智能1553通讯模块设计[期刊论文]-微计算机信息 2010 (08)
11. 宋小庆;熊全谦 1553B总线的信息传输调度策略[期刊论文]-装甲兵工程学院学报 2010 (01)
12. GJB289A-1997数字式时分制指令/响应型多路传输数据总线 1997