

基于 Nios II 的高性能电网谐波表的研制

孙科学, 汤吉波, 史学良

(南京邮电大学 电子科学与工程学院, 江苏 南京 210046)

摘要:电力系统的谐波是影响电能质量的重要因素,谐波对电力系统和用电设备产生了严重危害和影响。文中针对现有电网谐波表对谐波检测实时性不高和精度低的问题,提出一种基于 Nios II 软核和 FFT IP 核为核心的电网谐波表的设计方法。设计中 FFT IP 核、键盘、显示等模块通过用户自定义外设组件的形式添加到 SOPC Builder 中,同时通过 Avalon-ST 总线有效地把 FFT IP 核与 Nios II 软核处理器有机地结合起来,实现控制灵活、高速实时的电网谐波表。该设计已在 Altera 芯片 EP2C35F672C6 上进行实现,能够满足 100MHz 的系统时钟,提高了实时性。

关键词:谐波;检测;快速傅里叶变换;片上可编程系统

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2012)07-0219-04

High-performance Electrical Network Harmonic Monitoring System Based on Nios II

SUN Ke-xue, TANG Ji-bo, SHI Xue-liang

(College of Electronics Science and Engineering, Nanjing University of Posts and Telecommunications,
Nanjing 210046, China)

Abstract: Harmonic is an important influence of power quality in power system, for it is harmful to the power system and power equipments. A technique for realizing harmonic measurement based on the Nios II which makes use of Nios II soft-core processor to obtain the real-time measurement and analysis is presented to solve the problem of low speed and low accuracy of harmonic measurement system in existence. Through the Avalon-ST bus effectively combined the FFT IP core and Nios II soft-core, greatly improving the system processing speed and efficiency and achieving a flexible, high-speed real-time control of the electrical network parameter monitoring system. This design has carried on the timing simulation on Altera chip EP2C35F672C6, can satisfy 100MHz system clock, improve the real-time.

Key words: harmonic; measurement; FFT; SOPC

0 引言

随着各种非线性用电设备的大量使用,电网中谐波污染问题变得日益严重。为了电网能够安全运行,必须把谐波控制在安全的范围内,所以要对电网中的谐波进行分析与检测。同时各种现代精密生产工艺流程中的高精度工业设备和商业用电设备对电网中的各种扰动也越来越敏感,因此有必要对电网的谐波参数进行监测和分析,根据其分析监测的结果采取适当的保护措施,严格控制电网谐波的危害^[1,2]。到从治理环境污染、维护绿色环境的高度来认识谐波研究也是很有意义的,对电力系统这个环境来说,无谐波电能就是“绿色”的主要标志之一。

电力系统谐波检测要求系统具有较高的运算速度和测量精度^[3,4]。针对目前现有的谐波检测系统实时性差、精度低的问题,研究了一种基于 FFT 和 NiosII 软核控制器的硬件实现谐波检测的方法。文中介绍了一种基于 Nios II 的电网谐波表系统设计,整个系统集成在一片 FPGA 上,开发效率高、灵活性强,较好的满足了的市场需求。

1 电网谐波表系统组成

电网谐波表系统通过 FPGA 架构来进行实现,在 FPGA 内部,以 CPU NiosII 软核为控制核心,以 FFT IP 核电网谐波分析得处理核心。将 FFT IPcore、键盘和显示等模块以用户自定义外设组件的形式添加到 SOPC Builder 中,同时通过 Avalon-ST 总线有效地把 FFT IP 核与 NiosII 软核处理器有机的结合起来,同时加入诸如 A/D 转换模块、FFT 控制器模块、LCD 显示

收稿日期:2011-11-29;修回日期:2012-02-29

基金项目:南京邮电大学青蓝计划资助项目(NY210036)

作者简介:孙科学(1981-),男,安徽界首人,硕士,讲师,研究方向为嵌入式技术与通信信号处理。

及按键控制模块(控制液晶显示内容)等用户自定义的 IP 核,实现了系统的高度集成。电网谐波表系统组成如图 1 所示。

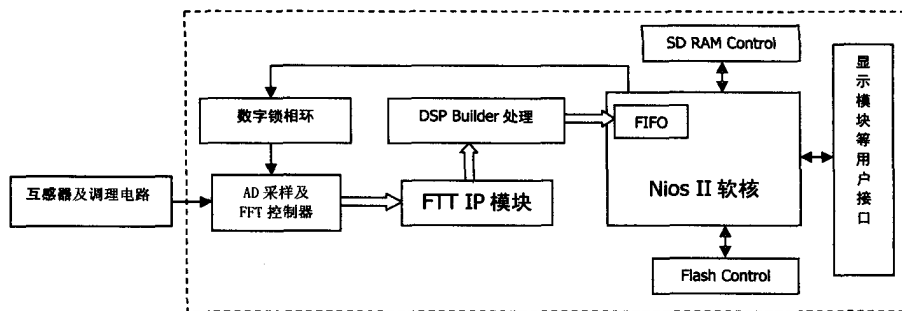


图 1 系统总体框架图

2 主要技术实现

2.1 FFT IP 核

谐波检测算法采用快速傅里叶变换(FFT),快速傅里叶变换算法是基于离散傅里叶变换(DFT),如式(1)和式(2)^[5]:

$$X[k] = \sum_{n=0}^{N-1} x(n) e^{-j2\pi nk/N}, k = 0, 1, \dots, N-1 \quad (1)$$

$$x(n) = \sum_{k=0}^{N-1} X[k] e^{j2\pi nk/N}, n = 0, 1, \dots, N-1 \quad (2)$$

求和运算的嵌套分解和复数乘法通过 DFT 的对称性加以实现快速运算。其中一类 FFT 算法是库利-图基(Cooley-Tukey)基 r 按频率抽选(DIF)算法,将输入序列循环分解为 N/r 个,长度为 r 的序列,需要 $\log_2 N$ 级运算。算法的核心操作是蝶型运算,蝶型运算的速度直接影响着 FFT 的速度^[6,7]。

FFT 的 IP 核通过定制参数可以用四输出或单输出引擎结构。为了提高 FFT IP 核函数的整体吞吐量,还可以使用多个并行引擎。

(1) FFT 四输出引擎结构。

四输出 FFT 引擎结构使用于需要最少转换时间的应用。四输出指的是 FFT 蝶形处理器内部的吞吐量,通过这种引擎结构可以实现一个时钟周期内计算所有四个基 4 蝶形复数输出。图 2 显示了四输出

FFT 引擎。

内部存储器并行读出复数取样数据 $x[k, m]$, 由变换开关(SW)重新排序,由基 4 处理器处理并得到排序后的取样数据:复数输出 $G[k, m]$ 。由于按频率抽选(DIF)基 4FFT 分解方法固有的数学特点,只需要 3 个复数乘法器完成 3 次乘旋转因子。四个输出块浮点单元(BFPU)并行估计辨别取样数据的最大动态范围,数据在写入内部存储器时,适当的丢弃最低位(LSB),然后对复数值进行四舍五入计算并重新排列顺序。

(2) FFT 单输出的引擎结构。

单输出指的是内部 FFT 蝶形处理器的吞吐量,单输出引擎适用于需要最小尺寸 FFT 函数中。在该引擎结构中,每个时钟周期计算一个单蝶形输出,每个蝶形运算需要一个单独的复数乘法器。单输出引擎如图 3 所示。

在 MegaWizard 中选择 FFT IP 核以进入设计界面,Parameters 是更改整个 FFT 功能的选项,其中包括器件类型、FFT 点数、位数、精度、引擎选项、使用存储单元等,注意 Verilog HDL 代码仅适合缓冲突发结构(Buffered Burst)与突发结构(Burst)。生成的 FFT IP 中包括 inverse(傅里叶变换/反变换),Avalon-ST 总线与三个数据口(实部、虚部、指数位)。FFTIP 核数据格

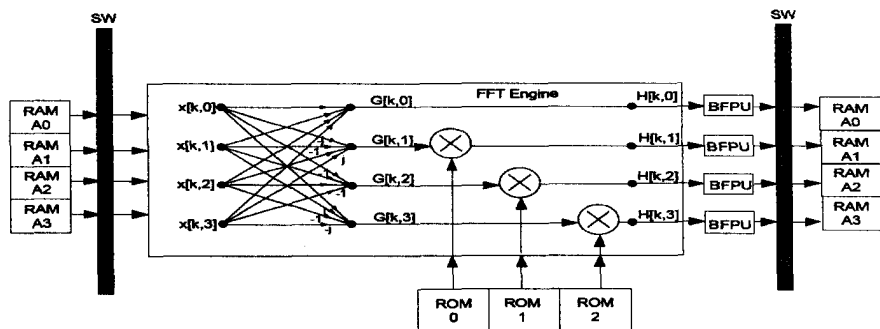


图 2 四输出 FFT 引擎

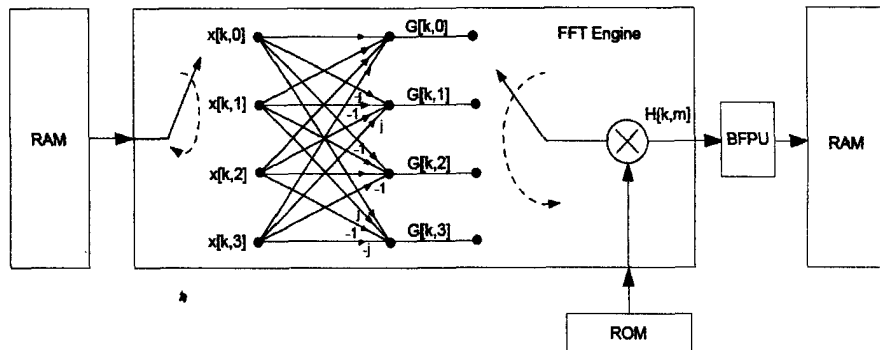


图 3 单输出 FFT 引擎结构

式采用块浮点格式,以达到数据精度与硬件复杂度的平衡点。

2.2 AD 采样及控制模块

该模块主要负责控制前级 AD 采样与输入 Avalon-ST 总线的协议。采用 Verilog HDL 语言编写,系统使用 PLL 倍频过的 100MHz 时钟。其中通过一个计数器给采样时钟分频,使其达到采样需要的频率。FFT 算法基带信号以及频带范围都跟采样率有密切的关系,设置可调节的频率设置来满足不同频率下的采样需求。

实现的主要 Verilog HDL 代码如下:

```
always @ (posedge CLK_DIV)
begin
if (rst_n == 1)
begin
case (state)
S0: begin
state <= S1;
oFFT_sop <= 1;
oFFT_eop <= 0;
count_fft <= 0;
end
S1: if (count_fft == 1022)
begin
state <= S0;
oFFT_sop <= 0;
oFFT_eop <= 1;
count_fft <= 0;
end
else
begin
state <= S1;
oFFT_sop <= 0;
oFFT_eop <= 0;
if (iFFT_ready)
count_fft <= count_fft + 1;
else
count_fft <= count_fft;
end
default: state <= S0;
endcase
end
else
begin
state <= S0;
oFFT_sop <= 0;
oFFT_eop <= 0;
count_fft <= 0;
end
end
end
```

每当一次数据采样到时,即把数据送到数据端,并把计数器加一,当计满 1023 时(因为最后一个时钟周期不在这个计数范围)则把 eop(end of package)端口置位,下一个周期开始一个新的数据包将 sop(start of package)置位,这样完成了 Avalon-ST 包协议下整个数据流的传输^[8,9]。

2.3 Avalon-ST 总线协议

Avalon 片内总线与 Nios 系列的软核处理器一起构成了 Altera 公司 SOPC 方案中的核心部分。IPcore 通过 Avalon 总线和 NiosII 进行数据交互,Avalon 总线是 CPU 与 IP 核交流的桥梁。Avalon 总线协议规定了 Avalon-MM(Memory Mapped)和 Avalon-ST(Streaming)两种接口方式^[10]。Avalon-ST 接口主要针对高速数据流的传输,减少数据流处理中的瓶颈,是单向点对点的高速接,在本设计中 FFT IP 核利用 Avalon-ST 中的包传输协议。FFT Avalon-ST 总线接口缓存突发数据流时序如图 4 所示。

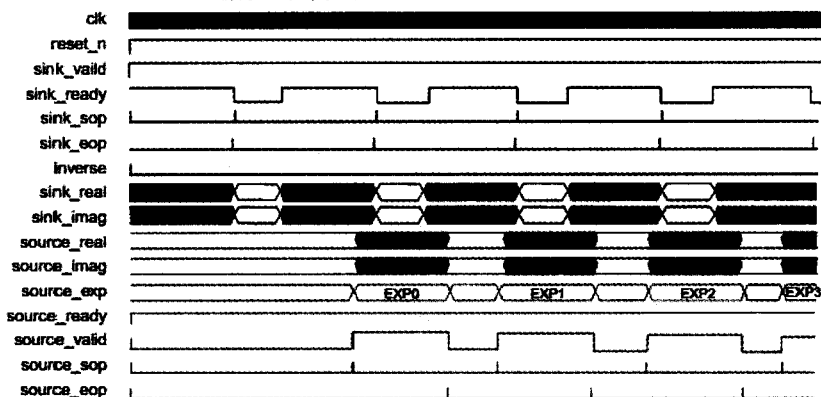


图 4 FFT Avalon-ST 总线接口时序图

使用 Avalon-ST 总线协议完成整个数据流的传输的流程如下:从 AD 采样开始通过对 Avalon-ST 总线初始控制,数据流进入 FFT 模块处理后通过 Avalon-ST 总线进入符合 Avalon-ST 总线标准的 SOPC 自定义外设,通过 Nios 软核内部 Avalon-ST 总线到 Avalon-ST FIFO 对数据缓存,等待最终的 Avalon-ST Test Pattern Checker 读取最终数据。整个数据流均通过 Avalon-ST 总线完成传输。由于 FFT IP 核使用包传输的方式,整个数据流在传输的过程均使用包传输。

以下是包传输接收部分几个重要端口介绍:

Valid:input 数据有效信号,高电平表示接收到的数据有效。

Ready:output 设备准备信号,向前一个 Avalon-ST 总线设备发送高电平表示已经准备好接收下一个数据了,如果没有准备好前一个设备应该暂停这个数据的发送知道 ready 置位。

Data:input 数据信号,一个标准的包传输协议仅支持一个数据信号。

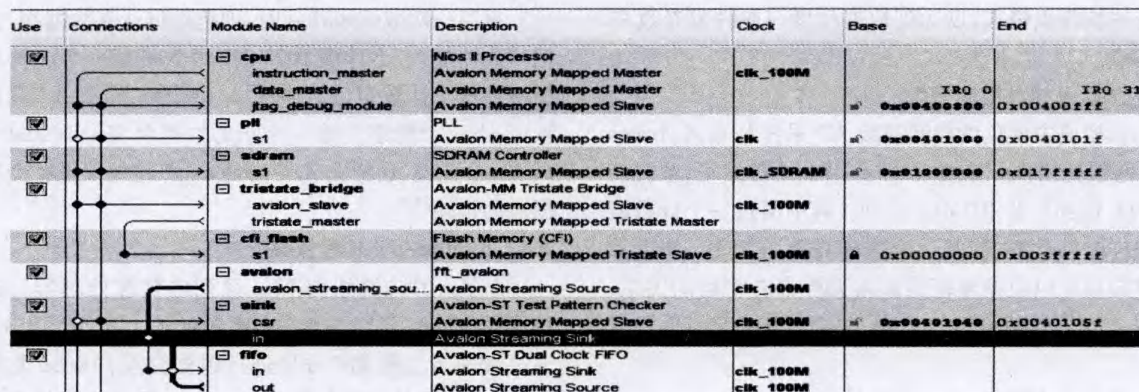


图 5 Nios II 模块 SOPC 系统设计图

Sop:input(start of package)开始包传输信号,在传输开始的时候发送一个高脉冲。

Eop:input(end of package)结束包传输信号,在传输结束的时候发送一个高脉冲。

Error:input 错误信号,在 FFT IP 中为两位,表示各种可能的错误情况,如缺少 sop 信号、缺少 eop 信号等,正常无错误传输恒为 0。

2.4 DSP Builder 后级处理

考虑实际使用很多时候直接求得 FFT 最终幅值,就需要对实部和虚部进行平方相加再开方运算,如果这个操作在 Nios II 中做会大量占用系统的指令周期使整个系统速度下降。

DSP Builder 是 Altera 公司推出的一款面向 DSP 研发的系统工具,该工具是作为 Matlab 的一个 Simulink 工具箱出现的,可以利用 Simulink 进行图形化建模仿真,这就使得 FPGA 设计数字信号处理系统完全可以通过 Simulink 的图形化界面进行实现。DSP Builder 内部包含多个适用于 DSP 开发的诸如算术库、复数信号库、总线控制库等。每个库都包含若干子模块,如乘累加模块、开方模块、加减模块等。设计模型可以进行硬件描述语言转换,并自动调用 Quartus 等软件完成系统综合。

2.5 Nios II 模块 SOPC 系统设计

为了更好地将设计好的功能模块集成到 Nios 软核中,使用一个顶层文件预先模块化封装整个硬件电路,生成带 Avalon-ST 总线接口的顶层 Verilog HDL 文件。使用 SOPC Builder 完成整个硬件设计,首先添加 PLL 模块,并设置一个 100MHz 时钟一个 SDRAM 时钟,然后以此添加 Nios II 软核、SDRAM、flash,这样就完成系统的基本设置。通过添加新组件的方式加入 Avalon-ST 总线组件,在 HDL files 添加 Avalon-ST 总线的顶层模块。在 signal 选择每个端口的功能,如 Avalon_streaming_source 等,在 interfaces 中更改不正确的端口位数、错误信号位数、包格式。在 Peripherals 下

debug and performance 添加 Avalon-ST Text Pattern checker 模块,以及 memories 下 on-chip 的 Avalon-ST Dual Clock FIFO^[11]。图 5 为 Nios II 模块设计图。

Nios II IDE 是 SoPC 软件集成开发环境,提供编辑、编译、链接、调试、下载等整套功能。设计程序用 C 语言编写,软件开发在 Nios II IDE 平台上完成。

3 结束语

谐波检测的精度和速度受到诸多方面因素的影响,影响测量精度的关键因素是非同步采样所造成的误差,而影响测量速度的关键因素取决于采用的处理器性能^[12]。因此,采用可编程逻辑器件(FPGA)来设计谐波测量系统可以很好解决谐波检测精度和速度这两个问题。本设计利用 Quartus II 开发平台,灵活地运用 DSP Builder, Nios II IDE 外设定制的方式完成了系统设计。系统开发流程简单,研发时间短,易于移植与更新,非常适合现阶段电子市场的需求。

参考文献:

- [1] 王春晓,刘 涛,赵丽红. 基于 DSP 和 CPLD 的电力谐波检测研究与实现[J]. 微计算机信息,2010(32):93-95.
- [2] 范必双,王英健,王玉凤. 基于 FPGA 硬件实现的谐波检测方法[J]. 计算机仿真,2008(4):235-240.
- [3] 刘 隼,唐雄民,彭永进. 基于 FPGA 的新型谐波分析仪设计[J]. 单片机与嵌入式系统应用,2004(3):60-64.
- [4] 葛远香. 基于 NIOS II 的电网参数监测系统的设计[D]. 杭州:浙江工业大学,2009.
- [5] Monteiro M E, Moura E S, Drago A B, et al. An Internet-based Power Quality Monitoring System[C]//IEEE International Symposium on Industrial Electronics. [s. l.]:[s. n.], 2003:333-336.
- [6] 史旭光,裴海龙. 一种改进的 FFT 方法在谐波测量中的应用[J]. 计算技术与自动化,2005,24(2):24-26.
- [7] 范汉青,陆 达,朱喜娜. 基于多处理器的谐波分析[J]. 计算机技术与发展,2010,20(5):139-141.

中有多条路径,则可以根据 GPS 定位点 P_i 与各待选路径 $r_i \sim r_j$ 之间的垂直距离最小为原则,找到 GPS 定位点 P_i 的确定路径 r_i ,接着转步骤 9。

步骤 9 最后得到更新后的总体待选路径集合 W ,其集合元素都由 GPS 定位点 P_i 以及其正确匹配道路组成。

步骤 10 该 GPS 定位点 P_i 为异常点,将该 GPS 定位点加入异常点集合 E ,转到步骤 1。

3 应用案例

文中应用实例数据主要来源于上海市公安局车载 GPS 巡逻车定位数据。文中抽取的数据定位地点主要为上海市南北高架,因为该区域道路路网复杂,比较有代表性。GPS 定位数据的时间间隔为:2010 年 10 月 1 日早上 9 点 30 分到 11 点 10 分。GPS 定位周期为 2S 左右,GPS 定位点数目一共为 281 个。

文中以 GPS 定位点为中心,以 20m 为半径做缓冲区分析,在道路中心线图上搜索道路,最终将各 GPS 定位点匹配到正确道路上,其部分地区匹配前及匹配后的结果如图 5、图 6 所示。

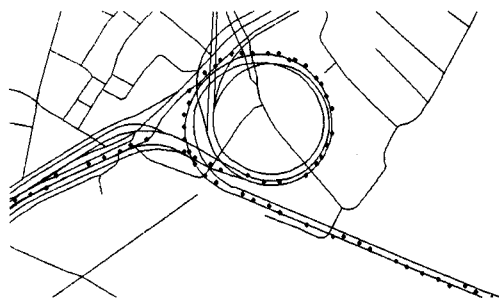


图 5 匹配前效果图

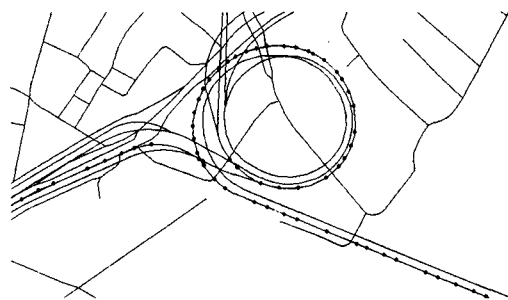


图 6 匹配后效果图

4 结束语

文中针对 GPS 定位点时间频率较快、定位精度较高、比较容易获得确定道路的特点,提出了基于路网拓扑结构的地图匹配算法。文中算法结合路网拓扑结构关系,对待选路径集合进行筛选,有效减少了参与计算的待选路径,提高算法的整体效率,同时,也避免了基于模糊逻辑算法中常见的权重值难以确定的问题,并通过应用案例进行实验,证明算法在复杂路网中准确的匹配效果。

参考文献:

- [1] 华永平,刘砚一. 车载定位系统中综合地图匹配算法研究[J]. 现在雷达,2010,32(3):53-56.
- [2] 陈嘉,胡继华. 面向车辆监控导航的地图匹配算法研究[J]. 北京大学学报(自然科学版),2009,45(2):299-305.
- [3] Najjar M E E, Bonnifait P. A Road-matching Method for Precise Vehicle Localization Using Belief Theory and Kalman Filtering[J]. Autonomous Robots,2005,19(2):173-191.
- [4] 胡建超,王忠. 改进的地图匹配算法研究[J]. 通信技术,2009,42(11):166-170.
- [5] 卢文涛,周银东. 基于拓扑结构的地图匹配算法研究[J]. 测控技术,2010,29(6):73-76.
- [6] 周璞,刘卫宁. 基于路网拓扑结构的无方向参数地图匹配算法[J]. 计算机工程与应用,2006,42(33):188-190.
- [7] 赖云波,孙棣华. 基于道路缓冲区分析的地图匹配算法[J]. 计算机应用研究,2011,28(9):3312-3314.
- [8] Quddus M A, Ochieng W Y, Zhao Lin, et al. A general map matching algorithm for transport telematics application[J]. GPS Solutions,2003,7(3):157-167.
- [9] Yu Jinxia, Cai Zixing. Fuzzy Likelihood Estimation Based Map Matching for Mobile Robot Self-localization[J]. FSKD,2006,4223:846-855.
- [10] 刘伟铭,田世艳. 基于地图匹配的城市道路实时交通状态模糊综合判别方法[J]. 公路交通科技,2011,28(10):86-91.
- [11] 杨新勇,黄圣国. 基于拓扑结构/自适应模糊决策的地图匹配算法[J]. 上海交通大学学报,2004,38(8):1389-1393.
- [12] 李清泉,黄练. 基于 GPS 轨迹数据的地图匹配算法[J]. 测绘学报,2010,39(2):207-212.

(上接第 222 页)

- [8] Meyer-Baese U. 数字信号处理的 FPGA 实现[M]. 北京:清华大学出版社,2003.
- [9] Altera Corporation. Avalon Interface Specification[M]. [s. l.]:Altera,2005.
- [10] Altera Corporation. Avalon Memory-mapped Interface Specification[EB/OL]. [2009]. [http://www.altera.com.cn/](http://www.altera.com.cn/literature/lit-index.html)

[literature/lit-index.html](http://www.altera.com.cn/literature/lit-index.html).

- [11] 何韬,梁栋,李瑶,等. 小波变换在电力谐波分析中的应用[J]. 计算机技术与发展,2007,17(1):229-232.
- [12] 王兆安,杨君,刘进军. 谐波抑制和无功功率补偿[M]. 北京:机械工业出版社,2004.