

# 一种 PCI 总线 Master 模块接口设计

史森茂,邵翠萍,龚龙庆

(西安微电子技术研究所,陕西 西安 710075)

**摘要:**该模块挂接在一款 SPARC V8 处理器的片内 AHB 总线上,作为 AHB 总线上的从机受 CPU 控制,作为 PCI 主设备实现处理器内部的 PCI 总线传输功能。模块主要接受来自 AHB 总线的信号,通过寄存器操作将其转化为标准的 PCI 命令,从而完成 PCI 主机与从机之间的通信。模块支持标准的 PCI2.2 协议操作和异常处理,用户可以通过 PCI 总线或 AHB 总线完成模块内部的寄存器配置功能。文章还介绍了模块的系统仿真和 FPGA 验证结果。结论表明,该设计方案是可行的、有效的;可以正确完成 PCI 总线的通信功能。

**关键词:**PCI;AHB;接口;异常处理

**中图分类号:**TP39

**文献标识码:**A

**文章编号:**1673-629X(2012)07-0207-04

## Design of PCI Master Interface

SHI Sen-mao, SHAO Cui-ping, GONG Long-qing

(Xi'an Micro-electronics Technique Institute, Xi'an 710075, China)

**Abstract:** The module is attached to the AHB bus on the processor based on the structure of SPARC V8, it is controlled by the CPU as a target on the AHB bus and a master on the PCI bus to finish transmission. The module receives signals from the AHB bus, converting it into a standard PCI command by registers operation to complete the communication between PCI master and slave. Supporting PCI 2.2 protocol operations and error-handling, users can config the internal configuration register by PCI bus or AHB bus. It also describes the module system simulation and FPGA verification. Conclusion shows that the design is feasible and effective, it can finish PCI bus communication correctly.

**Key words:** PCI; AHB; interface; error-handling

## 0 引言

计算机总线是计算机各部件之间进行信息传输的公共通道,微型计算机系统中广泛采用总线结构,其优点是系统成本低,组态灵活、维修方便。采用总线标准设计、生产的硬件模块兼容性强,通过系统总线可以方便的组合在一起,以构成满足不同需求的微机系统。

目前计算机应用中采用较多的总线技术包括 I2C 总线、ISA 总线、SPI 总线、PCI 总线等,其中 PCI 作为一种系统总线在计算机中获得广泛应用。

PCI 总线标准经过几年的发展,已经替代 ISA、MAC 等总线成为 PC 机主流总线标准。相对于 ISA 总线的 8 MHz 工作频率<sup>[1]</sup>,其 33MHz(最高可支持 66MHz)的总线工作频率在总线宽度为 32 位时,传输速率为 132 MB/s 或 264 MB/s<sup>[2]</sup>。在一定意义上可以认为:PCI 总线标准解决了高性能的 CPU 处理能力和低效的系统结构之间的瓶颈问题。在高速数据采集与

传输应用系统中,可以通过 PCI 桥接芯片实现 DMA 数据传输,完成主机与外部设备的高速数据交换<sup>[3]</sup>。

文中介绍了一种基于 PCI2.2 协议的 Master 接口模块设计,该模块挂接在一款 SPARC V8 处理器的片内 AHB 总线上,作为 AHB 从机受 CPU 的控制,实现 CPU 和外部 PCI 设备的高速通信。该模块支持所有的 PCI 命令,主要实现将 AHB 总线上的信号转换为相应的 PCI 操作,同时按照 PCI 协议完成与 PCI 从设备的交互通信。

## 1 PCI Master 接口结构

PCI Master 接口结构如图 1 所示。

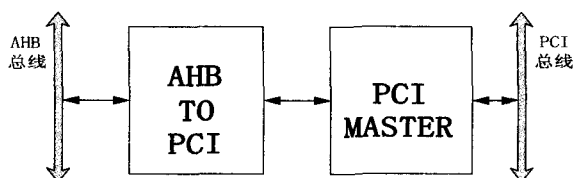


图 1 接口模块结构

该设计主要包括两个部分,即 AHB to PCI 的信号转换模块和 PCI Master 处理模块。其中信号转换模块

收稿日期:2011-12-01;修回日期:2012-03-04

作者简介:史森茂(1986-),男,陕西宝鸡人,硕士研究生,研究方向为计算机应用技术。

实现将标准 AHB 信号转换为符合 PCI Master 模块要求的输入信号,并实现时钟的同步;而 PCI Master 模块则负责按照协议实现 PCI 操作,完成对 PCI 从机的控制功能。

### 1.1 AHB to PCI 模块

#### 1.1.1 引入该模块的原因

PCI 是一种三态总线,而 AMBA 是一种非三态总线,采用多路选通方式<sup>[4]</sup>。PCI 总线上的地址和数据是复用的,通常一个 PCI 事物是在地址段给出地址,其后第一个数据段给出此地址的数据,后继的数据段依次为下个地址的数据。AHB 总线和 PCI 总线分别依靠 HSIZE[2:0]和 C/BE[3:0]的控制对数据传送宽度有不同程度的支持<sup>[5]</sup>。PCI 总线对数据采用的是小端对齐模式,而 AHB 总线却可以根据系统要求选择大小端模式。

AHB to PCI 桥首要功能是协议转换,接受来自 AHB 主设备满足 AHB 总线协议的地址和事务控制信号并经过协议转换后在 PCI 总线上启动一个符合 PCI 协议的 PCI 从设备识别的事务。AHB to PCI 桥的另外一个重要功能是对来自总线设备的数据进行缓冲,AHB 与 PCI 是工作频率完全不同的总线,而且两者协议中都要求总线不能插入太多等待状态。

#### 1.1.2 AHB to PCI 设计

接口模块设计结构如图 2 所示,其主要实现 CPU 接口信号的转换和同步,并对内部寄存器文件进行操作,同时将 PCI 接口信号进行分析写入寄存器中,从而实现 CPU 实时对 PCI Master 的状态读取和数据传输控制,根据 PCI Master 控制器输出状态信息对中断进行控制。

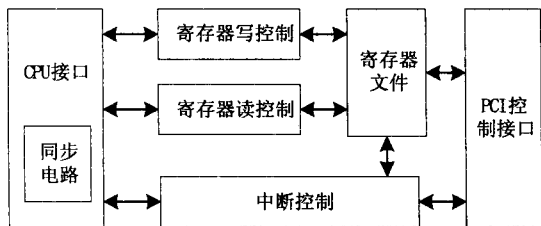


图 2 AHB to PCI 模块结构图

内部设计包括 CPU 接口同步操作、内部寄存器的读写操作、中断控制、Master 寄存器配置。

内部寄存器文件操作存在于 PCI 时钟下,CPU 读写操作信号同步输入到内部寄存器。所以要将 CPU 接口的寄存器读写操作信号进行处理并同步后输入到内部寄存器操作模块。

寄存器文件操作实现 CPU 的读写操作和 PCI 接口信息的存储,实现 PCI Master 控制器与 CPU 之间的

信息交互,此操作在 PCI 时钟下完成。通过对 AHB to PCI 接口模块中的寄存器进行操作,实现 PCI 的 IO 读写、Memory 读写、寄存器读写功能。

中断控制实现 PCI Master 控制器的状态实时表征,主要实现 error 错误中断、txFIFO 满中断、rxFIFO 空中断、目标 PCI 中断,输出一个时钟宽度高电平脉冲,并同步到 CPU 时钟,为单周期高电平脉冲。本设计生成一路中断信号,且为单周期脉冲。中断源为 4 个,分别为 ERR、FULL、EMPTY、COMPLETE,其中 ERR 又分为 6 个中断源产生,为: PERR、SERR、MSTABORT、TARABORT、RETRYERR、TRDYERR。

同时,模块实现了通过 CPU-AHB 总线对 PCI Master 模块配置寄存器进行配置的功能,通过对 AHB to PCI 模块内部的寄存器进行操作,从而完成对 Master 模块内部的寄存器配置,这些寄存器的值保证 Master 模块的正常的工作方式。

### 1.2 PCI Master 模块

如图 3 所示,本模块为 PCI Master 功能实现控制器,用于实现 PCI 总线的 Master 控制功能,通过 Backend 发起操作请求,模块实现对传输的控制。

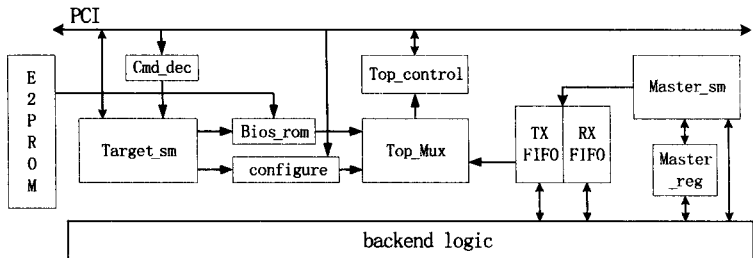


图 3 PCI Master 结构图

支持 PCI 2.2 协议,32 位数据地址复用总线,33Mhz 和 66Mhz 可选工作频率,可选带 VPD 支持的 BIOS ROM 接口,主机可选 DMA 通道,深度为 16 的独立 rxFIFO 和 txFIFO,可通过外部 E2PROM 或 Backend 对寄存器进行配置<sup>[6]</sup>。

#### 1.2.1 正常读写操作的完成

在接收到 PCI 写命令后,Backend 首先发出 txFIFO 的写使能信号,写数据和字节使能,2 个时钟周期后,发出请求信号、PCI 命令、地址和传输长度,Master 模块在检测到请求信号后,发出相应信号控制主机开始工作,同时发出总线请求 REQ,得到授权信号 GNT 之后,发出帧有效信号 FRAME,开始一次 PCI 传输。主机(IRDY)和从机(TRDY)同时有效时,进行数据传输。完成所有数据传输两个时钟周期后(即字节计数完成后),向 Backend 发出主机工作完成信号,表示本次传输已经完成。

一次正常的由 Backend 发起的读操作,Backend 首先发起传输请求、命令、地址、传输字数和字节使能,模

块在接收到请求后,相应主机发出开始工作信号,同时向仲裁器请求占用总线,得到授权信号 GNT 后发出 FRAME 开始一次 PCI 传输,在 IRDY 和 TRDY 同时有效是将 PCI 上的数据写入 rxFIFO, FIFO 不为空时读出 FIFO 中的数据,完成后发终止信号。

### 1.2.2 各个模块实现的功能

主机接收 FIFO 根据读控制时钟和使能产生控制 FIFO 的读写地址,结合 FIFO 存储 RAM,实现 FIFO 结构设计,深度 16,位宽 36。Backend 向 Master 发起请求、命令和地址,主机响应开始信号,同时请求占用总线,得到总线授权信号 GNT 后,使能 FRAME 开始一次 PCI 传输,当 PCI 主机与从机都准备好之后,向 rxFIFO 中写入数据,同时 Backend 检测 FIFO 不为空时,读取 FIFO 的数据至 Backend,检测到 FIFO 为空时,立即停止读取数据。

当 Backend 发出写使能信号有效时,向 txFIFO 中写入数据和字节使能,同时向 Backend 反映 FIFO 的空满状况,决定是否要继续向 FIFO 中写入数据。主从设备都有效时,将 FIFO 中的数据发送至多路选择器,经选择后输出至 PCI 总线。

Master 状态机是 PCI Master 的核心模块<sup>[7]</sup>,处理来自信号转化模块的请求;通过向 PCI 总线发出请求占用总线;控制 PCI 总线上的数据传输;向接收 FIFO 中写入读数据,读取发送 FIFO 中的读数据;处理 Target abort(从机终止),Master abort(主机终止)和其他的总线错误。接收到 Backend 请求信号后,有效 REQ 信号来请求占用 PCI 总线,通过有效 FRAME、IRDY 和 TRDY 来发起和控制传输。根据 Master 接口寄存器中锁存的命令来判断是读还是写操作,同时向 txFIFO 中写入数据或者读取 rxFIFO 中的数据,并且完成异常处理。

顶层模块主要负责相应模块的例化,实现主设备中各个模块的连接,同时对 txFIFO 中的输出数据进行拆分,拆分成数据位和字节使能位,将 Backend 的输入数据与字节使能并位。同时产生 FIFO 的刷新信号,以及确定特殊周期。生成奇偶校验位,产生相应错误及使能位。

从机状态机实现 PCI Target 功能状态机,实现通过 PCI 总线对 PCI\_Target 的 IO/MEM 的存取功能,配置 PCI\_Target/PCI\_Master 寄存器功能,存取 BIOS ROM 功能。

配置寄存器模块完成 offset 值为 00h 到 50h 的寄存器配置及读操作,对于配置寄存器配置, BIOS 接口配置具有最高的优先权,当用 Backend 配置时,相应的配置数据也要输入到该模块。

PCI 命令译码模块根据 PCI 总线输入命令译码,

产生对 Target 状态机的控制信号。

BIOS ROM 模块是 BIOS ROM/Bootloader SPI 接口模块,在一上电时,用于初始化 config 寄存器,并完成 EEPROM 地址转换。

### 1.2.3 PCI 异常处理

该设计能够处理传输中出现的 6 种异常<sup>[8]</sup>。

#### (1)地址期及系统奇偶校验错误。

读操作和写操作过程中,从设备接收到主机发出的地址和奇偶校验信号,计算出是否存在校验错误,如果有错,通过 PCI 线上的 SERR 信号将错误反映给设计模块,出现这种错误后,主机状态机并不会发生跳转,依然能正常完成传输,对错误的处理由 Backend 模块完成后请求处理器中断。

#### (2)数据奇偶校验错误。

发生数据及系统奇偶检验错误的情况分为两种:一种为读操作过程中接收到 PCI 上的 PAR 与根据接收数据和字节使能计算出的 PAR\_cal 信号不符;另一种为写操作过程中从设备通过 PCI 总线报 perr 错误,对于这种错误,模块不会处理,将错误报告给 Backend,由 Backend 处理后申请中断。

#### (3)主机终止传输。

主机发出地址后,没有从机响应,主机等待超过 5 个时钟周期后,Master 状态机终止传输,发出传输完成信号,等待 Backend 发出新的传输请求。

#### (4)从机终止传输。

由于从机的原因,发出从机停止信号,同时 Master 状态机终止传输。

#### (5)Retry 次数超出范围。

主机发起传输请求时,若从机忙,那么主机会请求再次传输,发起重试操作,协议规定当重试的次数超过一定的范围之后,主机会发出 Retry 错,通知 Backend 停止发送本次传输的请求,进行其他传输,避免长时间占用总线<sup>[9]</sup>。

#### (6)TRDY 响应超出设定值。

主机发起传输请求,若从机正忙,那么插入等待周期,当从设备空闲后才能开始本次传输。

## 2 PCI Master 验证结构

### 2.1 模块验证

如图 4 所示,PCIcore Master 为设计中的 PCI Master 模块,不包含 AHB to PCI 模块,仅仅用来验证 PCI Master 的功能。Core\_Master 为模拟的 Backend 模块,在 PCI 总线右侧的为 VIP(Verification IP),其中包含两个 PCI slave 和一个 PCI monitor。选择其中的一个 PCI slave 作为测试过程中挂在 PCI 线上的从设备,在这个 PCI slave 中包含响应的 IO 和 MEM 空间。

验证后模块符合设计要求,能够完成标准的 PCI 操作和错误处理,满足时序要求。

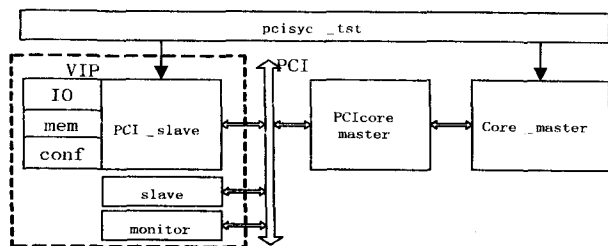


图 4 模块验证结构

## 2.2 FPGA 验证

将本设计连接到一款 SPARC V8 处理器后完成了 FPGA 验证工作<sup>[10,11]</sup>。如图 5 所示,验证主要包括两个 FPGA,分别为 xilinx 公司的 v5 和 v2 芯片,其中 v5 实现处理器和 Master 模块,v2 实现 PCI Target 模块。v5 中包含 PCIMaster(挂载在处理器片内 AHB 总线上)、处理器和 PCI 仲裁。v2 中的 Target 模块包含 PCI Target 功能模块和挂载在 Target 上的 memory1 和 memory2,其中 memory1 为 PCI memory 操作中对应的空间, memory 2 为 IO 操作对应的空间。v2 和 v5 通过标准的 PCI 总线进行通信,来验证 Master 模块的正确性。

验证后模块能实现 CPU 对 PCI 从设备的正常读写和错误处理,时序符合要求,完成设计目标。

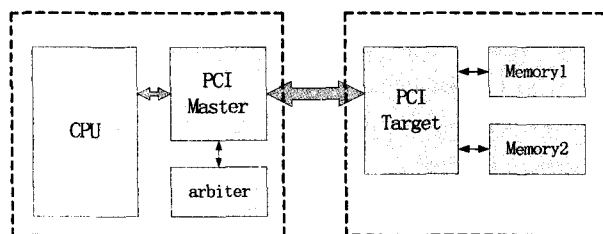


图 5 FPGA 验证结构

## 3 结束语

作为一种被广泛应用的总线,PCI 是在 CPU 和原来的系统总线之间插入的一级总线,具体由一个桥接

电路实现对这一层的管理,并实现上下之间的接口以协调数据的传送<sup>[12]</sup>。

文中介绍了一种新颖的 PCI Master 接口模块设计,该设计符合标准的 PCI 2.2 协议和 AMBA 总线协议 2.0。负责将 CPU 内部 AHB 总线上的标准 AHB 信号转化成为标准 PCI 信号,并完成 PCI 总线操作和异常处理,实现 CPU 对 PCI 从设备的控制功能。通过模块验证和 FPGA 验证,保证了模块能实现设计需要的所有功能。

## 参考文献:

- [1] 李贵山,威德虎. PCI 局部总线开发者指南[M]. 西安:西安电子科技大学出版社,1997.
- [2] 戴紫彬. PCI 9054 局部总线设计及应用[J]. 微电子学与计算机,2003(8):122-124.
- [3] 陈露晨. PCI 9054 性能分析及外部 FIFO 的扩充[J]. 集成电路应用,2001(4):68-69.
- [4] 王 芃. 基于 PCI 总线位置控制系统的接口卡实现[J]. 实验技术与管理,2010,27(5):97-99.
- [5] PCI Special Interest Group. PCI Local Bus Specification Revision 2.2[S]. PCI Special Interest Group,1998.
- [6] PCI 9054 Data book PLX Technology Inc[S]. 1999.
- [7] 顾 超. 总线式数控系统中 PCI 接口控制器的 FPGA 实现[J]. 计算机应用,2011,31(2):565-567.
- [8] 李 攀. 基于 SOC 的 PCI 通信接口与实现[J]. 计算机技术与发展,2009,19(9):211-214.
- [9] 黄志强. Xilinx 可编程逻辑器件的应用与设计[M]. 北京:机械工业出版社,2007.
- [10] Bohm P. Incremental and Verified Modeling of the PCI Express Protocol[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2010, 29(10): 1495-1508.
- [11] 单天昌. 基于 FPGA 的 PCI 接口 DMA 设计与实现[J]. 计算机技术与发展,2010,20(4):215-219.
- [12] 师于杰. 高可用 CompactPCI 平台在串口通信上的应用[J]. 计算机技术与发展,2006,16(4):203-205.

(上接第 206 页)

- [4] Jeong J, Moir T J. A real-time kepsrum approach to speech enhancement and noise concellation[J]. Neurocomputing, 2008, 71(13-15):2635-2649.
- [5] Cohen I, Berdugo B. Noise Estimation by Minima Controlled Recursive Averaging for Robust Speech Enhancement[J]. IEEE Signal Processing Letters, 2002, 9(1):12-15.
- [6] 许佳龙,张一闻,刘建平. 基于麦克阵列的信号采集处理系统设计[J]. 电子科技,2011,24(9):124-127.
- [7] 王桂宝,林中朝,王兰美,等. LMS 自适应波束形成方法研究[J]. 电子科技,2011,24(7):103-105.
- [8] 杜 军,桑胜举. 基于麦克风阵列的语音增强技术及应用

[J]. 计算机应用与软件,2009,26(10):75-77.

- [9] Griffiths L J, Jim C W. An alternative approach to linearly constrained adaptive beamforming[J]. IEEE Trans. on Antennas Propag., 1982, 30(1):27-34.
- [10] Manolakis D G, Ingle V K, Kogon S M. Statistical and adaptive signal processing-spectral estimation, signal modeling, adaptive filtering and array processing[M]. Beijing:Tsinghua University Press,2003.
- [11] 李 平,史小卫. 一种均匀直线阵列干扰抑制的新方法[J]. 西安电子科技大学学报,2004,31(4):523-525.
- [12] 左全生. 自适应滤波器的一种新 LMS 算法-改进的最陡下降法[J]. 常州工学院学报,2000,13(4):34-37.