

基于FPGA的高速数据采集系统的设计与实现

肖积涛,马幼鸣,周鸣争,周明龙

(安徽工程大学 计算机与信息学院,安徽 芜湖 241000)

摘要:为了解决高速数据采集过程中的数据量大、实时性、传输速率等问题,提出了一种基于FPGA的高速数据采集系统的实现方案。该方案以FPGA作为主控芯片,实现模拟信号通道的可控、A/D转换控制、DDR II SDRAM数据缓存、PCI总线数据的传输四个主要功能,系统采用Verilog HDL语言,通过Quartus II 6.0软件编程来实现IP核的控制,从而实现多个ADC08B200芯片进行数据采集,通过DDR II SDRAM进行数据缓存,将数据通过PCI总线传输到PC机。系统经过PC机的测试软件,能够很好地完成高速数据采集系统的任务要求。

关键词:FPGA;DDR II SDRAM;PCI总线;数据采集系统

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2012)06-0217-04

Design of High-speed Data Acquisition System Based on FPGA

XIAO Ji-tao, MA You-ming, ZHOU Ming-zheng, ZHOU Ming-long

(School of Computer & Information, Anhui Polytechnic University, Wuhu 241000, China)

Abstract: To solve the problem of large volumes of data, real-time, transfer rate and other issues in the high-speed data collection process, present a FPGA-based high-speed data acquisition system implementations. The project is as a master chip with FPGA, it is used to implement analog signal path control, A/D conversion control, DDR II SDRAM data cache, PCI bus transfers data four main functions. System uses the Verilog HDL language and Quartus II 6.0 software program to achieve control of IP cores, achieving multiple ADC08B200 chip data acquisition, through the DDR II SDRAM for data caching, data transfer through the PCI bus to a PC. After the PC test system software can be a good high-speed data acquisition system to complete the task requirements.

Key words: FPGA;DDR II SDRAM;PCI bus;data acquisition system

0 引言

数据采集广泛应用于雷达、通讯、图像、军工以及医疗化工等领域,随着数据采集系统的应用越来越广泛,同时对数据采集系统的设计要求越来越高,不仅要求接口简单灵活、实时性高,而且需要有较强的数据传输率^[1]。传统的数据采集系统往往采用单片机或DSP为控制核心^[2],控制数据的ADC、数据的FIFO、数据的传输以及其他外围电路。基于MCU的数据采集系统由于受MCU本身的指令周期以及处理速度的影响,其时钟频率较低,各种功能都要靠软件的运行来实现,使得采集的速度和效率较低,很难满足系统对数据采集实时性和同步性的要求;而基于DSP的数据采集系统,虽然DSP本身处理速度快,但电路板设计的面积较大、成本较高,而且存在容易受到干扰。传统的数据

采集系统已经很难适应高速数据采集的应用,基于FPGA的高速数据采集系统设计成为解决上述问题的一个有效手段,现场可编程门阵列FPGA具有时钟频率高、内部延时小、速度快、效率高,采用FPGA电路实现多路数据选择、存储器及外围的一些控制电路。不仅可以减小电路板的设计体积,而且最大限度地提高系统的信号采集和处理能力;而且还具备在系统编程的能力,使产品的开发、维护、更新变得方便^[3]。文中是基于FPGA来实现高速数据的采集,通过PCI进行数据的传输到PC机,重点讨论数据采集系统的硬件设计及软件设计。

1 系统的硬件设计

本系统采用了“FPGA+DDR II SDRAM+PCI9054”的硬件架构,数据采集系统框图如图1所示。系统的硬件设计采用了功能模块化的方法,主要功能模块包括:FPGA模块、PCI9054模块、ADC采集模块、DDR II SDRAM模块等。其中FPGA是实现数据的采集及传输的控制通道。系统的主要数据流向如下:

(1)16路AI(模拟信号输入)→AD转换器→FP-

收稿日期:2011-10-28;修回日期:2012-02-01

基金项目:安徽省自然科学基金(KJ2007A046)

作者简介:肖积涛(1987-),男,江西吉安人,硕士研究生,研究方向为计算机控制与嵌入式系统;马幼鸣,副教授,研究方向为嵌入式系统。

GA 芯片→DDR2 SDRAM 芯片(FIFO)→PCI9054 芯片
→PCI 接口→上位机。

输入到数据缓冲器 FIFO 中, D1 ~ D7 的数据连接到
FPGA 的 I/O。

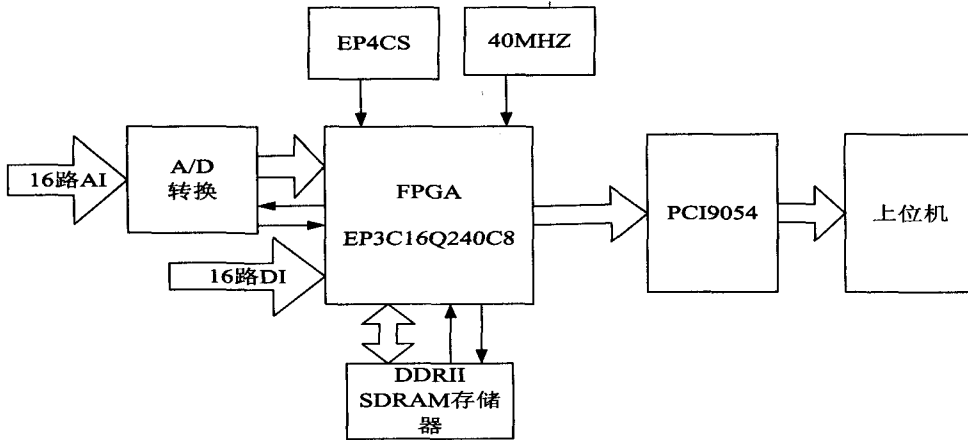


图1 高速数据采集系统的框图

(2) 16路DI(数字信号输入)→FPGA芯片→
DDR2 SDRAM 芯片(FIFO)→PCI9054 芯片→PCI 接
口→上位机。

系统通过PCI总线连接到上位机,上位机通过
PCI总线发送数据采集命令给控
制元件FPGA, FPGA首先进行初
始化,同时FPGA对DDR2 SDRAM
进行初始化并复位,对A/D转换
器进行数据的转换命令,将16路
模拟信号进行A/D转换(16路数
字通道直接进行传输),转换后
的数字信号经过FPGA处理后存储
到DDR2 SDRAM存储器中。当采
集完成后,上位机通过PCI总线发
送数据传输命令给FPGA, FPGA
停止对数据的采集,开始将DDR2
SDRAM的缓存数据通过PCI总线
传输到上位机,当传输完毕后,
上位机再通过PCI总线停止发
送数据采集命令。FPGA控制整
个数据的采集、存储、传输过程
的完成。

系统的硬件设计采用了功能模块化的方法。系统
主要包括:PCI9054模块、FPGA模块、ADC采集模块、
DDR2 SDRAM模块。

下面将介绍几个典型模块的关键设计点。

1.1 ADC模块设计

模拟信号通过DG408芯片的控制输出后,将输出
的信号输入到A/D转换器进行模拟信号到数字信号
的转换。ADC模块采用的转换芯片为TI公司的
ADC08B200^[4],该芯片采样精度为8bit,支持单端口或
双端口数据输入,可以实现模拟信号采样的速率为
200MSPS。ADC08B200在本系统的应用电路图如图2
所示。模拟信号通过VIN端口输入,在FPGA提供的
采样时钟的控制下,将模拟信号离散为8bit数字信号

1.2 FPGA逻辑控制及DDR2 SDRAM接口设计

在数据采集系
统中, FPGA 既为
ADC08B200提供数
据的采样时钟和同步
信号,又对DDR2
SDRAM进行读/写
控制,并提供DDR2
SDRAM到PCI9054

的数据通道,将数据通过PCI总线传输到PC机,是整
个系统的核心部件。基于FPGA的重要性,本设计采
用ALTERA公司最流行CYCLONEIII系列芯片
EP3C16Q240^[5]作为主控芯片。

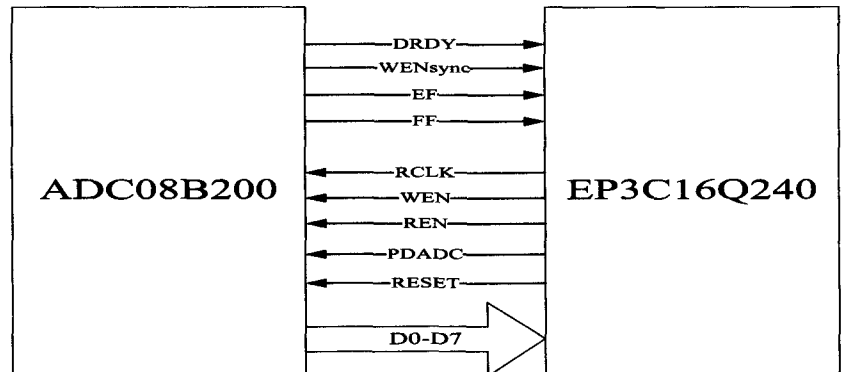


图2 ADC08B200电路连接图

数据采集的过程是首先对FPGA开始初始化,FP-
GA内部逻辑对DDR2 SDRAM进行初始化、自动刷新
等过程,将ADC采样的数据和16路的DI数据直接输
入到FPGA,经过内部FIFO缓冲的数据再存储到DD-
R2 SDRAM中去。

数据传输的过程则采用PC机的软件进行控制
的,计算机通过PCI9054的数据线向FPGA发送控制
命令, FPGA逻辑控制来将DDR2 SDRAM中的数据通
过PCI总线传输到PC机^[6]。具体的过程:PC机首先
发送命令,初始化PCI9054,通过PCI总线传输命令
给FPGA, FPGA逻辑控制模块响应PCI端发出命令,通
过FPGA逻辑控制模块对DDR2 SDRAM中的数据存
储读入到PCI_FIFO中缓存;将PCI_FIFO中的数据通
过PCI9054传送到计算机中^[7]。当PCI_FIFO数据全
部读取完, FPGA再次发出猝发读取命令,由此循环,依
次将DDR2 SDRAM中的数据全部传输到PC机。

DDR2 SDRAM芯片采用的是三星公司的

K4T1G1640D,系统由两片 K4T1G1640D^[8]组成,存储空间达到 256Mbits,EP3C16Q240 与 DDRII SDRAM 的电气连接图如图 3 所示。DDR2 SDRAM 与 FPGA 接口信号线可以分为 4 组:时钟信号线 CLK/CLK#;数据传输信号线 DQS[0-1]/DQS[0-1]#、DM;地址/命令信号线 ADDR、BA、RAS#、CAS#、WE#;控制信号线 CS#、CKE#、ODT。

FPGA 的逻辑控制器控制地址的选通、控制命令的产生以及数据通路的选择。

①地址的选通实现 DDRII SDRAM 初始化过程中提供 MRS;

②控制命令的产生实现对主控模块发出的命令进行译码及转换成与 DDRII SDRAM 相对应的各种逻辑控制命令;

③数据通路的选择是实现 32bit 总线在 DDRII SDRAM 的过程中发送和接收数据^[9]。

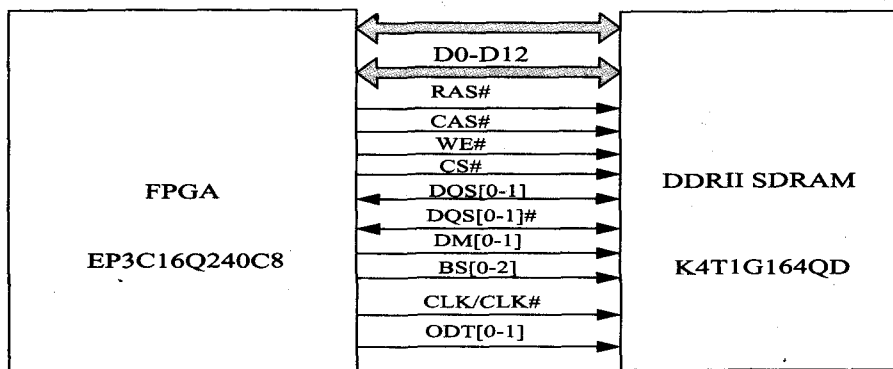


图3 EP3C16Q240 与 DDRII SDRAM 的电气连接图

1.3 PCI9054 接口设计

通过 FPGA 采集到的数据不是计算机能读取的数据,必须经过处理之后才能给计算机进行读取,需要转换成计算机语言来进行存储,而 FPGA 保存的数据要到主机上必须通过一个转换芯片,PCI9054 芯片^[10]是美国 PLX 公司生产的 PCI 总线通用接口芯片,它采用了先进的 PLX 数据管道结构技术,具有 32Bit、33MHz 的 PCI 总线主 I/O 加速功能。它是桥接 PCI 总线和本地总线(Local Bus)的专用芯片,它既可以将本地总线转换成 PCI 总线,同时又能使数据的传输速率提高到 132MB/S,使得采集的数据能高速传输到 PC 机上。

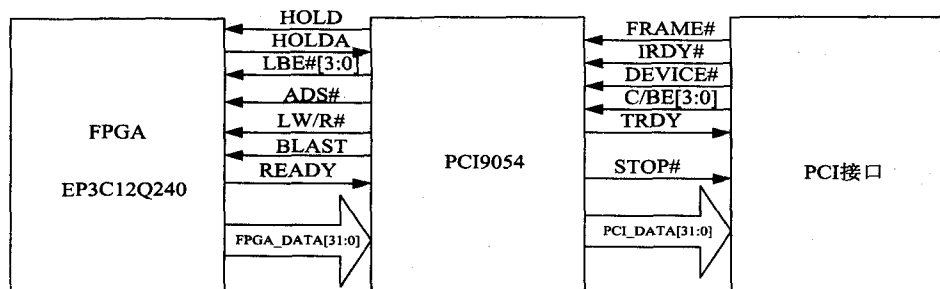


图4 PCI9054 与 EP3C16Q240 的电气连接图

它与 FPGA 芯片的电气连接图如图 4 所示,PCI9054 作为转换芯片,连接着 PCI 总线与本地信号线,PCI 端的信号包括 FRAME#、IRDY#、DEVSEL#、C/BE[3:0]、PCI_DATA[31:0]等,它与计算机 PCI 接口连接。本地总线端的信号包括 HOLD、HOLDA、LBE[3:0]、ADS#、LW/R#、BLAST、READY 及 FPGA_DATA[31:0],此端的信号线与 FPGA 连接^[11]。

本设计采用 PCI9054 工作在 C 模式下,采用目标工作方式,单次读写。在传输结束时 PCI9054 将向主机申请中断。

2 系统的软件设计

利用硬件描述语言来完成数据采集、存储、传输数据至 PC 机是本设计重要的环节,图 5 所示为整个软件的工作流程图。

采集过程为:

1. 初始化 FPGA, FPGA 逻辑控制 DG408 的开启及 DDRII SDRAM 的数据存储;

2. 将存储的数据通过 PCI 总线进行传输数据,由 PC 机发出传输数据命令,初始化 PCI9054,然后通过 FPGA 内部逻辑控制数据的传输。采用 Verilog 语言编

程来实现 FPGA 的内部逻辑控制。

基于 PCI 总线的数据采集系统要实现在 Windows 2000/XP 下正常工作,必须针对 PCI 总线开发相对应的驱动程序,开发 WDM 驱动程序采用 Microsoft 公司提供的 DDK^[12],支持统一的 WDM 驱动程序模型。本系统采用 DDK 来开发 PCI 相对应的驱动程序。

3 系统的功能实现

数据采集系统的功能实现,是由 PC 机的测试软件来完成的,测试软件是基于 Visual C++ 软件下进行开发的,运行于 WIN XP 操作系统下。首先 PC 机通过

PCI 总线向数据采集系统发出数据传输响应信号,将存储在 DDRII SDRAM 中的数据传入主机,并将数据在界面上显示相应的数据以及接收到的帧数,PC 机软件实现数据的传输存储。

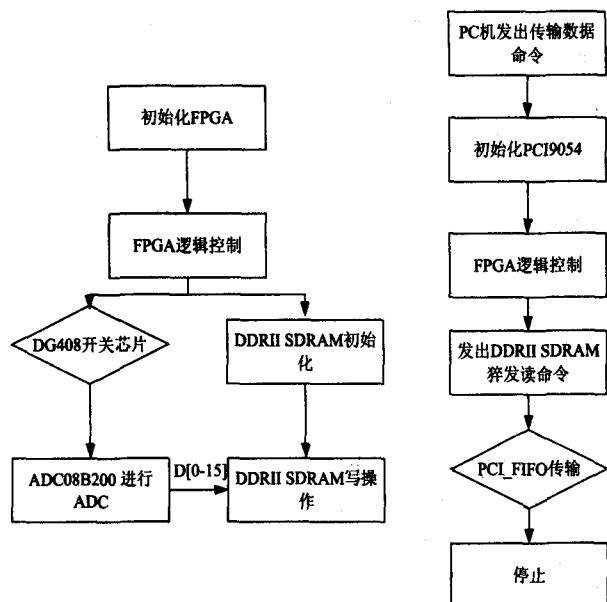


图 5 数据采集系统软件的工作流程图

4 结束语

文中设计了一种基于 FPGA 的高速数据采集系统。本系统采用“FPGA+DDRII SDRAM+PCI9054”的硬件结构,采用 Verilog 语言编程来实现 FPGA 的内部逻辑控制,采用 DDK 来实现 PCI 的 WDM 驱动程序,测试软件基于 Visual C++ 软件下进行开发的。

与传统的数据采集卡相比,本系统集数据的采集功能及测试功能为一体,可以很好的实现高速数据的

采集。

参考文献:

- [1] 孙东辉,胡 辉,郭云波. 基于 FPGA 的高速多路数据采集系统的设计[J]. 微计算机信息,2009(8):209-210.
- [2] 张晓琴,罗 隆. 基于 FPGA 的 6 通道同步数据采集系统研究[J]. 煤炭技术,2010(5):38-39.
- [3] 邓耀华,刘桂雄,吴黎明. 基于 FPGA 的 PXI 高速数据采集系统设计[J]. 检测与仪表,2010(5):60-63.
- [4] TI. ADC08B200_datasheet[EB/OL]. 2010. <http://www.ti.com>.
- [5] Altera. Cyclone3_handbook[EB/OL]. 2009. <http://www.altera.com>.
- [6] 张维旭,贺占庄. 基于 FPGA 的异步 FIFO 设计[J]. 计算机技术与发展,2006,16(7):168-170.
- [7] 特木勒,黄智刚. 基于 PCI 总线和 SDRAM 高速数据采集卡研制[J]. 遥测遥控,2007(3):44-46.
- [8] Samsung. K4T1G1640_Ddatasheet[EB/OL]. 2008. <http://www.samsung.com>.
- [9] 徐家刚,张家伟,徐瑞荣. 基于 FPGA 与 DDR2 SDRAM 的高速 ADC 采用数据缓冲器设计[J]. 航船电子对抗,2010(2):105-107.
- [10] PLX Technology Inc. PCI9054 Data Book[M]. [s.l.]: PLX Technology Inc,2008.
- [11] 单天昌,路 达. 基于 FPGA 的 PCI 接口 DMA 传输的设计与实现[J]. 计算机技术与发展,2010,20(4):215-216.
- [12] 李正平,徐 超,陈丽娟,等. 高速数据卡 WDM 驱动程序的开发[J]. 计算机技术与发展,2006,16(9):123-124.

(上接第 216 页)

3 结束语

软件无线电是一种新的通信体系结构,通过软件升级实现不同体制的通信系统^[12],达到节约成本的目的。中频数字化是软件无线电的核心技术之一^[13]。文中以 FPGA 为载体,设计实现了软件无线电中频数字化的部分功能。由于设计指标参照 GSM 标准设定,在理论和实践中应具有重要意义。

参考文献:

- [1] 杨 星,杨万麟. 基于 FPGA 的数字下变频的研究与实现[J]. 现代电子技术,2009(9):73-75.
- [2] 付麦霞,邢 超,廉飞宇,等. 基于 FPGA 的图像边缘检测器的研究和设计[J]. 计算机技术与发展,2009,19(3):196-198.
- [3] 程心欲,姜胜林,于 奇. 软件无线电的硬件体系研究[J]. 计算机与数字工程,2005,33(5):34-38.
- [4] 白武奇. 基于软件无线电的硬件设计与调试[D]. 西安:西安电子科技大学,2008.
- [5] 樊昌信,曹丽娜. 通信原理[M]. 第 6 版. 北京:国防工业出

版社,2006.

- [6] 纪志诚,高春能. FPGA 数字信号处理教程[M]. 西安:西安电子科技大学出版社,2008:183-185.
- [7] Mitre S K. 数字信号处理[M]. 孙 洪译. 北京:电子工业出版社,2008:134-135.
- [8] 高西全,丁玉美,阙永红. 数字信号处理—原理、实现及应用[M]. 第 2 版. 北京:电子工业出版社,2010:68-69.
- [9] 张 裕,方康玲. 基于 FPGA 的通用 FFT 处理器的设计[J]. 计算机技术与发展,2010,20(8):87-90.
- [10] Naghmash M S, Ain M F, Hui V Y. FPGA Implementation of Software Defined Radio Model Based 16QAM[J]. European Journal of Scientific Research,2009,35(2):301-310.
- [11] Nie Xin, Li Yuanxiang, Wang Feng. Implementation of a FPGA-based Genetic Algorithm[J]. Computer & Digital Engineering,2009(8):9-11.
- [12] Wang Yuti. Research on the Hardware Implementation Technique of Parallel Genetic Algorithms Based on FPGA[D]. Nanchang:Nanchang University,2008.
- [13] 王 东,胡艳军. 软件无线电[J]. 计算机技术与发展,2006,16(12):83-85.