

软件无线电中频数字化模块的FPGA设计实现

陈延利¹, 施永豪²

(1. 西藏大学 工学院, 西藏 拉萨 850000;

2. 西南交通大学 信息科学与技术学院, 四川 成都 610031)

摘要: 为了便于实施软件无线电系统中基带信号的处理, 需对中频信号进行数字化下变频。论文构建了基于FPGA的数字下变频系统, 该系统参照GSM系统标准, 并与现有通信模式兼容。在该数字下变频系统中, 数控振荡器采用坐标旋转矢量计算方法来实时计算所需的正、余弦样本值, 以易于实现的流水线结构取代了传统的需占用的大量ROM资源的查找表。同时, 通过多相结构的等效变换将抽取滤波模块以抽取滤波器来实现, 并采用积分梳状(CIC)滤波器、CIC补偿滤波器、半带(HB)滤波器和FIR滤波器四级级联的结构。用Verilog语言实现了中频数字化系统模块的设计, Quartus II和MATLAB的仿真结果都验证了设计的正确性和系统处理的实时性。

关键词: 软件无线电; 中频数字化; FPGA

中图分类号: TP311.56

文献标识码: A

文章编号: 1673-629X(2012)06-0214-03

Design and Implementation of FPGA of IF Digital Module in SDR

CHEN Yan-li¹, SHI Yong-hao²

(1. School of Engineering of Tibet University, Lhasa 850000, China;

2. School of Information Science & Technology of Southwest Jiaotong University, Chengdu 610031, China)

Abstract: In order to facilitate the implementation of processing baseband signal in software radio system, IF signal needed to be processed by digital down-conversion. Referencing the standard of GSM system, digital down-conversion system based on FPGA system, which is compatible with existing communication patterns, is structured in this paper. Numerically controlled oscillator, in digital down-conversion system, uses CORDIC (Coordinate-rotation Digital Compute) to calculate the sine and cosine sample value real time, it replaces the traditional lookup tables structure, which need to consume large amounts of ROM resource, with pipeline organization which is easy to implement. Meanwhile, decimation filter is come true to achieve decimation filter module, by equivalent transformation of multi-phase structure, and its structure is cascading of the integrator comb (CIC) filter, CIC, half band (HB) filters and FIR filter. IF digitization system module is designed in Verilog language, and the results of Quartus II and MATLAB simulation verified the correctness of the design and the real-time of the system.

Key words: SR; IF digital; FPGA

0 引言

中频数字化处理是软件无线电的核心技术之一, 它把A/D技术应用于中频信号, 对中频信号进行数字化处理^[1]。首先, 通过模拟下变频器DC将射频信号转换为中频信号, 再对中频信号进行A/D转换; 然后, 经过数字下变频DDC将中频数字信号下变频至低频或者基带供后续的DSP处理使用, 以完成各种需求功

能^[2]。为了追求更好的灵活性, 文中设计使用大规模的FPGA取代集成的数字上下变频芯片完成的数字上下变频功能, 同时兼顾后面的抽取和内插、滤波等中频数字信号处理, 功能可完全自由定制, 充分体现了软件无线电开放性、模块化和标准化思想。

GSM信号经信道分离得到246MHz的单信道模拟中频信号, 亦即本模块所要处理的信号。对于得到的中频模拟信号经过高速ADC以24MHz的频率进行带通采样, 实现了中频信号的数字化与频谱搬移。采样后的信号在6MHz处有一个搬移频谱(离基带最近), 选取频率为 $f = 6\text{MHz}$ 的本振信号对采样后的信号进行数字混频, 将6MHz处的信号搬移到基带。从而实现中频MSK信号数字下变频的功能。

收稿日期: 2011-10-15; 修回日期: 2012-01-17

基金项目: 国家自然科学基金(61163013); 西藏自治区2010年第二批重点科研项目(20100217)

作者简介: 陈延利(1981-), 女, 河南汝州人, 讲师, 研究方向为移动信息、信号处理。

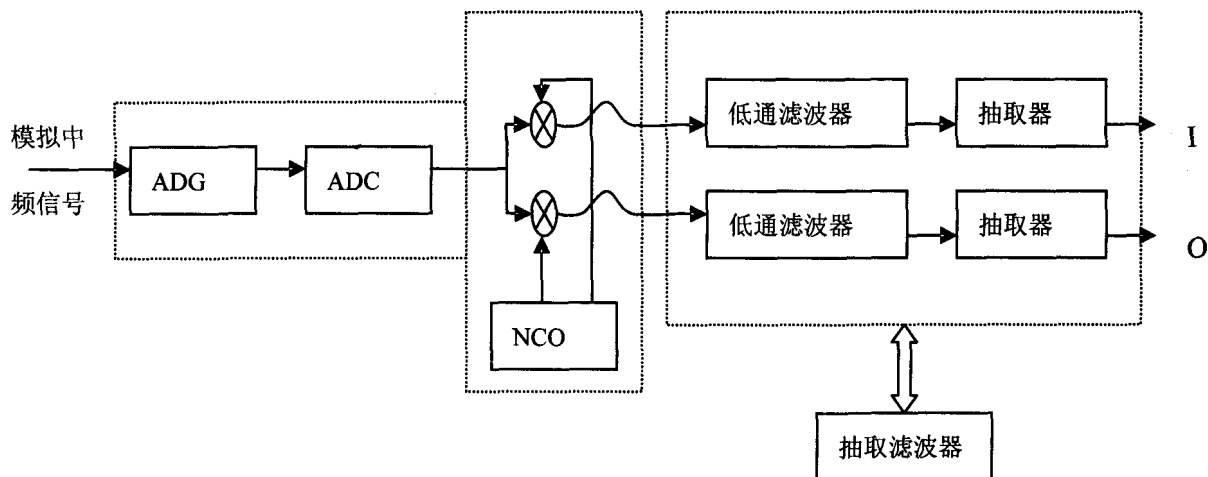


图1 中频数字化模块系统架构图

数字混频后,还需要低通滤波后才能得到所需的基带信号,并且此时所得到的基带信号码速率为采样速率,不适合后续的基带处理,因而还需要有一个抽取的过程,以降低基带码速率。为了提高效率,更好地满足实时处理和芯片资源的要求,文中系统模块设计中采用的抽取滤波器是低通滤波器和抽取器两者经过等效变换后得到的一种优结构,共抽取24倍,将24MSPS的信号速率降低到1MSPS安全,同时实现了低通滤波和后续处理要求的基带数字信号速率。系统模块总体架构^[3,4]如图1所示。

1 相关理论分析

1.1 带通采样定理

带通信号采样定理^[5]:设某带限信号,其频率为 (f_l, f_h) 内,信号带宽 $B = f_h - f_l$,可以证明,此带通模拟信号所需最小抽样频率为 f_s ,则有 $f_s = 2B(1 + k/n)$,其中 B 为信号带宽, n 为商 f_h/B 的整数部分, k 为商 f_h/B 的小数部分, $0 < k < 1$ 。顺便指出,对于频带受限的广义平稳随机信号,上述抽样定理同样适用。但并不是所有抽样频率大于最小抽样频率 f_s 的采样都能保证频谱不混叠。

1.2 数字混频原理

数字混频即完成采样后的中频信号与本地产生的数字正交本振相乘,将信号频谱搬到基带的过程。设输入ADC的模拟中频信号可表示为 $f(t) = A \cos[2\pi f_0 t + \varphi(t)]$,其中 f_0 为中频信号频率,ADC的采样率为 f_s ,则采样的数字化中频信号可表示为 $f(n) = A \cos[w_c n + \varphi(n)]$,其中 $w_c = 2\pi \frac{f_0}{f_s}$ 。数字混频就是将数字化的中频信号序列 $f(n)$ 分别与正交的数字样本 $\cos w_c n$ 和 $\sin w_c n$ 相乘,相乘后的同相分量 $y_I(n)$ 和正交分量 $y_Q(n)$ 分别为

$$y_I(n) = \frac{A}{2} \{ \cos[w_c n + \varphi(n)] + \cos[\varphi(n)] \} \quad (1)$$

$$y_Q(n) = \frac{A}{2} \{ \sin[w_c n + \varphi(n)] - \sin[\varphi(n)] \} \quad (2)$$

经过低通滤波处理得到基带信号同相分量 $I(n)$ 和正交分量 $Q(n)$ 分别为

$$I(n) = \frac{A}{2} \cos[\varphi(n)] \quad (3)$$

$$Q(n) = -\frac{A}{2} \sin[\varphi(n)] \quad (4)$$

此时得到的两支路信号是未经抽取处理的高速基带信号。设计中低通滤波是在抽取滤波器中实现的。而且数字正交本振频率 w_c 可根据抽样后的频谱进行适当地选择。

1.3 NCO 原理

数控振荡器NCO的作用是产生正交的正弦和余弦样本。传统方法是采用查表法,其优点是电路设计简单、占用FPGA的逻辑资源少,但是要耗费大量的ROM资源。当精度要求很高的时候还需要使用外部的ROM扩展,这样将会降低系统的处理速度。坐标旋转算法(CORDIC, coordinate rotation digital compute)很好地解决了查表法所占资源多的问题,且非常适合在FPGA中实现^[6]。如图2所示,坐标系中有两个点 (x_1, y_1) 和 (x_0, y_0) ,满足如下关系:

$$\begin{cases} x_1 = x_0 \cos \theta - y_0 \sin \theta = \cos \theta (x_0 - y_0 \tan \theta) \\ y_1 = y_0 \cos \theta - x_0 \sin \theta = \cos \theta (y_0 + x_0 \tan \theta) \end{cases} \quad (5)$$

向量0可以经过多次旋转变成向量1,假设旋转次数为 n 。其中第 i 次旋转的角度为 φ_i ,则第 i 次的旋转表达式为:

$$\begin{cases} x_{i+1} = \cos \varphi_i (x_i - y_i \tan \varphi_i) \\ y_{i+1} = \cos \varphi_i (y_i + x_i \tan \varphi_i) \end{cases} \quad (6)$$

现令: $\tan \varphi_i = \pm 2^{-i} (i = 0, 1, 2, \dots, n-1)$, 其中 θ_i 为第 i 次旋转的角度。这样含有正切项的乘法可以变为简单的二进制的移位运算,非常利于硬件实现。

式(6)又可以变形为

$$\begin{cases} x_{i+1} = K_i(x_i - y_i d_i 2^{-i}) \\ y_{i+1} = K_i(y_i + x_i d_i 2^{-i}) \\ \theta_{i+1} = \theta_i - d_i \arctan(2^{-i}) \end{cases} \quad (7)$$

式(7)中 $K_i = \cos(\arctan 2^{-i}) = \sqrt{\frac{1}{1+2^{-2i}}}$, $d_i = \pm 1$

(当逆时针旋转时 $d_i = 1$, 顺时针旋转时 $d_i = -1$)。 θ_i 是每次旋转后, 向量0和向量1之间的夹角。容易得到 θ

$$\approx \sum_{i=0}^{n-1} d_i \varphi_i。$$

式(7)经过 n 次迭代之后, $n \rightarrow \infty$, 其结果为:

$$\begin{cases} x_n = A_n(x_0 \cos \theta - y_0 \sin \theta) \\ y_n = A_n(y_0 \cos \theta + x_0 \sin \theta) \\ \theta_n = 0 \end{cases} \quad (8)$$

其中 $A_n = \prod_{i=0}^{n-1} K_i$ 。当取 $x_0 = 1/A_n, y_0 = 0$ 时, 可以

得到 $\begin{cases} x_n = \cos \theta \\ y_n = \sin \theta \end{cases}$

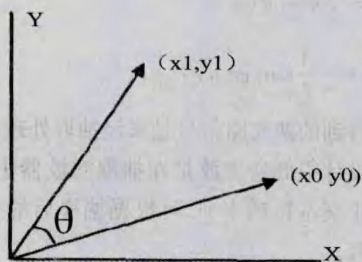


图2 CORDIC 坐标示意图

1.4 抽取滤波器原理

原离散信号 $x(n)$ 的采样周期为 T , 频率为 f_s , 经过 M 倍抽取后的采样周期为 T' , 频率为 f_s' 。由于 $x(n)$ 的频谱 $X(e^{j\omega})$ 是周期性的, 即以 $\pm kf_s, (k=0, 1,$

$2, \dots)$ 无限地重复, 如果 $x(n)$ 是满带信号, 即 $|X(e^{j\omega})| \neq 0, -\pi \leq \omega \leq \pi (\omega = 2\pi fT)$ (刚好满足采样定理), 在降低采样率的过程中, 频谱会产生混叠。在此情况下, 为防止混叠产生, 在抽取前可加入一低通滤波器对 $x(n)$ 进行滤波^[7,8]。输出结果为:

$$y(m) = w(Mm) = \sum_{k=-\infty}^{\infty} h(k)x(Mm-k) = \sum_{k=-\infty}^{\infty} h(Mm-k)x(k) \quad (9)$$

2 系统的实现

2.1 模块实现

依据上述分析和技术指标要求, 需要在 FPGA 内编程实现的主要有数字混频器、NCO、抽取滤波器以及用于和 DSP^[9] 进行数据传输 FIFO 模块。各子模块主要用 Verilog 语言编程在 QuartusII 中实现^[10,11]。由于篇幅限制, 文中仅给出抽取滤波器在 QuartusII 里的模块生成图。

2.2 软件系统的整体实现

将各子模块综合起来, 构成软件无线电中频数字化系统, 即本系统的整体软件实现, 生成下载文件即可下载到 FPGA 中。在 QuartusII 里生成的模块图。将中频信号的数据导入软件系统处理后, 即得到相应的基带信号, 最终的仿真实现如图3所示。图3中从上至下, 左到右依次为系统输入中频信号波形, 混叠器输出的未滤波波形, 下变频后抽取滤波的波形, 中频输入信号波形频谱, 混叠器输出未滤波的波形频谱, 下变频后抽取滤波器输出的频谱。

系统整体实验仿真图验证了本系统设计的正确性, 达到了预期的中频数字化目的。

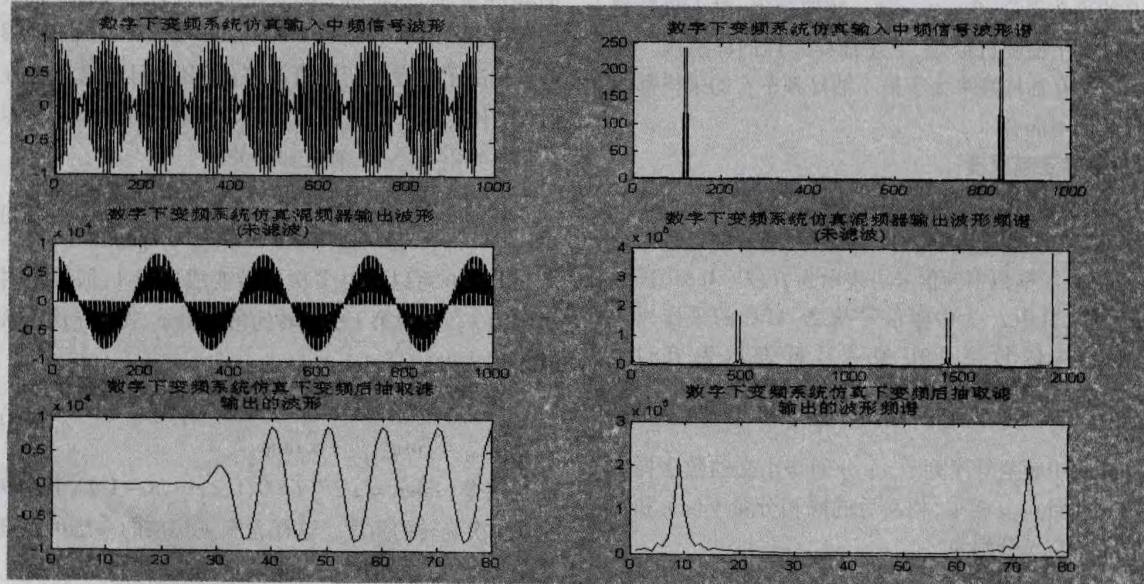


图3 软件系统整体实现仿真图

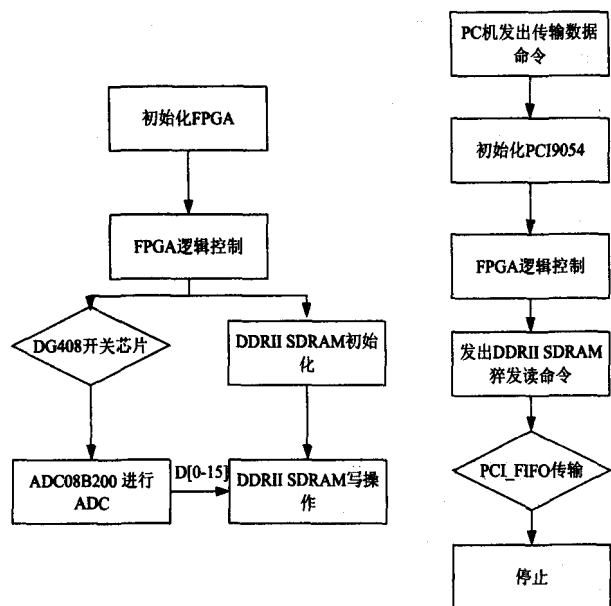


图 5 数据采集系统软件的工作流程图

4 结束语

文中设计了一种基于 FPGA 的高速数据采集系统。本系统采用“FPGA+DDRII SDRAM+PCI9054”的硬件结构,采用 Verilog 语言编程来实现 FPGA 的内部逻辑控制,采用 DDK 来实现 PCI 的 WDM 驱动程序,测试软件基于 Visual C++ 软件下进行开发的。

与传统的数据采集卡相比,本系统集数据的采集功能及测试功能为一体,可以很好的实现高速数据的

采集。

参考文献:

- [1] 孙东辉,胡 辉,郭云波.基于 FPGA 的高速多路数据采集系统的设计[J].微计算机信息,2009(8):209-210.
- [2] 张晓琴,罗 隆.基于 FPGA 的 6 通道同步数据采集系统研究[J].煤炭技术,2010(5):38-39.
- [3] 邓耀华,刘桂雄,吴黎明.基于 FPGA 的 PXI 高速数据采集系统设计[J].检测与仪表,2010(5):60-63.
- [4] TI. ADC08B200_datasheet[EB/OL]. 2010. <http://www.ti.com>.
- [5] Altera. Cyclone3_handbook[EB/OL]. 2009. <http://www.altera.com>.
- [6] 张维旭,贺占庄.基于 FPGA 的异步 FIFO 设计[J].计算机技术与发展,2006,16(7):168-170.
- [7] 特木勒,黄智刚.基于 PCI 总线和 SDRAM 高速数据采集卡研制[J].遥测遥控,2007(3):44-46.
- [8] Samsung. K4T1G1640_Ddatasheet[EB/OL]. 2008. <http://www.samsung.com>.
- [9] 徐家刚,张家伟,徐瑞荣.基于 FPGA 与 DDR2 SDRAM 的高速 ADC 采用数据缓冲器设计[J].航船电子对抗,2010(2):105-107.
- [10] PLX Technology Inc. PCI9054 Data Book[M]. [s.l.]: PLX Technology Inc, 2008.
- [11] 单天昌,路 达.基于 FPGA 的 PCI 接口 DMA 传输的设计与实现[J].计算机技术与发展,2010,20(4):215-216.
- [12] 李正平,徐 超,陈丽娟,等.高速数据卡 WDM 驱动程序的开发[J].计算机技术与发展,2006,16(9):123-124.

(上接第 216 页)

3 结束语

软件无线电是一种新的通信体系结构,通过软件升级实现不同体制的通信系统^[12],达到节约成本的目的。中频数字化是软件无线电的核心技术之一^[13]。文中以 FPGA 为载体,设计实现了软件无线电中频数字化的部分功能。由于设计指标参照 GSM 标准设定,在理论和实践中应具有重要意义。

参考文献:

- [1] 杨 星,杨万麟.基于 FPGA 的数字下变频的研究与实现[J].现代电子技术,2009(9):73-75.
- [2] 付麦霞,邢 超,廉飞宇,等.基于 FPGA 的图像边缘检测器的研究和设计[J].计算机技术与发展,2009,19(3):196-198.
- [3] 程心欲,姜胜林,于 奇.软件无线电的硬件体系研究[J].计算机与数字工程,2005,33(5):34-38.
- [4] 白武奇.基于软件无线电的硬件设计与调试[D].西安:西安电子科技大学,2008.
- [5] 樊昌信,曹丽娜.通信原理[M].第 6 版.北京:国防工业出版社,2006.
- [6] 纪志诚,高春能. FPGA 数字信号处理教程[M].西安:西安电子科技大学出版社,2008:183-185.
- [7] Mitre S K. 数字信号处理[M].孙 洪译.北京:电子工业出版社,2008:134-135.
- [8] 高西全,丁玉美,阙永红.数字信号处理—原理、实现及应用[M].第 2 版.北京:电子工业出版社,2010:68-69.
- [9] 张 裕,方康玲.基于 FPGA 的通用 FFT 处理器的设计[J].计算机技术与发展,2010,20(8):87-90.
- [10] Naghmash M S, Ain M F, Hui V Y. FPGA Implementation of Software Defined Radio Model Based 16QAM[J]. European Journal of Scientific Research, 2009, 35(2):301-310.
- [11] Nie Xin, Li Yuanxiang, Wang Feng. Implementation of a FPGA-based Genetic Algorithm[J]. Computer & Digital Engineering, 2009(8):9-11.
- [12] Wang Yuti. Research on the Hardware Implementation Technique of Parallel Genetic Algorithms Based on FPGA[D]. Nanchang: Nanchang University, 2008.
- [13] 王 东,胡艳军.软件无线电[J].计算机技术与发展, 2006,16(12):83-85.