

基于虚拟可重构平台的时序电路演化设计

张之武¹, 娄建安¹, 常小龙², 李川涛¹

(1. 军械工程学院 电气工程系, 河北 石家庄 050003;

2. 军械工程学院 静电与电磁防护研究所, 河北 石家庄 050003)

摘要:目前,电路进化设计是演化硬件研究的主要方向之一。而时序电路由于存在反馈环不便于进行电路描述和软件仿真。文中对时序电路的演化设计方法进行了改进,提出了专门针对时序电路演化的虚拟可重构平台,建立起电路编码与HDL代码的映射关系。应用TEXTIO和MATLAB来辅助仿真测试过程,使测试向量数量巨大、难以处理的问题得到很好地解决。最后调用ModelSim完成了FSM的演化实验。实验结果验证了基于此平台演化时序电路的可行性和有效性。

关键词:时序电路;虚拟可重构;HDL仿真;演化硬件

中图分类号:TP302.1

文献标识码:A

文章编号:1673-629X(2012)03-0203-04

Design of Sequential Circuit Evolution Based on Virtual Reconfigurable Platform

ZHANG Zhi-wu¹, LOU Jian-an¹, CHANG Xiao-long², LI Chuan-tao¹

(1. Department of Electrical Engineering, Ordnance Engineering College, Shijiazhuang 050003, China;

2. Institute of Electrostatic and Electromagnetic Protection, Ordnance Engineering College, Shijiazhuang 050003, China)

Abstract: At present, design of circuit evolution is one of the main research directions in evolvable hardware. And the sequential logic circuit evolution has always been the key problem of digital circuits evolution research. In this paper, the design method of sequential logic circuit evolution was improved, and the virtual reconfigurable platform was put forward specifically for the evolution of sequential circuit. On the basis of the platform, the one-to-one mapping relationship was set up between circuit coding and HDL code. Apply TEXTIO and MATLAB simulation to assist the test process, which solve the problems of test vector enormous quantity and handle hard. At last, transfer for ModelSim software to complete one FSM evolution experiment. Experimental results show that the model is suitable for the small-scale of the sequential logic circuit evolution.

Key words: sequential logic circuit; virtual reconfigurable platform; HDL simulation; evolvable hardware

0 引言

随着微电子技术和计算机技术的迅猛发展,数字系统的设计观念和设计方法发生了深刻的变化。从电子CAD、电子CAE到电子设计自动化(EDA),设计的自动化程度越来越高,设计的复杂性也越来越高。传统设计方法设计的人力成本高、设计周期长,且缺乏适应动态环境的灵活性,其局限性日益凸显。演化硬件是演化算法和可编程器件的有机结合,其将可编程器件的结构和特征参数等作为染色体进行编码,利用演化算法作为组合优化和全局搜索工具,在不依赖先验知识和人工干预的条件下实现对硬件电路的优化设

计。作为一门新兴的研究领域,演化硬件自提出以来就得到了人们的广泛关注^[1],现阶段电路演化是演化硬件研究的热点之一。

对于数字组合电路^[2-4],由于其易于编码表示,适应度计算简单,发展较为完善。而对于时序电路^[3],由于其内部存在反馈线,不便于对其进行编码描述和适应度评估,现阶段研究的较少^[6]。文中提出一种基于多路选择器和触发器的虚拟可重构技术进行时序电路的外部演化,该结构可以应用在多种不同的FPGA中。仿真实验结果验证了此模型适合于时序电路的演化。

1 虚拟可重构模型

虚拟可重构电路(Virtual Reconfigurable Circuits, VRC)是一种基于商业FPGA的快速可重构平台^[7],可以减小基因长度,实现更加有效的染色体编码,提高内部重构速度,从而为EHW提供了一个更为简单有效

收稿日期:2011-08-09;修回日期:2011-11-15

基金项目:国防科技重点实验室基金项目(9140C8702020803)

作者简介:张之武(1985-),男,硕士研究生,研究方向为模式识别与智能系统;娄建安,教授,博士,研究方向为智能检测、演化硬件理论与实现。

的内进化技术途径。文中将多路选择器和 D 触发器作为基本单元,设计的虚拟可重构模型如图 1 所示。

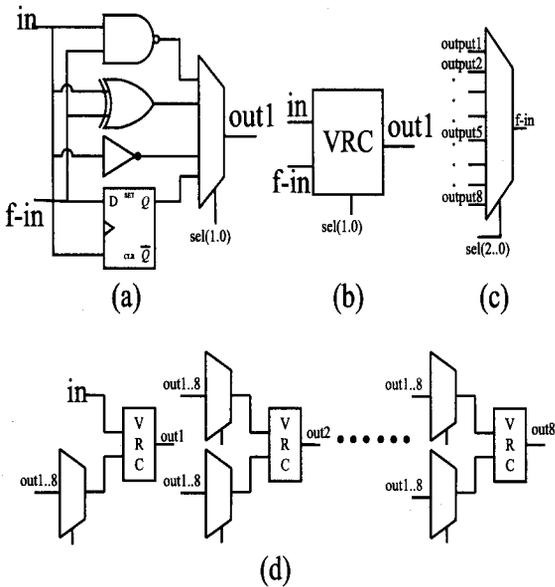


图 1 虚拟可重构模型

(1) VRC 模型中,根据目标电路要求,可以选择多种不同逻辑门和触发器作为功能单元,也可以增加门的种类和个数。文中选择 NAND、XOR、NOT、D 触发器作为功能单元,4 选 1 多路选择器作为功能选择单元,如(a)所示。改变多路选择器的配置位可以实现不同的电路功能。

(2) 单个 VRC 单元的框图形式如(b)所示。对于输入单元, in 作为输入信号, f-in 作为反馈输入。对于其它单元, in 和 f-in 作为反馈输入或者连接前层输出。

(3) 多个 VRC 单元的输出连接到多路选择器中,通过配置位的改变选择不同的输出。文中使用八个 VRC 单元,如(c)所示。改变配置位,可以选择其中任意一路作为输出。

(4) 建立完整的 VRC 模型如(d)所示。可以选择任意一个 VRC 单元的输出作为电路的输出,文中 output = output8。改变 VRC 单元的个数或者层数可以实现任意规模的电路。

由以上分析可以看出,通过改变多路选择器的输出选择位,可以相应地选择前层输出或者反馈输入,有效地解决了时序电路的反馈连接问题。

2 仿真平台实现

2.1 演化流程

根据设计的时序电路演化模型,时序电路的演化流程图如图 2 所示。

仿真时 MATLAB 运行遗传算法产生随机数和

MUX 的配置位串。比对电路是根据目标要求设计的正确电路。ModelSim 用来产生测试输出与 VRC 结构输出,两者比较作为适应度评估的输入,指导下一次遗传操作的运行。

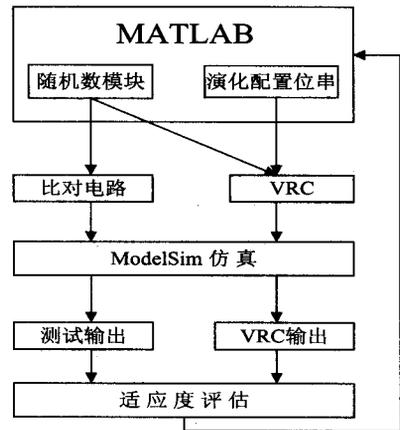


图 2 时序电路的演化流程图

具体的仿真流程如下:

(1) 在 MATLAB 中运行遗传算法,产生配置位串,下载到 VRC 中作为实现时序演化的配置位。根据 VRC 结构和配置位串,生成 *.vhd 文件,得到电路编码与 HDL 代码的映射关系;

(2) 随机数模块产生一组随机数,同时作为 VRC 的输入和比对电路的输入;

(3) 调用 ModelSim 对上述两种电路进行评估。运行事先设计好的 *.do 文件,利用批处理技术实现电路的自动运行,得出的输出写入到文本文件中;

(4) 比较二者的输出作为适应度,指导演化操作的运行,直到满足算法终止条件。

2.2 通信接口

在对时序电路进行仿真测试时,设计者常常面对测试向量数量庞大而难以实现的问题。无论采用完备性测试方法还是向量波形图或者 HDL 语言描述的方法^[8],都难以进行仿真测试。TEXTIO 程序包使 VHDL 的仿真功能得到拓展。MATLAB 是研究和解决工程问题的有力工具。在基于虚拟可重构平台的时序电路仿真测试中,灵活应用 TEXTIO 和 MATLAB 等工具包能很好地解决仿真测试中面临的测试向量庞大和难以处理的问题。

TEXTIO 是 VHDL 标准库 STD 中的程序包(Package),它提供了 VHDL 与磁盘文件直接访问的桥梁。仿真实验中使用 TEXTIO 和 MATLAB 辅助测试台(TestBench)进行数字电路的仿真。MATLAB 与 ModelSim 之间的通信接口框图如图 3 所示。

2.3 搭建仿真平台

文中采用 MATLAB 软件作为主控程序平台和算法运行平台,利用其写 VHDL 代码文件、调用 ModelSim

软件进行适应度评估等。

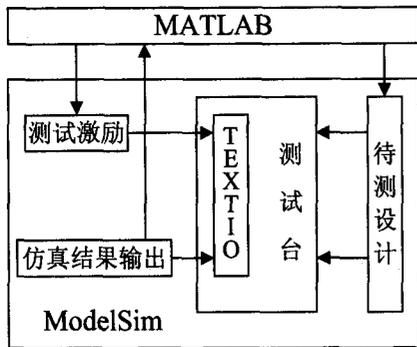


图3 MATLAB与ModelSim的通信接口

2.3.1 使用MATLAB生成测试激励文件

在数字电路设计仿真中,用户可以利用MATLAB的强大处理功能生成测试激励文件。测试激励文件的数据格式由设计者自行定义。测试激励文件应包含输入信号的测试激励数据,也可以包含输出信号的期望输出数据,这些内容常常以ASCII码表示。

2.3.2 编写TestBench文件

TestBench文件是测试平台程序。TEXTIO的使用是通过TestBench来进行的,TestBench利用TEXTIO读取测试激励文件或写入仿真结果输出。进行复杂数字系统仿真时,用户根据测试的目的和要求设计TestBench。

对一个电路进行完整的功能测试,需要输入一个测试序列I,得到与之相对应的输出序列O。为检测电路是否正常,只需要核实它的序列偶(I,O)是否正常就可以了。但是时序电路的输出不仅与当前输入有关,而且与以前的状态有关,因此不存在一个完整的测试向量集保证电路功能的完全正确。鉴于此,文中设计了比对电路和随机数模块。每次随机输入,将系统输出与测试输出相比较,最大限度地满足测试向量集的完备性。根据目标电路的测试序列偶(I,O)就可以编写相应的测试台文件。

2.3.3 调用Modelsim仿真

ModelSim是Mentor Graphics公司推出的一款基于事件驱动的VHDL/Verilog HDL混合仿真器,用户窗口全部是基于Tcl编写,可以通过编写脚本文件实现仿真过程的自动化。创建*.do文件,对VHDL代码和测试台文件进行编译、波形添加和运行仿真,就可实现仿真评估过程的自动运行。ModelSim为TestBench提供一种良好的HDL仿真环境。

2.3.4 仿真结果分析

仿真结束后,仿真结果是否符合要求,用户可以通过二种方法来判断。一种是应用软件自动判断。即通过TestBench或其他软件(如MATLAB)对仿真输出结果和期望输出结果进行对比,从而得到分析结果;另外

一种是人工判断,即设计者自行对仿真输出结果和期望输出结果进行对比,从而得到分析结果。文中选择第一种方法。

3 FSM演化实验

Finite state machines(FSM)是一种典型的时序电路^[9]。在时序电路的演化中对它的研究也比较多。它是一种具有单输入、单输出的小规模时序电路。电路的输出取决于当前输入和上一时刻的状态。因此,文中选择三位序列检测器110作为演化实验。虚拟可重构平台中,使用3个8选1MUX和两个D触发器。

实验中演化算法采用(N,N)演化策略,N=10。输入位随机数模块产生的01位串,个数设计为25位,适应度为25。

实验参数设置如下:

- 种群数:10;
- 交叉率:0.7;
- 变异率:0.075;
- 最大演化代数:3000;
- 运行次数:10。

10次实验的运行结果如表1所示:

表1 适应度25时实验结果

实验次数	演化代数		
1	100	6	77
2	40	7	196
3	6	8	200
4	140	9	85
5	98	10	196

将随机数模块产生的位串改为100,适应度相应的为100。实验参数不变,运行10次的实验结果如表2所示:

表2 适应度100时实验结果

实验次数	演化代数		
1	256	6	652
2	441	7	144
3	590	8	302
4	342	9	234
5	210	10	842

通过对表1、表2的比较,可以发现随着随机输入位串的增加,演化代数也随着增加,但是仍然在限定的代数内达到了最大适应度。

为了验证生成电路的正确性,随机设计输入,进行功能验证,得出的部分仿真波形如图4所示:通过仿真

波形可以看出,每次输入为 110 时,输出为 1,满足目标电路的功能。因此,演化生成的电路结构是正确的。

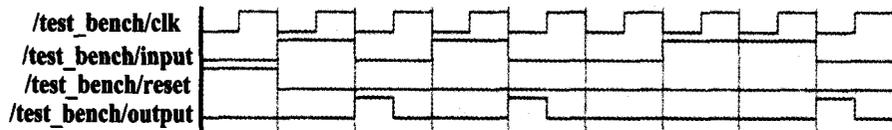


图 4 仿真波形输出

4 结束语

文中主要对时序电路的演化设计方法进行了研究,设计了用于时序电路的虚拟可重构模型。讨论了利用仿真方法实现同步时序电路无约束演化的方法。通过 FSM 演化实验验证了利用虚拟可重构模型演化时序电路的可行性与有效性。虽然演化的电路规模较小,但是提出的模型不受应用平台的限制。下一步工作将重点放在基于 FPGA 的在板进化技术^[10-12]。

参考文献:

[1] Yao X, Higuchi T. Promises and Challenges of Evolvable Hardware[J]. IEEE Trans on Systems Man and Cybernetics-Part C: Applications and Reviews, 1999, 29(1): 87-97.

[2] 崔新风, 娄建安, 褚杰, 等. 基于类神经网络模型的电路演化实现方法[J]. 计算机工程, 2011, 37(4): 175-177.

[3] 王平, 鄢靖丰, 许江东. 基于演化算法的电路自动设计方

法[J]. 计算机技术与发展, 2006, 16(1): 48-51.

[4] 廖锋, 高兴宝. 差分演化算法在约束优化问题中的应用[J]. 计算机技术与发展, 2010, 20(5): 187-190.

[5] 梁后军. 电路进化设计计算方法研究[D]. 合肥: 中国科学技术大学, 2009.

[6] Ali B, Almainsi A E A, Kalganova T. Evolutionary algorithms and their use in the design of sequential logic circuits[J]. Genetic Programming and Evolvable Machines, 2004 (5): 11-29.

[7] 丁国良, 原亮, 赵强, 等. 基于虚拟可重构电路的演化硬件[J]. 计算机工程, 2008, 34(7): 243-244.

[8] 王骏, 涂航, 李元香. 演化硬件描述语言[J]. 武汉大学学报(理学版), 2005, 51(1): 82-86.

[9] 卢英, 李炜. 基于状态转换图同构求解的等价性验证算法[J]. 计算机技术与发展, 2009, 19(3): 74-83.

[10] Keymeulen D, Stoica A, Zebulum R, et al. Self-reconfigured mixed-signal integrated circuits architecture comprising a field programmable analog array and a general purpose genetic algorithm IP core[C]//ICES. [s.l.]: [s.n.], 2008: 225-236.

[11] 王本有, 苏守宝, 汪德如. 一种基于 FPGA 的 CPU 设计[J]. 计算机技术与发展, 2008, 18(6): 222-224.

[12] 赵曙光, 杨万海. 基于函数级 FPGA 原型的硬件内部进化[J]. 计算机学报, 2002, 25(6): 666-669.

(上接第 202 页)

电子商务服务商依托此平台,提供交易功能、基础信息服务,将制造商、批发商、零售商、运输、配送等资源进行整合,以商业促进物流发展,然而物流的发展也会带动商业的发展,最终真正达到互利双赢^[11,12]。

同时在文中以物流为例浅谈了多式联运信息系统的用途,然而多式联运信息系统的用途不仅如此,凡是类似于物流涉及多参与者、多权限管理、业务逻辑类似的均可搭建此平台,具有广泛的可用性。

参考文献:

[1] 时岩. 多式联运物流配送系统设计[J]. 福建电脑, 2011 (4): 115-116.

[2] 李北柿. 电子商务在企业物流管理中的模式创新[J]. 天津师范大学学报, 2002(4): 25-31.

[3] 牛东来. 现代物流信息系统系列讲座之二-现代物流信息系统的现状与发展[J]. 物流技术与应用, 2004(9): 122-126.

[4] 牛东来. 现代物流信息系统系列讲座之三-现代物流信息

系统的设计方法[J]. 物流技术与应用, 2004(10): 98-101.

[5] 邱民, 沈炎, 沈从文, 等. 长江流域国际集装箱多式联运信息系统研究[J]. 交通部上海船舶运输科学研究所学报, 2001(2): 102-111.

[6] 安治水, 李应红. 射频识别系统的关键技术及在物流管理中的应用[J]. 航空维修与工程, 2005(3): 50-52.

[7] 肖楠, 郑文玲, 马文丽, 等. 一种基于 RFID 的物流管理系统的设计[J]. 微型电脑应用, 2008(4): 24-26.

[8] 李民权, 吴先良. 物流系统中集成仓储系统设计[J]. 计算机工程, 2006(24): 266-268.

[9] 朱学俊, 段成华. 一种基于 XML 交换的物流管理信息系统的设计与实现[J]. 计算机应用与软件, 2002(12): 21-22.

[10] 魏众, 申金生, 黄爱玲, 等. 多式联运的最短时间路运输费用研究模型[J]. 中国工程科学, 2006, 8(8): 61-64.

[11] 张炳轩. 现代企业物流管理信息系统的研究[J]. 商场现代化, 2010(36): 56-57.

[12] 郎东, 王青, 王述英. 论物流系统中生产物流的管理与控制[J]. 经济经纬, 2007(5): 122-125.