

AFDX 网络端系统芯片架构的研究与设计

张荣华, 田 泽, 韩 炜

(中国航空计算技术研究所, 陕西 西安 710068)

摘 要:实时性、确定性和高可靠是航空电子全双工交换以太网(AFDX)网络的技术特点。在对 ARINC664Part7 协议研究的基础上,提出一种采用专用数据通道的系统架构,并在不同通信模式下对该结构进行分析。与国外参考设计相比,该系统架构缩短了协议处理的时间和数据拷贝,大大降低主机的系统开销,便于芯片物理实现。最后基于该系统架构进行芯片设计,芯片实测结果表明,该系统架构完全满足 AFDX 网络实时性、确定性的系统要求,方案行之有效。

关键词:航空电子全双工交换以太网;端系统;片上系统

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2011)08-0165-04

AFDX Network End-System Chip Architecture Research and Design

ZHANG Rong-hua, TIAN Ze, HAN Wei

(China Aeronautics Computing Technique Research Institute, Xi'an 710068, China)

Abstract:Real-time, determinacy and reliability is the technology feature of Avionics Full Duplex Switched Ethernet(AFDX). It does research and analysis on the ARINC664 Part7, proposes an architecture of using a specific data channel, and discusses the communication process in different mode. Compared with foreign reference design, this architecture to shorten the processing time and the data copying times, greatly reducing host spending, easy to chip physical implementation. Finally, the test of chip design based on this architecture, shows that the architecture to fully meet real-time, deterministic system requirements.

Key words:AFDX;end-system;SoC

0 引 言

航空电子全双工交换式以太网(Avionics Full Duplex Switched Ethernet, AFDX)^[1-3]是一种利用成熟的、鲁棒的商用标准以太网 IEEE802.3 通信原理和网络结构,并在通信协议和拓扑结构上采用全双工、双冗余、虚链路带宽固定分配、完整性检查和冗余管理^[1-3]等措施,使之满足航空电子系统通信对高带宽、确定性、实时性^[4,5]和高可靠的通信服务要求。AFDX 网络端系统的主要功能就是为各节点提供安全可靠的数据通信服务,对网络应用数据传输请求要求能及时响应,并保证最小的发送接收响应时间,提高网络通信的服务质量(QOS)^[1-3]。

文中从 ARINC664 part7 标准协议出发,通过研究 AFDX 网络通信的技术特点,提出一种采用专用数据

通道的芯片系统架构。

1 AFDX 网络端系统通信处理过程分析

端系统网络协议处理由下向上包括:物理链路层、网络层(IP 协议)、传输层(TCP/UDP 协议)。在链路层,发送端通过虚拟链接(Virtual Link)和带宽分配间隙(Bandwidth Allocation Gap)进行交通整形^[1-3],接收端通过完整性检查(IC)和冗余管理(RM)^[1-3]对接收数据进行过滤和检查;在网络层和传输层,采用成熟的 UDP/IP 协议对消息进行处理;端系统与主机之间,通过采样、队列、SAP 三类端口^[1-3],采用信箱(MailBox)^[1-3]通信原理与应用层进行消息传递和通信。

AFDX 网络协议层次结构图见图 1。

AFDX 网络端系统的通信处理过程,简单概括就是四层协议、三类端口、一个信箱。AFDX 端系统芯片的系统架构设计,关键就是确定软硬件划分^[5],以及与主机之间的消息通信和数据传递。硬件实现提供了最快的速度——专用硬件可为每个功能而构建,内部数据通道可被设计成在 I/O 设备和内存之间移动包时没有时延^[6,7],大量功能并行处理,有利于缩短协议处

收稿日期:2011-03-28;修回日期:2011-06-01

基金项目:2009 年国家新增中央投资电子信息产业振兴基金资助项目(发改投资 2009-1168)

作者简介:张荣华(1978-),男,云南蒙自人,硕士研究生,工程师,研究方向为 SoC 设计和验证等;田 泽,博士,研究员,研究方向为 SoC 设计、VLSI 设计、嵌入式系统开发和应用。

理的时间,但是,硬件设计需要消耗寄存器资源,设计更改代价大,比较适合通用的、功能简单的、固定的设计^[4]。软件设计需占用微处理器资源,通过软件串行执行,特点是设计灵活,更改容易^[8],能够在基本没有开销的情况下修改或升级,遇到大的变动(例如协议改变),基本系统仍然能够生存。缺点是处理速度慢,适合功能复杂多样、根据具体应用进行适应性修改的设计。

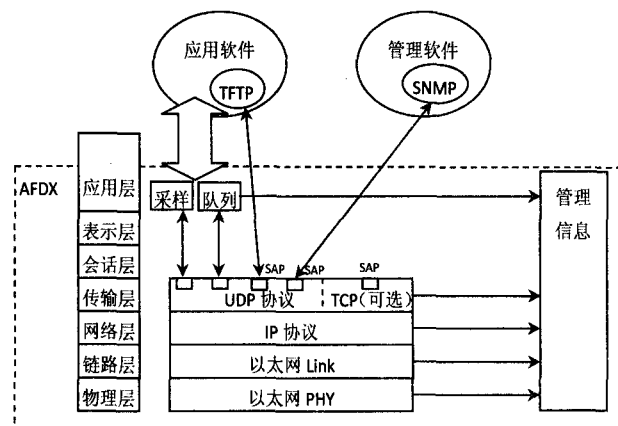


图1 AFDX网络协议层次结构图

AFDX网络端系统物理层和链路层功能简单、功能基本不变并具有一定的通用性,采用硬件设计和并行处理,通常几个周期之内就可以完成一帧数据的网络搜索、交通整形、发送调度、接收完整性检查和余度管理;AFDX网络端系统网络层和传输层功能比较复杂,常常需要根据具体应用开发不同的版本进行控制,适合采用软件设计,软件虽然处理速度慢,但是设计灵活,更改容易,面对大的变动,可以保证硬件设计能够继续生存^[8];AFDX网络端系统三类通信端口(采样、队列和SAP)也适合采用软件设计。

为了满足AFDX网络端系统的实时性和确定性的设计,需要尽可能缩短协议处理的时间,通过上面的分析,关键就是对软件实现的功能进行优化,包括MAC、IP、UDP协议的处理,以及采样、队列和SAP通信端口的处理。

下面通过对AFDX网络端系统发送、接收处理过程进行分析。

AFDX网络消息发送处理过程^[4]见图2。

AFDX网络端系统发送处理过程,是一个典型的多层协议叠加处理的过程,主机在发送缓冲区中创建一条消息,端系统确定该消息所在的AFDX通信端口,根据发送通信表,选择一个事先分配好的网络通信地址五元组^[1-3](MAC目的地址、目的IP地址、源IP地址、目的UDP端口、源UDP端口),依次完成UDP首部、IP首部、MAC类型和MAC地址的添加和封装,每一层协议的处理,都是把上一层的结果作为一个 Pay-

load 进行封装^[9],如果一条消息大于网络 MTU (Maximum Transmission Unit, 最大传输单元) 长度,AFDX 网络是基于虚拟链路进行 MTU 定义,需要对原消息进行分片^[10],每一个分片需要单独进行协议处理和封装。

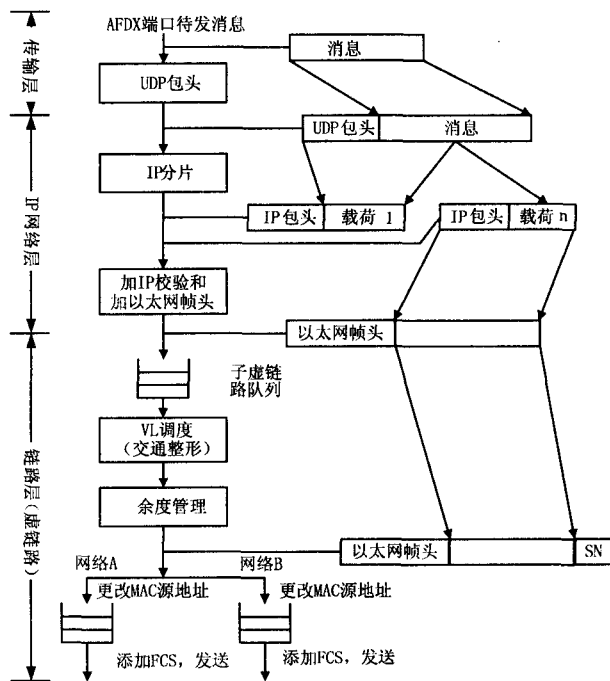


图2 端系统发送过程

AFDX网络消息接收处理过程^[4]见图3。

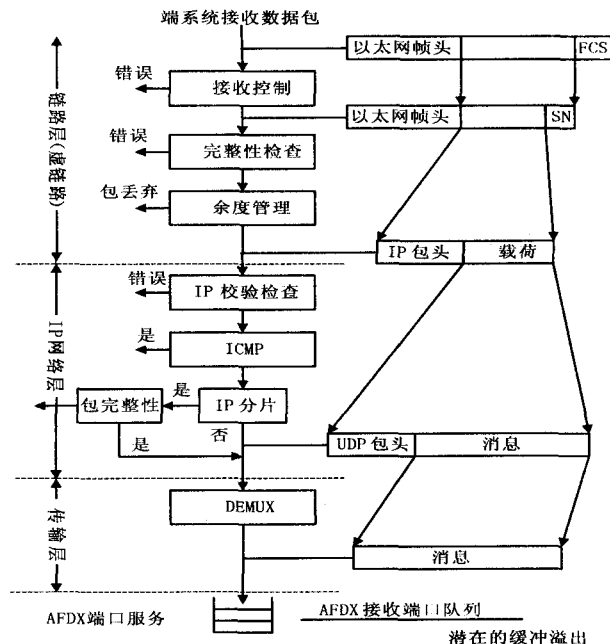


图3 端系统接收过程

AFDX网络端系统接收过程,与发送类似,当接收到一帧数据,首先提取帧数据中的网络通信地址五元组(MAC目的地址、目的IP地址、源IP地址、目的UDP端口、源UDP端口),并检索端系统接收通信表获得相关的路由转发信息,包括AFDX三类通信端口编号和接收缓冲区地址,然后依次完成MAC层、IP层、UDP

层首部的分析和解包,如果是一个消息分片,必须所有分片接收到后才能向上传递。

通过上面的分析,在 AFDX 网络软件协议处理,具有以下的特点:

1)是一个多层协议叠加处理的过程,上一层的结果作为一个 Payload 进行封装或解包,除了 CRC 校验外,Payload 的操作只是进行复制和移动,不再进行其他处理,这个技术特点特别适合数据和控制信息分开,即 Payload 和首部分开。

2)发送和接收的路由都是由一个事先配置好的、静态的通信表来确定,通信表内容包括网络通信地址五元组信息(MAC 目的地址、目的 IP 地址、源 IP 地址、目的 UDP 端口、源 UDP 端口),对于一个未分片的消息,MAC、IP 和 UDP 协议处理,完全可以同时进行,分片的消息需要完成分片的组装才能向主机提交。

3)AFDX 网络是一种基于虚链路进行带宽固定分配和完整性检查的网络技术,特点是相互隔离、顺序发送和接收,不同的 VL 和通信端口,不可能出现交叉和乱序,因此,对于接收分片的消息,完全可以利用 MailBox 中的接收缓冲区实现分片的组装。

4)AFDX 网络 MailBox 信箱通信的共享缓冲区是一种高速的块数据,适合采用高速 I/O 总线与主机相连,并采用 DMA(直接存储器访问)等存储控制,有利于降低数据交换和存储的时间。

2 系统架构设计

2.1 架构设计

根据 AFDX 网络端系统通信处理的技术特点,文中提出一种端系统芯片的系统架构设计方案。

AFDX 网络端系统芯片采用 SoC (System-On-Chip) 片上系统实现,片上集成了嵌入式系统必须的、通用的基本资源,以及 AFDX 网络专用通信引擎。嵌入式系统包括微处理器、中断向量控制器(VIC)、DMA、SDRAM 存储器控制器、静态存储器接口(SMI)、看门狗、串口和通用输入输出端口(GPIO)等;AFDX 网络专用通信引擎包括两类 MAC 接口、32 位 PCI 总线接口,以及 AHB 片上总线接口,简称中央控制单元(Cen-

tral Control Unit, CCU)。AFDX 网络端系统芯片架构见图 4。

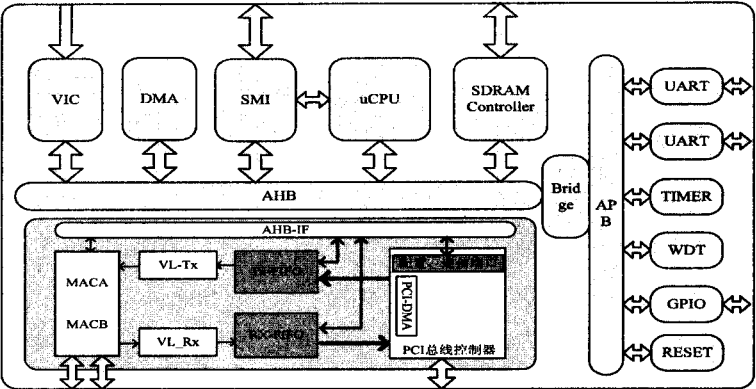


图 4 AFDX 网络端系统芯片架构

中央控制单元是 AFDX 网络端系统芯片设计的核心,是实现 AFDX 网络实时性、确定性、完整性的关键。CCU 由发送部分、接收部分、PCI 总线桥、两路相互独立的 MAC 组成,见图 5。

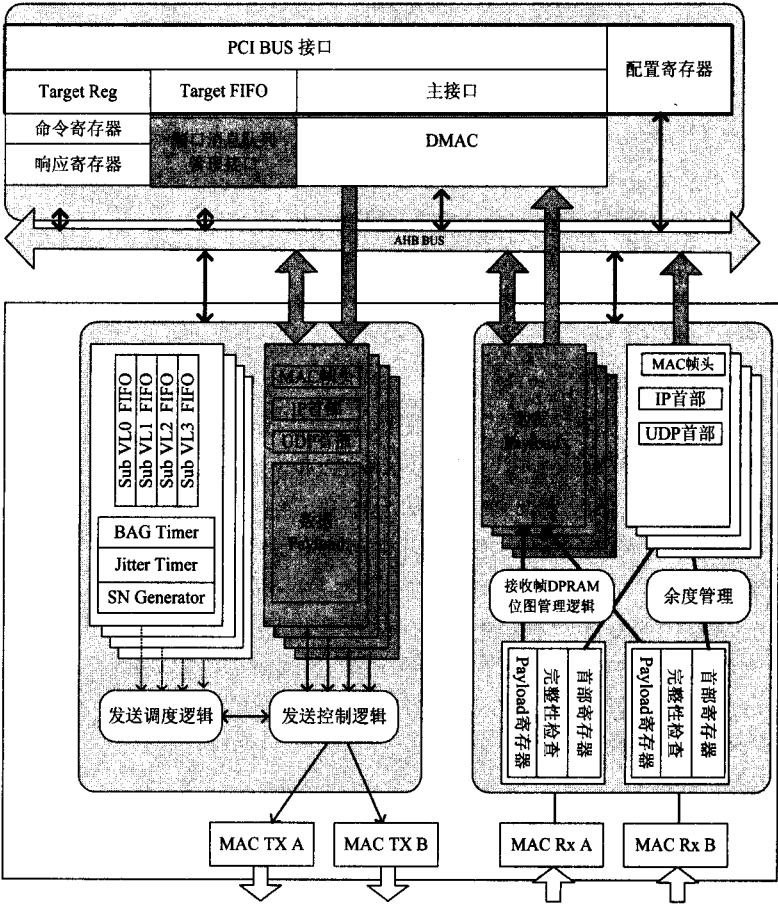


图 5 中央控制单元(CCU)内部结构图

PCI 桥兼容 PCI 总线 2.1 协议,内部集成 PCI 配置寄存器,Target 寄存器接口、Target FIFO 存储器接口,以及 Master FIFO 存储器接口。配置寄存器实现 PCI 总线的配置和管理,Target 寄存器接口和 Target FIFO 存储器接口作为端系统与主机通信的 MailBox 控制信号存储区域,存放 MailBox 信箱消息缓冲队列的控制

信息和状态信息, Master FIFO 存储器接口作为 PCI 可直接访问主机内存, 将数据从主机内存直接拷贝到端系统发送缓冲区, 或者将数据从端系统接收缓冲区拷贝到主机内存, 主机处理器不再负责数据的拷贝和传递。PCI 总线桥 FIFO 通道支持数据块 Burst 搬运, Burst 搬运可连续进行 32 位数据的传输, 极大地缩短了数据准备的时间。

发送部分实现了 128 路 VL, 每路 VL 支持 4 个子 VL 队列, 有独立的 BAG、抖动 (Jitter) 和帧顺序 SN 号产生器, 实现 AFDX 网络的交通整形和发送调度功能; 128 路 VL 共享一个发送缓冲区, 发送缓冲区采用分片控制, 分片的大小和范围可配置, 发送缓冲区一边直接与 PCI 桥 Master FIFO 接口相连, 另一边直接与 MAC 发送接口相连, 协议处理时, 片上微处理器运行协议堆栈软件, 根据 Target 寄存器接口和 Target FIFO 存储器接口中的 MailBox 信箱通信控制信息, 确定待处理的消息类型和在主机内存中的地址, 然后启动 PCI 总线 DMA 操作, 将数据直接拷贝到发送缓冲区空闲分片, 完成首部添加和封装, 通过交通整形和发送调度, 从 MAC 接口发送出去。该设计在主机接口与 MAC 接口之间构建一个单缓冲区的专用数据通道, 消息帧的 IP、UDP 首部由片上微处理器及其协议栈处理软件负责添加, 消息载荷部分由 PCI 桥上的 DMA 控制器负责拷贝, 在单个缓冲区内完成合并, 这种架构, 能有效提高消息的处理速度和存储器利用率, 大大减少了主机系统开销。

接收部分实现了 4096 路 VL 的路由检索、完整性检查和余度管理, 数据接收的过程中, 自动完成消息和 MAC 帧头、IP 首部和 UDP 首部的剥离, 数据信息和控制信息的分离, 以及 PCI 桥自带的 DMA 功能, 有利于协议处理和数据搬运同时进行, 进一步降低消息处理的时间。

AFDX 网络端系统采用片上存储器实现发送缓冲区和接收缓冲区, 而国外 TechSat、AIM、Rockwell Collins 公司参考设计全部采用外部存储器, 这是因为片外存储器控制器会大大增加芯片的功能引脚, 功能引脚的增加将会极大地增大芯片面积和封装复杂程度^[10], 为了降低芯片封装难度、降低芯片面积, 在系统架构设计时就要严格控制功能引脚, 以便于最终芯片的物理实现^[11]。片上存储器的使用, 有利于减少系统元器件数目的同时提高系统可靠性, 当然, 集成电路设计大块存储器的使用极易出现坏点, 为了提高由于存储器坏点导致的芯片失效, 本设计方案对片上存储器进行分片管理, 每片的大小的地址范围可编程, 若存储器某位出现坏点, 可通过如软件编程进行屏蔽, 保证芯片可用, 这一点在芯片实际应用中得到验证。

端系统芯片集成的微处理器及在处理器上运行的协议栈软件提高了芯片的智能化程度, 不再需要主机干预, 自动完成下层协议的打包或解包, 大大减少主机处理器的负担, 提高消息的处理速度^[10]。

2.2 性能验证

AFDX 端系统 SoC 芯片经过虚拟原型仿真验证、FPGA 原型验证^[12], 最终完成 MPW 流片。表 1 是 AFDX 端系统 MPW 样片实际测量到的性能参数, 测试结果表明, AFDX 端系统 SoC 芯片其功能和性能设计符合 ARINC664 协议规范要求, 下面是芯片实测的具体参数。

表 1 AFDX 网络端系统性能测试

关键参数	测试结果	结果分析
BAG 时间	最大误差 1μs	符合应用要求
Jitter	最大 200 ~ 300μs	ARINC664 要求 500μs
发送延迟	最小 53μs, 最大 105μs, 平均 68μs	ARINC664 要求 150μs
接收延迟	最小 3μs, 最大 11μs, 平均 4μs	ARINC664 要求 150μs
发送流量测试 (100M)	100Mbps	符合应用要求
接收流量测试 (100M)	100Mbps	符合应用要求
功耗	1 瓦	符合应用要求

3 结束语

文中通过对 ARINC664 第 7 部分协议规范进行分析, 提出了一种 AFDX 网络端系统 SoC 芯片系统架构设计方案, 并针对消息发送、接收的处理过程进行硬件功能和性能优化设计。经过 MPW 流片和样片测试, 测试结果表明, AFDX 端系统芯片系统架构满足 AFDX 网络实时性、确定性的系统要求, 与国外参考设计相比, 该系统架构缩短了协议处理的时间和数据拷贝, 大大降低主机的系统开销。

参考文献:

[1] ARINC664. Aircraft Data Network - Part2: Ethernet Physical and Data Link Layer Specification, Draft 8[S]. ARINC, 2002.

[2] ARINC664. Aircraft Data Network - Part5: Network Interconnection Devices, Draft1[S]. ARINC, 2001.

[3] ARINC664. Aircraft Data Network - Part7: Deterministic Networks[S]. ARINC, 2003.

[4] AIM GmbH. AFDX Firmware Specification, Version 0.06[S]. AIM, 2002.

[5] 田 靖, 田 泽. AFDX-ES SoC 虚拟仿真平台的构建与应用[J]. 计算机技术与发展, 2010, 20(8): 192-194.

[6] 楼晓强, 田 泽. AFDX 网络终端系统的确定性分析与实现[J]. 计算机技术与发展, 2010, 20(8): 56-58.

3 存在的主要问题及建议

与有线通信技术相比,无线通信技术的最大优点是:无须布设任何线路、安装方便、可以移动、便于扩容。但是由于其传输距离短、易被干扰、穿墙能力差,信号很可能会受到墙体和障碍物的阻碍。一般来说,无线射频信号最多只能穿透两层左右的墙体,而且无法穿透金属材质,因此很容易出现控制信号无法到达的“死角”。

对于上述问题,文中提出如下建议:

1) 针对房间个数比较多的环境,可以适当增加无线中继。通过信号的转发,来减少无线通信的盲点。

2) 对于复式、别墅等多层建筑环境,可以将不同技术交叉应用、互相协调。例如有线通信方式与无线通信方式相结合,特别是楼层之间最好通过有线的方式进行信号的转发,避免内有钢筋网的楼板成为无线

信号传送的障碍。

3) 对于需要红外控制的智能设备,需要在有效范围内安装红外信号转发器,用于接收长距离的信号。

4) 在产品的选型中,尽量采用抗干扰能力强的无线产品。

4 结束语

随着各种短距离无线通信技术的迅猛发展,以及在家庭领域的商用化应用的成功,无线技术越来越得到智能家居各相关产业链的青睐。但是在家庭内部网络中使用各种短距离无线通信技术手段时,如何扬长避短,增强无线信号传送的稳定性、可靠性、抗干扰性等,是智能家居行业的一个重点难点,也是实际应用中的重要研究方向。

表 1 短距离无线通信技术比较

	红外	蓝牙	RFID	Zigbee	Z-Wave	UWB
频率	—	2.4GHz	920 MHz ~ 925 MHz、840 MHz ~ 845 MHz	2. 4GHz/868MHz/ 915 MHz	908. 42MHz/868. 42MHz	3. 1GHz ~ 10. 6GHz
标准	IrDA 协议	IEEE802. 15. 1	未统一	IEEE802. 15. 4	Zensys 公司专属技术	IEEE802. 15. 3
最大传输速率	16Mbps	3Mbps	不定	250 kbit/s	9. 6kbit/s	>480M/s
最大传输距离	1 米	10 米	30 米	100 米	100 米	10 米
适合传输的信息类型	控制信息/多媒体信息	控制信息/多媒体信息	控制信息	控制信息	控制信息	多媒体信息

参考文献:

- [1] 陆 洋. 智能家居中的业务及关键技术[J]. 电信技术, 2010(5):45-47.
- [2] 金 海,刘文超,韩建亭,等. 家庭物联网应用研究[J]. 电信科学,2010,26(2):10-13.
- [3] Ricquebourg V, Menga D, Durand D. The Smart Home Concept: our immediate future[C]//2006 1st IEEE International Conference on E-Learning in Industrial Electronics. [s. l.]:[s. n.], 2006:23-28.
- [4] 崔若飞. 基于 ARM 和 GPRS 智能家居监控系统的设计与研究[D]. 北京:北京交通大学,2009.
- [5] 文俊峰,张文爱,王 成,等. 多接口数据通讯模块的研究与设计[J]. 微计算机信息,2007(11):143-145.
- [6] Bluetooth Special Interest Group. BLUETOOTH SIG ADOPTS NEW CORE VERSION 211 + EDR[EB/OL]. [2007-07-31]. http://www.bluetooth.com/Bluetooth/Press/SIG/BLUETOOTH_SIG_ADOPTS_NEW_CORE_VERSION_211_EDR.Htm.
- [7] 信部无[2007]205号. 800 MHz/900 MHz 频段射频识别(RFID)技术应用规定(试行)[S]. 2007.
- [8] ZigBee Alliance. Zigbee-Specification 2008[EB/OL]. [2008-01-27]. <http://www.ZigBee.org>.
- [9] 潘 伟,黄 东. 基于 Zigbee 技术的无线传感网络研究[J]. 计算机技术与发展,2008,18(9):244-247.
- [10] Reinisch C, Kastner W, Neugschwandtner G, et al. Wireless Technologies in Home and Building Automation[C]//2007 5th IEEE International Conference on Industrial Informatics. [s. l.]:[s. n.], 2007: 93-98.
- [11] 高旭麟,余震虹,张小康,等. 超宽带技术在无线个域网中的应用[J]. 电信科学,2006,22(11):44-47.
- [10] 杨海波,田 泽,蔡叶芳,等. FC IP 软核的仿真与验证[J]. 计算机技术与发展,2009,19(9):168-172.
- [11] 许宏杰,田 泽,袁晓军. 高速 1553B IP 核的设计与实现[J]. 计算机技术与发展,2009,19(12):154-157.
- [12] 郭 亮,李 玲,田 泽,等. ARINC659 总线接口芯片的 FPGA 原型验证[J]. 计算机技术与发展,2009,19(12):240-242.

(上接第 168 页)

- [7] 王 治,田 泽. 一种高性能 AFDX 监控卡的实现技术研究[J]. 计算机技术与发展,2010,20(8):217-220.
- [8] 李 哲,田 泽,张荣华. AFDX 网络中 SkewMax 的研究[J]. 计算机技术与发展,2010,20(6):249-253.
- [9] 李 攀,田 泽,蔡叶芳,等. 基于 SOPC 的 PCI 通信接口设计与实现[J]. 计算机技术与发展,2009,19(9):211-214.