

基于虚拟可重构电路的演化平台设计

解双建, 原 亮, 满梦华, 周永学

(军械工程学院 计算机工程系, 河北 石家庄 050003)

摘 要:在讨论了电磁仿生和演化硬件内进化运行机制的基础上, 针对复杂电磁环境下电子系统的可靠性问题进行研究。为实现系统功能自修复, 引进虚拟可重构电路技术, 设计并实现了演化平台。在传统 CGP 模型上改进加入 $(1+\lambda)$ 演化策略, 采用内进化方式, 完成了 2 位乘法器的演化, 实验得出的平均演化代数约在 550 代左右, 证明了此平台的可行性和快速性。从而为研究电路的演化生成和自修复工作提供有效的实验环境, 为提高电子系统在复杂电磁环境下的抗扰和防护能力验证了新的途径。

关键词:电磁仿生; 虚拟可重构电路; 演化硬件; 有效性; 快速性

中图分类号: TP302

文献标识码: A

文章编号: 1673-629X(2011)07-0214-03

Design of Evolvable Platform Based on Virtual Reconfigurable Circuit

XIE Shuang-jian, YUAN Liang, MAN Meng-hua, ZHOU Yong-xue

(Department of Computer Engineering, Ordnance Engineering College, Shijiazhuang 050003, China)

Abstract: Based on the electromagnetic bionics and the operating mechanism of intrinsic evolvable hardware, an evolutionary platform is realized by implementing virtual reconfigurable circuit. The evolution of 2-bit multiplier, which utilizes intrinsic evolution, is completed on the basis of Cartesian genetic programming promoted by adding $(1+\lambda)$ evolutionary strategy. This experiment proves the validity and celerity of the platform and provides an environment for the evolutionary generation and self-repair of circuits. Additionally, this is a novel access to improve the capability of noise-resistance and defense of sensitive electronic system in complicated electromagnetic environment.

Key words: electromagnetic bionics; virtual reconfigurable circuit; evolvable hardware; validity; celerity

0 引言

近些年来,随着电路集成度的大幅度提高,使得电子设备对各种电磁能量越来越敏感,诸多电子系统在复杂恶劣的电磁环境下的抗干扰能力大幅下降。许多传统、行之有效的电磁防范措施在目前新的工业、生活和战争环境等条件下,又面临着新的挑战。电磁仿生学的出现则为解决此类问题提供了理论基础^[1]。电磁仿生学借助生物进化的概念并结合传统方法,为提高系统可靠性研究开辟了新的方向。目前,与仿生电路构建研究最为接近、且目前能够作为电磁仿生研究直接依托的技术基础当属演化硬件技术。

演化硬件(Evolvable Hardware, EHW)可简单定义为演化算法和可编程器件的有机结合体^[2-4]。演化算法(Evolutionary Algorithm, EA)是一类模拟自然界

遗传进化规律的仿生学算法,是演化硬件的核心。现场可编程门阵列(Field Programmable Gate Array, FPGA)拥有高度集成的可编程单元、丰富的连线资源以及大量的可配置管脚,其在线可编程技术则进一步提高了其应用的灵活性和自由度,从而为演化硬件的实现创造了坚实的硬件基础。

随着电磁仿生和 EHW 工作的深入开展, FPGA 在设计子系统重构时存在的问题也日益显现。实际上, FPGA 在实现局部资源(包括可编程单元的使用粒度、配置位流的结构组成等)的快速动态可重构方面性能欠佳^[5]。为减小可重构子系统带来的负影响,文中引进虚拟可重构电路的思想^[6,7],设计一种快速高效的演化平台。

1 虚拟可重构电路

虚拟可重构电路(Virtual Reconfigurable Circuits, VRC)是一种基于商业 FPGA 的快速可重构平台,可以减小基因长度,实现更加有效的染色体编码,提高内部重构速度,从而为 EHW 提供了一个更为简单有效的

收稿日期:2010-12-23;修回日期:2011-04-03

基金项目:国防科技重点实验室基金项目(9140C8702020803)

作者简介:解双建(1986-),男,陕西咸阳人,硕士研究生,研究方向为计算机体系结构;原 亮,教授,硕士生导师,研究方向为计算机体系结构、电磁仿生理论与实现。

内进化^[8]技术途径。

VRC 包含有以下四个单元:可编程单元 (Programmable Element, PE)、可编程连线网络、配置存储器和配置管脚,其电路结构如图 1 所示。VRC 一般采用二维 PE 阵列结构,每一个 PE 由多路选择器和不同功能电路 F_i 组成,其部分输入可以连接到前一列或几列的输出上,另一部分是控制信号和外接输入信号。在演化过程中,通过改变不同列 PE 间的连线,随机选中 PE 内部功能电路,从而完成预期电路的演化生成。

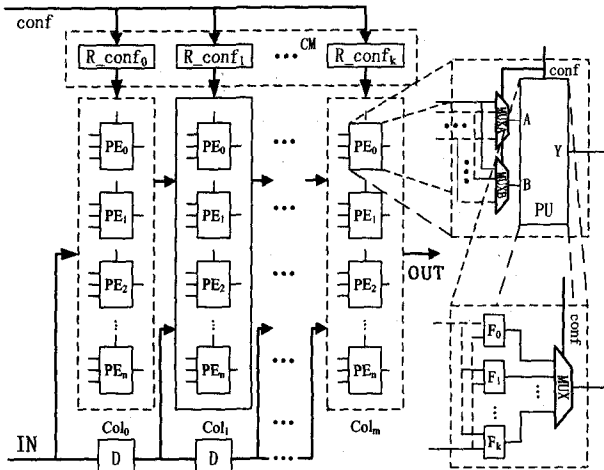


图 1 虚拟可重构电路结构图

2 演化平台结构设计

文中设计的演化平台是以 FPGA 为硬件载体,以 VRC 为电路基础,实现电路可重构的演化平台。其系统结构由 FPGA、VRC、GPU 和 Processor 组成,如图 2 所示。其中,基因编程单元 (Genetic Programming Unit, GPU) 是演化算法在 FPGA 中的结构映射,处理器 (Processor) 是实现在片内进化的必要组成单元。此演化平台的优点在于:

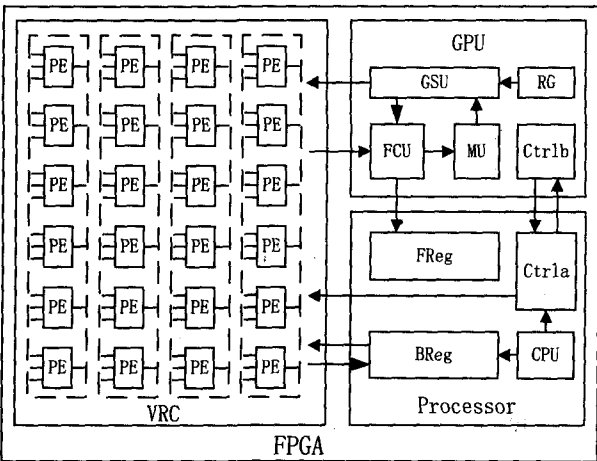


图 2 演化平台的系统结构

(1) 顶层文件是由 HDL 描述,易于实现不同目标电路之间的修改和综合;

(2) 各个单元都可以下载到 FPGA 中,采用流水线式在片进化,从而去除用来与 PC 机之间进行数据交换的速度瓶颈;

(3) 可以根据目标电路进行严格设计,减小所需资源粒度,更好实现特定应用电路。

本实验的 VRC 由 10×8 的 PE 阵列构成,每个 PE 经编程都可实现 8 个不同的基本功能(连线或门级电路),且其中嵌有 D 触发器,以便数据能实现流水线式处理。

3 演化算法改进

电路演化依靠演化算法实现对电路编码的优化搜索,算法性能的优劣直接决定了电路演化的效率^[9]。为了能成功演化出正确电路并尽量减少演化代数,文中采用了较为成熟的笛卡尔遗传编程 (Cartesian Genetic Programming, CGP)^[10],并在此算法上加入 $(1 + \lambda)$ 演化策略 (Evolutionary Strategy, ES)^[11],以提高演化速度,实现快速收敛。

针对基于二维网格的 PE 结构,CGP 的数据结构可以定义为序列 $P = \{G(n_i, n_o, n_n), F(n_f, n_r, n_c, l)\}$ 。其中 n_i, n_o, n_n 分别表示输入节点数、输出节点数、每个 PE 最多输入节点数。对于一个即定的 PE 阵列, n_i, n_o, n_n 的值是固定的。 n_r, n_c 表示了二维网格的行数和列数,序列 G 是对 n_i, n_o 和 n_n 的基因表达式,序列 F 是对 n_f 个功能单元的编码。 L 一般表示前馈层数,是指某一系列之前的 l 列的输出可以作为此列的输入。 l 的扩展定义为:当 l 为正值时,表示前馈层数;当 l 为负值,表示反馈层数,即某一系列之后的 l 列的输出可以作为此列的输入。从而,形成一个闭环回路。值得注意的是 $l \neq 0$,即同一列中的 PE 不能互连。

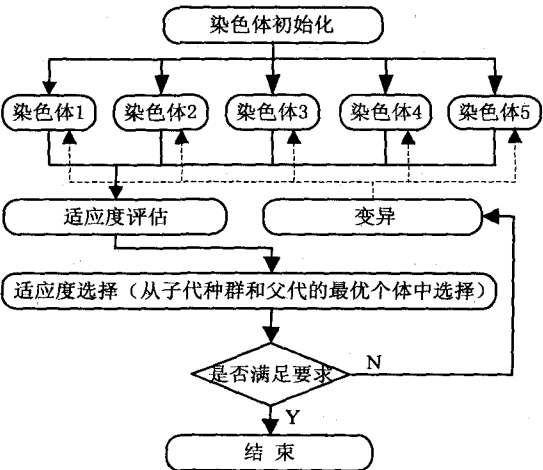


图 3 演化算法流程图

$(1 + \lambda)$ - ES 是指在父辈变异后产生的 λ (种群规模)个子代中选取最优的一个作为下一子代的父辈。此演化策略采用较小的种群规模,且只通过变异

操作进行优化搜索,具有收敛速度快、鲁棒性好等特点。基于 CGP 和 $(1+\lambda)$ -ES 的演化算法的流程如图 3 所示。

4 实验设计及过程

实验采用 Xilinx 公司的 Spartan3E 开发板^[12],以 2 位乘法器为演化对象,预先给定其真值表(如图 4 所示),采用内进化方式,实现在型号为 XC3S500E 的 FPGA 芯片上自动演化生成实际电路。

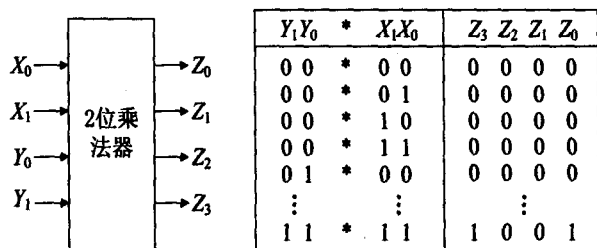


图 4 2 位乘法器真值表

实验过程中,将 CGP 中前馈层数设为 1,即前列输出只做后列的输入;将 $(1+\lambda)$ -ES 中的 λ 设为 5,即每个父辈经变异后产生 5 个子代;由于 2 位乘法器的真值表是由 $2^2 \times 2^2 \times 4 = 64$ 位二进制数组成,所以设定适应度值 $Fitness = 64$,即生成的电路必须要完全正确实现预定功能。

在实验系统结构中,GPU 主要是来完成演化算法,由随机数产生器(Random Number Generator, RNG)生成 64 位初始种群,经基因选择单元(Gene Select Unit, GSU)生成实际电路,并对其适应度评估。若 $Fitness < 64$,则进行变异操作,生成 5 个子代后继续进行电路演化,直至满足 $Fitness = 64$ 。

处理器由适应度寄存器(FReg)和每一子代最优电路寄存器(BReg)组成,在控制器(CtrlA)的作用下与 VRC 和 GPU 进行数据交换与处理。此处理器可由 Xilinx ISE 嵌入式开发工具中的 XPS 自由定制生成。在定制时,还需添加行列选择信号,其位数由 PE 阵列决定。由于本实验采用 10×8 的 PE 阵列,所以行列信号的位数应分别设为 4 位和 3 位。除此之外,还需为 PE 阵列添加必要的控制信号和 6 位外接输入信号。最后,在 Xilinx SDK 中进行演化算法编程,编译下载至 FPGA 后即可完成实际电路。

5 实验结果与分析

为了清楚直观地说明电路演化过程和结果中的相关信息,文中专门设计了 PC 端应用的监控软件,其界面类似于图 5 所示。图中给出了实际电路的 VRC 动态模拟结构,直观地反映了 PE 的连线(6 位外接输入信号与各个 PE 的连线未画出)和门电路的使用情况。

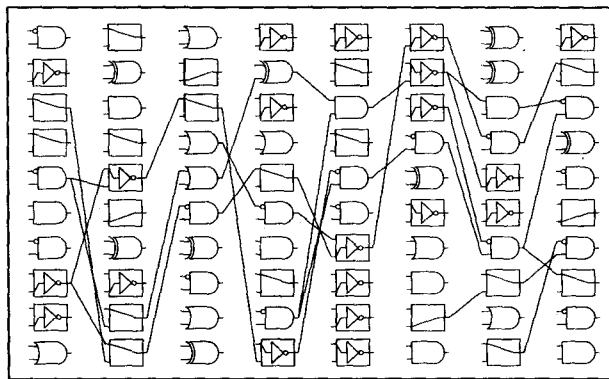


图 5 2 位乘法器演化结果

图 5 和图 6 是 2 位乘法器演化完成后的实验结果。从图 5 中可以看到实际电路最终的连线结果,其输出位 $Z_3 Z_2 Z_1 Z_0$ 分别对应 VRC 结构的最后一列中第 7、8、2、3 个单元的输出。

图 6 给出了适应度和演化代数关系曲线,当电路演化到 461 代时,适应度达到了预定值 64,系统完成了实际电路的生成。在多次实验中得出的平均演化代数约在 550 代左右,与常规演化平台相比,速度有了很大提升。文献[7]中完成 1 位加法器的演化代数 28152 代,是本实验的 50 多倍。从而说明了基于 VRC 演化平台的可行性与快速性。

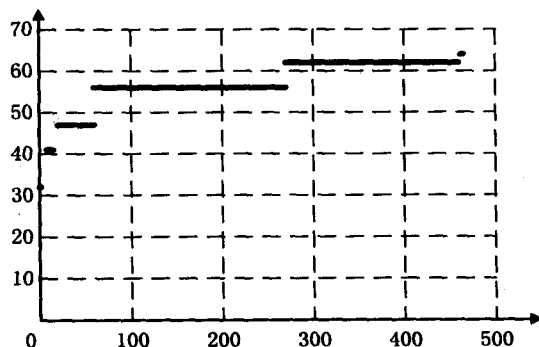


图 6 适应度和演化代数的关系曲线

从理论上分析,影响该演化平台快速性的因素有三点:

- ① 采用在片内进化方式,省去了开发板与 PC 机之间的数据交换时间;
- ② 自由定制处理器,采用流水线方式进行数据处理;
- ③ 在基于 CGP 和 $(1+\lambda)$ -ES 的演化算法中,进化过程简单,只有变异操作,且种群规模小,每代只产生 5 个个体。

6 结束语

文中为电磁仿生和演化硬件研究设计了一个基于 VRC 的内进化在片演化平台,以广泛采用的 2 位乘法器为演化对象,从实验结果和理论分析两个方面验证

(下转第 220 页)

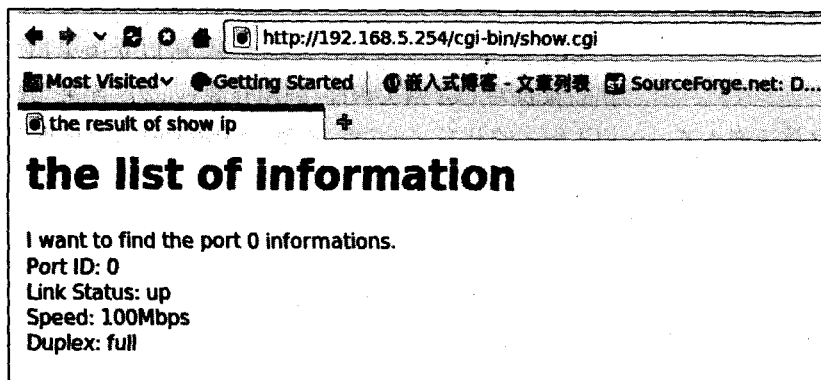


图4 查询端口信息

设备的各种信息不一一列出,与后台的通信就是与后台运行的设备服务器的Socket建立连接,主要运用DomainSocket通信的知识^[12]来完成通信任务。

3 结束语

在嵌入式设备中,用户可以通过浏览器远程访问Web服务器来管理与控制嵌入式设备的参数以及各个应用程序的运行。文中实现了BOA Web服务器在低频EoC系统中的移植,并通过移植后的测试,通过Web页面实现低频EoC的人机交互来控制局端设备与终端设备。重点描述了BOA Web Server的移植与配置,最后并用CGI的扩展开发程序显示了几个操作结果。BOA的运行结果表明:BOA作为嵌入式设备的Web Server运行效率高,界面友好。在物联网这个发展的大背景下,嵌入式技术将得到更为广泛的应用和发展,相信文中所介绍的嵌入式Web服务器的架构也将在此过程中发挥积极的功能和作用。

(上接第216页)

了此平台的有效性和快速性。下一步工作重点是将此演化平台应用到大规模复杂电路设计和电路容错研究等方面,为电磁仿生研究的深入进行打下坚实基础。

参考文献:

- [1] 刘尚合,原亮,褚杰. 电磁仿生学——电磁仿生研究的新领域[J]. 自然杂志,2009,31(1):1-2.
- [2] Lin B, Irie M. Evolvable Hardware[J]. CIT595 Research Project,2008,14(8):162-164.
- [3] 刘昌庆,张曦煌. 硬件进化中演化算法的研究及应用[J]. 计算机工程与设计,2008,29(24):6390-6392.
- [4] 吴会丛,王晓红,宋学军,等. 演化硬件的研究进展[J]. 河北工业科技,2007,24(1):49-53.
- [5] Sekanina L. Evolutionary Functional Recovery in Virtual Reconfigurable Circuits[J]. ACM J. Emerg. Technol. Comput. Syst.,2007,3(2):23-26.

参考文献:

- [1] 田泽. ARM7 嵌入式开发实验与实践[M]. 北京:北京航空航天大学出版社,2006.
- [2] 周建胜,谷勇,刘文权. 一种开放源代码的嵌入式操作系统-uCLinux[J]. 中国科技信息,2005(19):82-144.
- [3] Ramakrishnan A. 16-bit embedded-Web server[C]//In: Sensors for Industry Conference. USA: [s. n.]. 2004:187-193.
- [4] 韩改宁,梁新月. 基于嵌入式web服务器的远程数据采集系统的应用[J]. 微型电脑应用,2009,25(10):21-23.
- [5] 张振,王晓宁,张元. 嵌入式web服务器移植与测试[J]. 电子设计工程,2010,18(6):1-3.
- [6] 时斌,王奔,朱晓舒. 基于ARM9的嵌入式Web服务器的移植与应用[J]. ARM开发与应用,2009,25(9-2):109-110.
- [7] Addison D. Embedded Linux applications: An overview[EB/OL]. 2001-08-01. IBM 嵌入式Linux网: <http://www-900.ibm.com>.
- [8] Szymensky A W. Embedded Internet Technology in Process Control Device[J]. IEEE,2000(9):1145-1147.
- [9] 黄光奇. CGI编程指南[M]. 北京:电子工业出版社,1999.
- [10] 裴有福. HTML实用技术[M]. 北京:中国水利水电出版社,1998.
- [11] 农孙博,范正刚. Linux平台下的web编程[M]. 北京:人民邮电出版社,2000.
- [12] Stevens W R. UNIX环境高级编程[M]. 北京:机械工业出版社,2000.
- [6] Sekanina L, Friedl S. An Evolvable Combinational Unit For FPGAs[J]. Computing and Informatics,2005,24(3):1-26.
- [7] 丁国良,原亮,褚杰,等. 内进化演化硬件平台的设计与实现[J]. 机械工程学院学报,2007,19(1):68-71.
- [8] 赵曙光,杨万海. 基于函数级FPGA原型的硬件内部进化[J]. 计算机学报,2002,25(6):666-669.
- [9] 王平,鄢靖丰,许江东. 基于演化算法的电路自动设计方法[J]. 计算机技术与发展,2006,16(1):371-373.
- [10] Miller J, Thomson P. Cartesian Genetic Programming[C]// Proceedings of the 3rd European Conference on Genetic Programming, LNCS 1802. Berlin:Springer Verlag,2000:8-35.
- [11] Stomeo E, Kalganova T, Lambert C. Mutation Rate for Evolvable Hardware[J]. Proceedings of world academy of science engineering and technology,2005,7(6):117-124.
- [12] 李辉. 基于FPGA的数字系统设计[M]. 西安:西安电子科技大学出版社,2008.