

基于 DSP 与 CPLD 的 LCD 液晶显示驱动设计

周西峰, 沈毅, 郭前岗

(南京邮电大学 自动化学院, 江苏 南京 210003)

摘要:提出了一种新的基于 DSP 与 CPLD 的液晶显示驱动设计方法。该方法针对高速 DSP 与低速 LCD 通信过程中经常出现的时序不匹配的问题,利用 CPLD 提出了一种合理的解决方案,并给出了这种解决方案基本的硬件电路连接方式及 DSP 与 CPLD 上的部分程序代码,且进行了逻辑时序分析。将 CPLD 作为高速 DSP 与低速 LCD 之间通信的桥梁,有效地减小了低速外设对高速处理器的影响,实现了低速外设与高速处理器之间的高速、大数据量传输。该设计方法已在实际应用中取得成功。

关键词:DSP;CPLD;液晶显示驱动;时序匹配

中图分类号:TP39

文献标识码:A

文章编号:1673-629X(2011)04-0223-04

Design of LCD Driver Based on DSP and CPLD

ZHOU Xi-feng, SHEN Yi, GUO Qian-gang

(College of Automation, Nanjing University of Posts and Telecommunications, Nanjing 210003, China)

Abstract: A new method of designing LCD driver based on DSP and CPLD is introduced. Aiming at the issue of timing mismatch in the communication between DSP and LCD, a reasonable solution is proposed by using CPLD. For this solution the basic hardware interface circuit and part of the program on the DSP and CPLD is given, and the logic timing is also analysed. By using CPLD as a bridge between high-speed processor and low-speed peripherals the effects low-speed peripherals to high-speed processor is reduced effectively and high-speed, large amount of data transmission is realized. This method has been success in the practical applications.

Key words: DSP; CPLD; LCD driver; timing match

0 引言

高速的数字信号处理系统涉及到大量的计算,DSP 以其高速的处理速度和灵活可靠的性能正在被越来越广泛地应用于各个领域数字信号处理系统中,并显示其巨大的优越性。在以 DSP 为核心搭建的高速数字处理系统中,由于 DSP 的速度较快,要求译码的速度也较快,同时还要有一些逻辑控制电路来保证系统正常有序的工作,通常由可编程器件完成^[1]。CPLD 是可编程逻辑器件,是由传统的 PAL、GAL 发展而来的,灵活性强,编程方便并且拥有丰富的可编程 I/O 引脚,适合快速译码和实现专门的控制电路^[2]。

在数字处理系统中,LCD 是人们使用较多的显示前端^[3]。LCD 上显示的信息是经过 DSP 处理后传输给 LCD 来显示的,但是相对于高速的 DSP 来说,LCD 是典型的低速设备,时序上的不匹配使得低速的 LCD

与高速的 DSP 处理器通信较为困难,如何实现低速的 LCD 与高速的 DSP 之间的接口电路变的十分重要^[4]。由于系统中用到了 CPLD,文中提出了一种基于 CPLD 的高速 DSP 与低速 LCD 之间的通信接口的设计方案,该方案充分利用 DSP 与 CPLD 自身的资源,在不增加成本的情况下,解决了高速处理器与低速外设的时序匹配问题。

1 硬件接口设计

该系统中 DSP 采用的是 TI 公司的 TMS320C6713 处理器,CPLD 采用的是 XILINX 公司的高性能 CPLD XC95144XL,液晶显示器选用的是北京宁和电子科技有限公司开发的 NHC_34 彩色液晶显示控制模块。

在显示系统设计时,应首先确定 DSP 与 CPLD、CPLD 与 LCD 之间的数据传输方式,CPLD 与 LCD 之间数据传输较为简单,CPLD 的 I/O 与 LCD 接口电平兼容^[5],可以直接驱动 LCD,所以只要将 CPLD 的 I/O 与 LCD 的外部接口相连接即可。DSP 与 CPLD 之间的数据传输主要有以下几种方式:利用 DSP 的通用 I/O

收稿日期:2010-10-14;修回日期:2011-01-20

基金项目:江苏省高校自然科学基金项目(08KJD510012)

作者简介:周西峰(1960-),男,陕西临潼人,副教授,主要研究方向为计算机智能监测控制技术;郭前岗,教授,研究方向为电力电子变换与控制、新能源发电技术等。

实现与 CPLD 的数据传输;利用 DSP 的外部总线与 CPLD 进行数据传输^[6,7];利用 DSP 自身所带的 McBSP 实现与 CPLD 的数据传输。

由于 DSPC6713 自身通用 I/O 口资源有限(正常情况下只有 16 个通用 I/O 口)^[8],并且不适合进行大数据量传输,所以不采用通过 I/O 口与 CPLD 进行数据传输。采用外部总线的方式进行数据传输时,DSP 与 CPLD 之间进行高速的数据传输,CPLD 与 LCD 之间要按照 LCD 的读写时序来传输,传输速度较慢,在 DSP 向 CPLD 传输一个数据后,DSP 的总线要等待一段时间直到 CPLD 向 LCD 传输完这个数据,这样势必会影响 DSP 总线的正常工作。为了不影响 DSP 外部总线的正常工作,需要外加 RAM (CPLD 内部没有 RAM),DSP 先将要显示的内容存入 RAM 中,再由 CPLD 控制将 RAM 中的数据读出发送到 LCD 上面进行显示^[9]。这种方式不影响 DSP 外部总线的工作,但是增加了成本并且造成了 PCB 布线时的不便。在本显示系统设计时利用 DSP 所带的 McBSP 进行数据传输,在不增加硬件条件下就可解决 LCD 显示的问题。

McBSP 是多通道缓冲串口的简称,此串口是在标准同步串口的基础上的功能扩展,提供强大的同步串行通信机制,允许数据的连续传输,传输速度可以达到 100Mb/s,传输字长可选,包括 8、12、16、20、24 和 32 位,拥有独立的数据发送和接收端(DX、DR),并拥有独立的发送和接收帧同步信号(FSX、FSR)和时钟信号(CLKX、CLKR)^[10,11]。

本设计使用 TMS320C6713 的 McBSP1 来进行数据传输,系统的硬件接线图如图 1 所示。

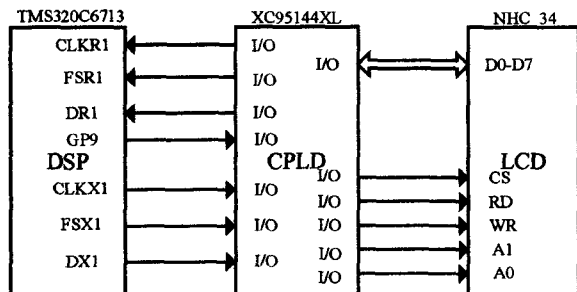


图 1 显示系统的硬件接线图

McBSP 的发送时钟 CLKX1 和发送帧同步信号 FSX1 都是由 DSP 内部产生的,接收时钟 CLKR1 和接收帧同步信号 FSR1 是从外部接收的。GP9 是 DSP 的一个通用 I/O 口,作为 DSP 与 CPLD 通信的使能端,只有当 GP9 为低电平时,DSP 与 CPLD 之间才可以进行

数据传输,当 GP9 为高电平时,数据传输被禁止。

2 系统软件设计

2.1 液晶显示器的读写时序

液晶显示器 NHC_34 的操作时序如图 2 所示,CS 为片选端,WR 为写使能端,RD 为读使能端,A₁、A₀ 为行列地址信号选择端,D₀~D₇ 为数据线^[12]。A₁、A₀ 的作用是区分现在向 LCD 发送的是地址信号还是数据信号:当 A₁、A₀ 同时为高时,向 D₀~D₇ 上发送的信号为 LCD 的页信号;当 A₁ 为低,A₀ 为高时,向 D₀~D₇ 上发送的信号为行地址信号;当 A₁ 为高,A₀ 为低时候,向 D₀~D₇ 上发送的信号为列地址信号;当 A₁、A₀ 都为低时,D₀~D₇ 上信号为点阵颜色数据信号。在对 LCD 某一区域进行读写操作时,应当先发送操作区域所在的页信号,然后发送行地址信号和两次列地址信号,再对操作区域发送或读取点阵颜色信号,每写一字节为一个像素点,写完一个像素点后,列地址会自动加 1,在同一行内写时,不需要重新写行列地址^[12]。

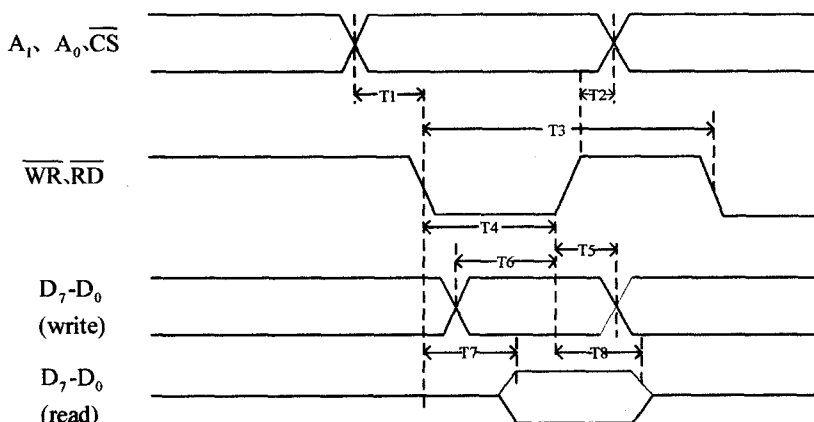


图 2 LCD 模块的读写操作时序图
时序特性参数见表 1。

表 1 时序特性参数

信号	时间参数	参数说明	最小	最大	单位
A ₁ 、A ₀ 、CS	T1	地址建立时间	0		ns
	T2	地址保持时间	10		ns
WR、RD	T3	读写周期	350		ns
	T4	读写脉冲宽度	120		ns
D ₇ ~D ₀	T5	写数据保持时间	120		ns
	T6	写数据建立时间	80		ns
	T7	读数据建立时间		50	ns
	T8	读数据保持时间	10	50	ns

下面以向 LCD 发送数据为例,介绍 DSP 与 CPLD 内部程序的编写。

2.2 CPLD 部分程序设计

CPLD 通过 McBSP1 接收 DSP 传输的显示数据,CPLD 需要接收的数据包括所要操作区域的行列地址以及要显示的 8bit 颜色数据信号,即 CPLD 接收的有

A_1 、 A_0 行列地址选择信号以及 $D_0 - D_7$ 共 10 位的数据,由于 McBSP 只支持发送 8、12、16、20、24 以及 32 位的字长^[9],所以发送的字长最少应为 12 位,在本设计中采用 12 位字长发送。在 CPLD 向 LCD 进行一次写操作的过程中, LCD 的写周期持续时间约为 350ns, CPLD 向 LCD 的传输数据的速度最快约为 2.8MB/s,将 DSP 发送串行数据的速度设置为 30Mb/s,即设置 McBSP1 的发送时钟 CLKX1 为 30MHz,这是 CPLD 接收串行 12 位数据的速度,接收的串行 12 位数据转换为并行数据后再向 LCD 上进行发送的速度约为 2.5MB/s,满足 LCD 的读写速度。

CPLD 具体的工作步骤如下: CPLD 检测到 GP9 上的信号变为低电平时, CPLD 使能数据传输,准备接收 DSP 通过 DX1 引脚传输过来的数据,当检测到帧同步信号 FSX1 由低变高时,置使能标志 write_flag 为 1,在每一个 CLKX1 时钟的上升沿接收由 DX1 传输过来一位数据,持续接收 12 位数据后,自行匹配 LCD 的读写时序,并将接收使能标志 write_flag 置为 0。

接收的 12 位数据帧格式如表 2 所示。

表 2 接收数据的帧格式

11	10	9	8	7	0
传输使能		数据/地址选择			数据

如表 2 所示,接收的 12 位数据 DX(0) ~ DX(11) 中, DX(10) 与 DX(11) 为 CPLD 与 LCD 通信的使能位,当都为 0 时,才使能 CPLD 与 LCD 之间的通信, DX(8) 与 DX(9) 为 A_0 、 A_1 引脚信号, DX(0) ~ DX(7) 为 8 位数据信号。

CPLD 程序是用 VHDL 语言编写的^[13],产生 LCD 写时序部分程序如下:

```

if (clkx1'event and clkx1 = '1' and write_flag = '1'
and gp9 = 0') then
    if (sCnt = "101") then
        sCnt <= "000";
        sClk <= not sClk;
    else
        sCnt <= sCnt + "001";
    end if;
    sCnt1 <= sCnt1 + "0001";
    if (sCnt1 = "1100") then
        sCnt1 <= "0001";
        lcd_data    <= dx(7 downto 0);
        lcd_address <= dx(9 downto 8);
        sCheck <=  dx(11) and dx(10);
        write_flag  <=  0';
    end if;
end if;

```

CPLD 的输出信号部分程序如下:

```

lcd_ax  <= lcd_addr    when sCheck = 0' else "
ZZ";
lcd_wr  <= sClk        when sCheck = 0' else 1
';
lcd_dout <= lcd_data    when sCheck = 0' else
"ZZZZZZZZ";
lcd_cs  <= gp9;
lcd_ax 为发送到  $A_0$ 、 $A_1$  引脚的信号, lcd_wr 为发
送到  $\overline{WR}$  引脚的信号, lcd_dout 为发送到  $D_0 - D_7$  引脚
的信号, lcd_cs 为  $\overline{CS}$  引脚的信号。

```

CPLD 产生的时序如图 3 所示,该程序产生的时序完全符合 LCD 读写时序的要求。

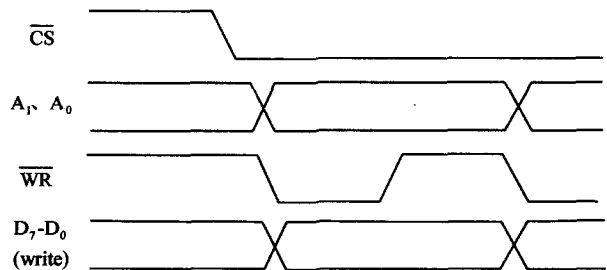


图 3 CPLD 程序产生的时序图

2.3 DSP 部分程序设计

CPLD 实现 LCD 显示所需要的时序, DSP 部分的工作就变得较为简单,只需要把要显示的数据通过 McBSP1 传输到 CPLD 即可。首先应配置 McBSP1 的工作模式,设置发送帧同步信号是由 DSP 内部产生的,帧同步信号高有效,发送时钟的频率为 30MHz,发送的字长设为 16 位等。在 DSP 内部的 RAM 中开辟一个 LCD 显示的缓冲区,定义指针 * lcd_buffer 指向这个缓冲区, DSP 将每次需要在 LCD 上显示的数据先存入这个缓冲区中,然后再通过 McBSP1 传输到 CPLD 中去。DSP 传输数据部分的程序如下:

```

GPIO_pinWrite(hGpio, GPIO_PIN9, 0);
for (count = 0; count < sum; count++)
{
    while (! MCBSP_xrdy(hMcbbsp1));
    MCBSP_write(hMcbbsp1, * lcd_buffer
++);
}
GPIO_pinWrite(hGpio, GPIO_PIN9, 1);

```

其中, hGpio 为外设 GPIO 的句柄, hMcbbsp1 为 McBSP1 的句柄, sum 为需要传输的数据总数。

3 结束语

DSP 应用越来越广泛,在一个 DSP 系统中,高速 DSP 与低速设备的接口问题会经常出现。文中利用

CPLD 成功地解决了高速 DSP 与低速 LCD 之间通信接口问题,该方法充分利用了 CPLD 的片上资源,硬件结构简单,CPLD 编程容易,为高速处理器与低速外设之间实现高速、大数据量传输问题提供了一种有效的解决方案。文中的设计方案已经成功应用于某型便携式数字超声波探伤系统,并取得了良好的使用效果。

参考文献:

- [1] 王金友. 用 CPLD 实现 DSP 与外设芯片的速度匹配[J]. 电子测量技术, 2006, 29(4): 73-75.
- [2] 彭志刚, 董金明. CPLD 在 DSP 设计中的应用[J]. 电子测量技术, 2004(4): 55-56.
- [3] 周博, 杨超, 司锡才. 用 FPGA 实现 DSP 与液晶显示器的快速接口[J]. 电子技术应用, 2003(4): 73-75.
- [4] 杨旭光, 丁铁夫, 刘维亚, 等. 基于 FPGA 的高速 DSP 与液晶模块接口的设计[J]. 液晶与显示, 2007, 22(3): 342-345.
- [5] XC95144XL High Performance CPLD[M]. [s. l.]: Xilinx Inc, 2001.
- [6] 薛红娟, 江海河, 张飞军. 基于 DSP 与 CPLD 的液晶模块的设计[J]. 微计算机信息, 2009(23): 114-116.
- [7] 康岭, 朱齐丹. 基于 CPLD 的 DSP 与 LCD 接口的设计与实现[J]. 应用科学, 2008, 35(5): 60-64.
- [8] TMS320C6713 Data Sheet[M]. [s. l.]: TI, 2004.
- [9] 陈亚萍, 陈明. 基于 DSP 和 CPLD 的液晶显示控制器的设计[J]. 计算机测量与控制, 2007, 15(4): 482-484.
- [10] 李方慧, 王飞, 何佩琨. TMS320C6000 系列 DSPs 原理与应用[M]. 第 2 版. 北京: 电子工业出版社, 2003.
- [11] TMS320C6000 DSP McBSP Reference Guide[M]. [s. l.]: TI, 2004.
- [12] NHC_34 彩色液晶显示控制模块使用说明[M]. 北京: 北京宁和电子科技有限公司, 2004.
- [13] 云创工作室, 詹仙宁, 田耕. VHDL 开发精解与实例剖析[M]. 北京: 电子工业出版社, 2009.

(上接第 159 页)

- [5] Oliveira S R M, Zaiane O R. Privacy Preserving Frequent Itemset Mining[C]//Proc. of the IEEE ICDM Workshop on Privacy, Security and Data Mining. Maeoasm, Australian: IEEE Computer Society, 2004.
- [6] Oliveira S R M, Zaiane O R. Algorithms for Balancing Privacy and Knowledge Discovery in Association Rule Mining[C]//Proc. of the 7th Int'l Database Engineering and Application Symp. Hong Kong, China: IEEE Computer Society, 2005.
- [7] 张瑞, 郑诚. 基于隐私保护的关联规则挖掘算法[J]. 软件技术与数据库, 2009, 35(4): 78-82.
- [8] 周志纯. 隐私保护数据挖掘研究[D]. 合肥: 合肥工业大学, 2008.
- [9] 汪晓刚, 惠惠, 孙志挥. 基于共享的隐私保护关联规则挖掘[J]. 软件导刊, 2009, 8(9): 150-153.
- [10] 黄高琴. 基于隐私保护的分布式关联规则数据挖掘[J]. 微计算机信息, 2009, 25(9): 99-100.
- [11] 周水庚, 李丰, 陶宇飞, 等. 面向数据库应用的隐私保护研究综述[J]. 计算机学报, 2009, 32(5): 847-858.
- [12] Jagannathan G, Pillaipakkamnatt K, Wright R N. A new privacy-preserving distributed k-clustering algorithm[C]//Proceedings of the 2006 SIAM International Conference on Data Mining (SDM). Bethesda, Maryland: [s. n.], 2006: 492-496.

(上接第 222 页)

- [3] Hsiao C H, Lin C T, Cassidy M. Application of Fuzzy Logic and Neural Networks to Automatically Detect Freeway Traffic Incidents[J]. Journal of Transportation Engineering, 1994, 120(5): 753-772.
- [4] Magistretti E, Lee U, Gerla M, et al. Smart mobs for urban monitoring with a vehicular sensor network[J]. IEEE Wireless Comm, 2006, 13(5): 158-162.
- [5] 贾元华. 高速公路交通事件自动检测系统结构框架[J]. 佳木斯大学学报(自然科学版), 2004, 22(2): 242-246.
- [6] 罗晓辉, 王忠仁. 遥感微波检测器(RTMS)简介[J]. 公路交通科技, 1997, 14(4): 62-64.
- [7] 朱茵, 王军利, 周彤梅. 智能交通系统导论[M]. 北京: 中国人民公安大学出版社, 2007.
- [8] 陈德望, 高海军, 陈龙, 等. 城市高速道路微波检测器 RTMS 的检测精度分析[J]. 公路交通科技, 2002, 19(5): 122-124.
- [9] 刘廷新. 高速公路监控通信管理[M]. 北京: 人民交通出版社, 2005.
- [10] Tang S M, Gao H J. Traffic - incident detection - algorithm based on nonparametric regression[J]. IEEE Transactions on Intelligent Transportation Systems, 2005(6): 38-42.
- [11] 刘伟铭. 高速公路系统控制方法[M]. 北京: 人民交通出版社, 1998.
- [12] 史新宏, 蔡伯根. 高速公路自动事件检测算法[J]. 交通运输系统工程与信息, 2001, 1(4): 306-310.
- [13] 邓毅萍. 高速公路路段运行状况评价与分析研究[D]. 南京: 东南大学, 2005.