

基于 USB2.0 的高速大容量 数据采集存储系统

刘 静^{1,2}, 耿国华¹

(1. 西北大学 信息科学与技术学院, 陕西 西安 710069;

2. 渭南师范学院 计算机科学系, 陕西 渭南 714000)

摘 要:针对当前嵌入式采集系统中采用的寻址方式不能充分利用近几年出现的大容量硬盘所提供的存储空间,提出了一种基于 USB2.0 接口的高速大容量数据采集、存储系统的设计方案及其软硬件设计方法。文中设计的存储系统采用了 ATAPI-6 所定义的 LBA48 寻址方式,从而从根本上克服了 LBA28 寻址方式对存储空间的限制;采用 UDMA 传输方式,从而克服了传统 PIO 传输方式的速度瓶颈。研究表明此传输存储方案具有传输速度快、稳定性高、占用系统资源少、与外部接口简单等特点。

关键词:ATA 接口;通用串行总线(USB);UDMA;SLAVE FIFO

中图分类号:TP302.1

文献标识码:A

文章编号:1673-629X(2011)02-0143-04

USB2.0 Based High Speed and High Capacity Sample Recording System

LIU Jing^{1,2}, GENG Guo-hua¹

(1. College of Information Science & Technology, Northwest University, Xi'an 710069, China;

2. Department of Computer Science, Weinan Teachers College, Weinan 714000, China)

Abstract: As the addressing modes used in the current embedded acquisition system cannot make full use of storage space provided by the large capacity hard disk, a design scheme of a high-speed, high-capacity data acquisition and storage system and its design method of hardware and software is proposed, which is based USB2.0. This storage system adopts LBA48 addressing modes defined by ATAPI-6 and overcomes the restrictions in storage space caused by the addressing mode, LBA28. And this storage system adopts transfer mode, UDMA and overcomes the speed bottle-neck caused by traditional transfer mode, PIO. It is proved that this transmission storage scheme is high-speed, high-stability, taking up less system resources and having simple external interface.

Key words: ATA interface; universal serial bus; ultra DMA; SLAVE FIFO

0 引 言

现代工业生产和科学研究对数据采集的要求日益提高,数据采集系统的数据量也是越来越大,因此就需要更加高速、大容量、低成本的现代信息存储系统对其采集的数据进行存储。传统的半导体存储器虽然存储速度快,但是其存储容量已远远不能满足这样的要求。随着技术的不断成熟,采用磁介质的大容量硬盘可靠性越来越高,存储速度也不断提高,完全可以满足实际的需求。

最近几年出现了存储容量超过 160G 的超大容量

硬盘,在微型计算机中由于不必要关心底层硬件,因此很容易访问这样的大硬盘,但是在嵌入式采集系统中如果没有采用与之相对应的新的寻址方式,那么将不能充分地利用这种超大容量硬盘所提供的存储空间了。

文中所设计的系统采用了 ATAPI-6 所定义的 LBA48 寻址方式^[1-3],这种寻址方式允许存储设备有 144PETA 字节(约 144,115,188,075,855 字节)的存储容量。

使用 FPGA 对硬盘和采集模块的控制,同时 FPGA 也控制 CY7C68013 和硬盘之间的传输,FPGA 与 CY7C68013 之间的传输使用 SLAVE FIFO 方式^[4],相比普通的 IO 方式速度有很大的提高;FPGA 与硬盘的传输使用了 UDMA 方式^[1],克服了传统 PIO 传输方式的速度瓶颈。

收稿日期:2010-05-31;修回日期:2010-09-15

基金项目:教育部博士点基金(200806970014)

作者简介:刘 静(1983-),女,讲师,硕士研究生,研究领域为信息系统;耿国华,教授,博士生导师,研究领域为信息系统、人工智能。

1 硬件设计

1.1 UDMA 传输方式设计

Cypress 公司提供的 CY7C68013 芯片是一款集成 SIE(串行接口引擎)、增强了的 8051 微控制器、USB2.0 收发器^[5]的可编程的外围接口微处理器。内部集成了 4KB 的 FIFO,可被分为 4 端点双缓冲区,即每个端点都包括有一个输入缓冲区和一个输出缓冲区。一个缓冲区大小为 512B,四个缓冲区的选择就可由 FIFOADR[1:0]的 4 种状态来决定。例如:初始化以后的 FIFOADR[1:0]=00,此时可选中 ENPOINT2,当单片机发出数据传输的请求时,FPGA 会把 STDATA 的 16 位数据送至 FD 总线,然后在 IFCLK 同步时钟的控制下,将数据写入端点 2 的输入缓冲区 FIFO,同时 FPGA 也对时钟进行计数,达到 512 时即送出 PKTEN,表明 1 帧的数据传输已经完成,USB 核心在收到帧结束标志后,会去读端点 2 的输入 FIFO,并响应 IN 请求将数据送出;FPGA 除设定了一个 N=512 的计数器外,同时还设定了一个 N=2 的计数器,会在每一个帧满后以 00,01 的状态翻转,并将这种状态作为 FIFOADR[1:0]的输入,使得 FPGA 可以持续地接收数据并且交替地写入 68013 的 2 个输入缓冲区。FLAG 设置为 Indexed Mode,用 FLAGB 表示当前 FIFO 为满状态,用 FLAGC 表示当前 FIFO 为空状态,FPGA 只有检测到有效状态时,才会从 SDRAM 中继续读取数据。

EZUSB FX2 Slave FIFO 工作模式下数据接口如图 1 所示。

单片机在系统中还起到和主机通信的作用,它把主机传送的命令进行合适的解释,发送给 FPGA,让

FPGA 来完成相应的控制,单片机和 FPGA 的通信采用 PORT I/O 端口和 FPGA 以 IO 方式进行命令交换。而与 FPGA 之间的传输采用的是 SLAVE FIFO 方式,其工作时钟最高可以达到 48MHz,由于不占用 CPU 时间,因此相比普通的 IO 方式,能够充分发挥 USB2.0 的高速性能。在进行 SLAVE FIFO 传输的时候,单片机只能处于从属地位,FPGA 充当的是 FIFO 主机的角色,控制数据的发送和接收,它们之间通过 PORT I/O 进行数据交换的通信。硬件连接如图 1 所示。

1.2 寻址方式

在 PC 上,硬盘通过 IDE80 芯的扁平非屏蔽电缆与主板连接,数据和命令在其上异步传输。当采用存储容量超过 137G 以上的大硬盘时,LBA28 方式寻址不能访问高于 137G 的地址空间了,而要用 LBA48 方式寻址。为了兼容小容量硬盘,LBA48^[1,6]和 LBA28 寻址方式是可以混合使用的。

为了实现 48 位寻址,特征寄存器,扇区计数寄存器,LBA 高位寄存器,LBA 中间位寄存器,LBA 低位寄存器,都是 2 个字节的长度。每次写这些寄存器的时候,新写入的内容总是放入名为“最新写入”寄存器的位置,而此寄存器先前的内容则放入名为“先前内容”寄存器中,如表 1 所示。

FPGA 与硬盘通信是通过 IO 寄存器来完成的,访问硬盘上的寄存器是由 CS0FX,CS1FX,A2,A1,A0 来译码完成的。硬盘的寄存器分为命令寄存器组和控制寄存器组。ATA 接口规范定义了以下两种不同的数据传输方式:PIO(可编程 I/O)方式和 DMA 方式。在 PIO 的传送方式下,CPU 对控制器的所有访问均是通

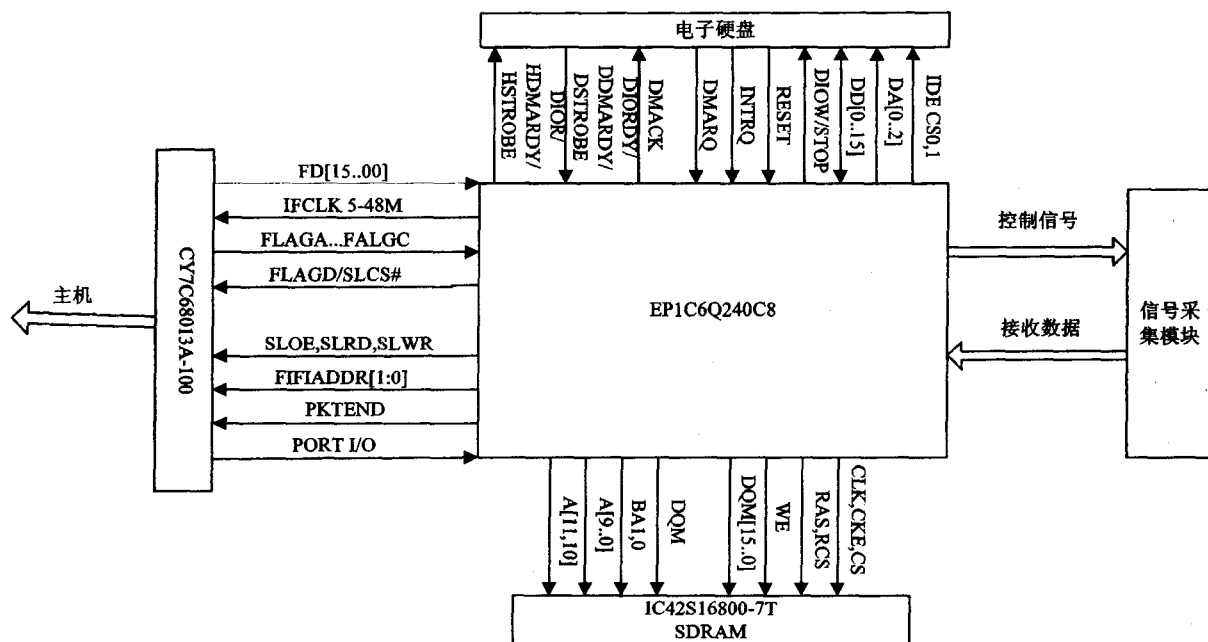


图 1 硬件系统结构框图

表 1 两种寻址方式的比较

48 位寻址			
寄存器	" MOST RECENTLY WRIT- TEN"	" PREVIOUS CONT- EN"	
特征寄存器	保留	保留	
扇区计数寄存器	扇区计数(7:0)	扇区计数(15:8)	
LBA 低位	LBA(7:0)	LBA(31:24)	
LBA 中间位	LBA(15:8)	LBA(39:32)	
LBA 高位	LBA(23:16)	LBA(47:40)	
驱动器/磁头寄 存器	[7..5]不用,LBA=1,DEV 选 择所要的设备,[3..0]保留	保留	

28 位寻址			
寄存器	" MOST RECENTLY WRITTEN"	" PREVIOUS CONTEN"	
特征寄存器	NA	NA	
扇区计数寄存器	扇区计数(7:0)	NA	
LBA 低位	LBA(7:0)	NA	
LBA 中间位	LBA(15:8)	NA	
LBA 高位	LBA(23:16)	NA	
驱动器/磁头寄存器	LBA(27:23)	NA	

过 PIO 进行的,其中包括从控制器中读取状态信息及错误信息,及向控制器中发送命令及参数。在一次的 PIO 数据传输中,先由 CPU 完成选址,使得读/写信号有效,然后 CPU 或控制器将数据放至数据总线,由控制器或 CPU 读取该数据,完成操作后释放总线,这样就完成了一次的数据传输。DMA 即直接内存访问方式,在这种方式下,CPU 先将缓冲区地址及需要读写的长度提交硬盘,随后外部设备向 CPU 发出一个 DMA 请求,请求 CPU 暂时停止使用内存,获得批准后就可直接在内存与外设之间传送数据,操作完成后再把对内存的访问权限归还给 CPU。在硬盘读写操作时,DASP 脚为低电平,相应的 LED 指示灯亮。

1.3 数据缓存

在数据的采集过程中,外部采集数据的速率比较低,如果采集的时候同时进行硬盘的存储操作,那么频繁的读写操作将使得硬盘的使用效率十分低,不能够发挥高速硬盘的优势,而且经常性的读写硬盘也会对硬盘的寿命造成一定的影响。外接大容量 SDRAM 主要是起到数据缓冲的作用,FPGA 把采集到的数据先存到 SDRAM 当中,当 SDRAM 快满的时候,可以通过 FPGA 以 UDMA 方式一次性写入硬盘,这样就明显减轻了硬盘负担。

当把存储的数据读入主机时,SDRAM 也可以起到缓冲的作用,把硬盘存储的数据预先读取到 SDRAM 中,然后在 FPGA 的控制下与单片机进行数据的交换。

1.4 外部接口

数据的采集部分是由信号采集模块完成的,可以是各种类型的信号,但是都要由 FPGA 控制完成,具体的连接根据不同的模块接口来决定。

2 软件设计

该系统软件部分的设计分三大部分,应用程序,单片机固件程序和 FPGA 控制程序。软件框架如图 2 (a)所示。

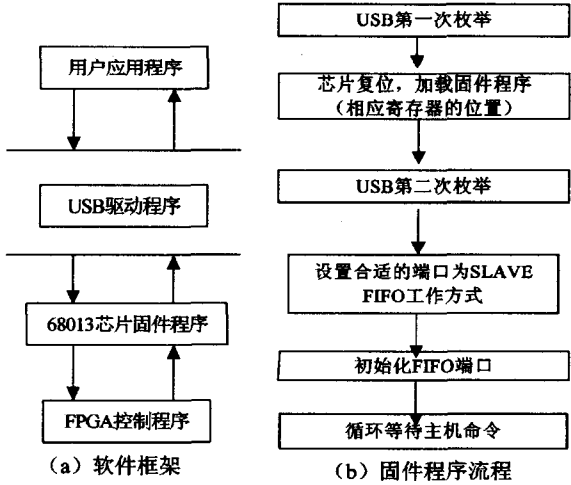


图 2 软件框架

2.1 应用程序设计

USB 接口应用系统的开发最关键的就是编制 USB 驱动程序和固件程序。文中采用的是由 Cypress 公司支持提供的 CY7C68013^[7] 芯片,在 Cypress 公司提供的开发包中带有支持所选器件的驱动程序,因此可以从复杂的 USB 驱动程序中解脱出来,直接使用其提供的驱动程序,而把主要精力放在芯片固件程序的编写上。

USB 设备被应用程序看成是一个文件,这样一来,对于设备的操作就会像读写文件一样简单,驱动程序与应用程序的通信是通过以下函数实现的:

```
HANDLE fp;
fp=CreateFile(“.\pfpga\pfpga. rbf”,GENERIC_READ,0,
NULL,OPEN_EXISTING,NULL,NULL);DeviceIo
Control(DeviceHandle,IOCTL_EZUSB_BULK_WRITE,
LPVOID lpInBuffer,
Sizeof(BULK_TRANSFER_CONTROL),
LPVOID lpOutBuffer,
DWORD nOutBufferSize,
LPWORD lpByteReturned,
NULL);
DeviceIoControl(DeviceHandle,
IOCTL_EZUSB_BULK_READ,
LPVOID lpInBuffer,
Sizeof(BULK_TRANSFER_CONTROL),
LPVOID lpOutBuffer,
DWORD nOutBufferSize,
LPWORD lpByteReturned,
NULL);
```

2.2 固件程序设计

固件程序的编译采用 keil C^[8],其编程效率高,生成代码的优化程度也较高。并且 Cypress 公司提供了

固件程序的框架,使得我们可以选择相应的函数,只需逐一填写函数体就可以实现相应的功能。固件流程如图 2(b)所示。

2.3 控制程序设计

FPGA 采用了 ALTER 公司的 EP1C6Q240C8 芯片,其内部有大量的可编程单元,完全可以满足控制的需要。FPGA 主要的工作是控制各个外设的工作^[9-11],要控制的外设大致分为 4 个模块,外部信号采集模块、硬盘读写模块、SDRAM 读写控制模块^[12]、单片机 SLAVE FIFO 控制模块,这四部分之间是并行工作关系,并且同时工作。另外还包含与单片机命令交换模块,用于解释单片机发送的命令,并做出相应的应答。控制框图如图 3 所示。

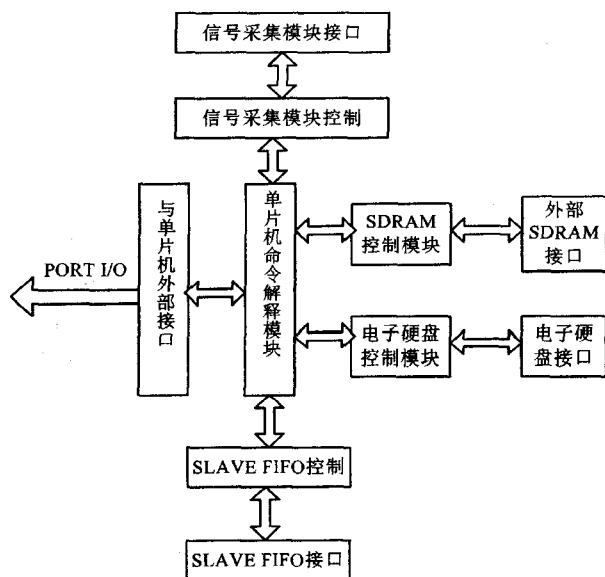


图 3 控制模块框图

3 结束语

文中设计的采集存储系统通过改变寻址方式从而

很方便地扩展了存储容量,并且兼容旧的接口形式。该系统能够实现数据的采集、存储和回放,在实际应用中具有良好的操作性、稳定性和可靠性。由于采用了 SLAVE FIFO、UDMA 传输方式和 LBA48 寻址方式,具有访问速度快、存储容量大的优点,完全可以满足各种应用场合,具有广泛的应用前景。

参考文献:

- [1] ANSI NCITS. AT Attachment with Packet Extension (ATA/ATAPI-6) [S]. 2002.
- [2] 阮勇,刘培基. 便携式大容量数据采集系统的设计与实现[J]. 青岛大学学报(工程技术版本), 2005, 20(3): 76-79.
- [3] 代勇,李昌禧. 基于嵌入式以太网接口的数据采集处理系统[J]. 微机发展(现更名: 计算机技术与发展), 2005, 15(5): 125-127.
- [4] 张亮. 数字电路设计与 Verilog HDL [M]. 北京: 人民邮电出版社, 2001.
- [5] Budruk R, Anderson D, Shanley T. PCI Express System Architecture [M]. [s. l.]: Pearson Education, 2003.
- [6] 徐爱钧,彭秀华. Keil Cx51 V7.0 单片机高级语言编程与 uVision2 应用实践 [M]. 北京: 电子工业出版社, 2004.
- [7] Wang Yin, Li Guozhu. A Design of Single-Chip's USB2.0 Interface Based on CY7C68013 [J]. Journal of Xi'an University of Arts & Science, 2009, 12(2): 85-88.
- [8] 许勇和. EZUSB FX 系列单片机 USB 外围设备设计与应用 [M]. 北京: 北京航空航天大学出版社, 2002.
- [9] 王金明. 数字系统设计与 Verilog HDL [M]. 北京: 电子工业出版社, 2002.
- [10] 徐小玲. IDE 硬盘读写技术 [J]. 电子科技大学学报, 2002, 31(6): 636-641.
- [11] 杨坤德,赵亚梅,马远良. 高速大容量多通道数据采集系统设计 [J]. 数据采集与处理, 2002, 17(4): 454-458.
- [12] 侯孝民,张卫杰,龙腾. 高速大容量数据采集存储系统设计 [J]. 无线电工程, 2005, 35(4): 37-40.

(上接第 142 页)

- [3] 白雪,黄延磊. 一种改进运动目标检测算法的研究与应用 [J]. 微计算机信息, 2009, 26(2): 235-239.
- [4] Bouwmans T, Baf F El, Vachon B. Background Modeling using Mixture of Gaussians for Foreground Detection-A Survey [P]. Recent Patents on Computer Science, 2008: 219-237.
- [5] 肖梅,韩崇昭,张雷. 一种视频序列的背景提取算法 [J]. 光电工程, 2005, 32(4): 78-81.
- [6] Stauffer C, Grimson W. Learning Patterns of Activity Using Real-Time Tracking [J]. IEEE Transactions on Pattern Analysis and Machine Intelligence, 2000, 22(8): 747-757.
- [7] Stauffer C, Grimson W. Adaptive background mixture models for real-time tracking [C]//Proceedings of IEEE Conference on Computer Vision and Pattern Recognition. [s. l.]: [s. n.], 1999: 246-252.
- [8] 王陈阳,周明全,耿国华. 基于自适应背景模型运动目标检测 [J]. 计算机技术与发展, 2007, 17(4): 61-63.
- [9] Schindler K, Wang Hanzhi. Smooth Foreground-Background Segmentation for Video Processing [J]. Lecture Notes in Computer Science, 2006, 3852: 581-590.
- [10] Lee Dar-Shyang. Effective Gaussian Mixture Learning for Video Background Subtraction [J]. IEEE Transaction on Pattern Analysis and Machine Intelligence, 2005, 27(5): 827-832.
- [11] 樊亚春,周明全,耿国华. 消除光照影响的背景减除算法 [J]. 中国图像图形学报, 2009, 14(7): 1413-1417.
- [12] 陈振华,周锐锐,李光伟,等. 一种改进的高斯混合模型算法及仿真 [J]. 计算机仿真, 2007, 24(11): 190-193.