

一种高性能 AFDX 监控卡的实现技术研究

王 治, 田 泽

(中国航空计算技术研究所, 陕西 西安 710068)

摘 要: AFDX(Avionics Full Duplex Switch Ethernet)是空客公司首先提出的,并在 A380 上应用的一种新型机载通信网络,具有高可靠、强实时和高安全性的优点。在应用商业以太网技术的基础上,通过增加特殊功能来保证航空应用的确定性和可靠性。在解析协议的基础上,介绍 AFDX 网络的关键技术,并针对 AFDX 网络测试的需求,提出了一种基于 FPGA 的 AFDX 监控测试卡技术方案,并对板卡设计中的系统结构、功能组成,以及关键模块的设计进行了较详细的介绍。试验结果表明该测试卡可满足端系统和交换机的测试以及网络监控需求,并为以后相关测试系统的研制提供了设计思路和借鉴经验。

关键词: 交换式以太网;端系统;交换机;AFDX 网络监控卡

中图分类号: TP39

文献标识码: A

文章编号: 1673-629X(2010)08-0217-04

Research of a High Performance AFDX Monitor Card Implementation Technology

WANG Zhi, TIAN Ze

(Aeronautics Computing Technique Research Institute, Xi'an 710068, China)

Abstract: AFDX is a new airborne communication network, which is firstly put forward by Airbus corp. and used in A380. It has the advantages of high reliability, strong real-time and high security. AFDX network is based on commercial Ethernet technology, and added special function to ensure its assurance and stability in airborne application. Based on protocol study, introduce the key technology of the AFDX, and put forward an FPGA-based AFDX monitor card, in according to the AFDX test requirement. Then it introduces the design of key module consisting of system structure, host interface, network interface, time controller and center controller. Finally, it gets the result that the function and performance meets the test requirement of AFDX end system, switch and network monitor, it presents the design thoughts and provides some experience for development of relative test equipment in future.

Key words: switched ethernet; end system; switch; AFDX network monitor card

0 引 言

机载数据总线是航空电子系统实现综合化、模块化(IMA)的关键技术之一。传统的 ARINC429、1553B 通信网络传输速率分别只有 100kb/s 和 1Mb/s,只能实现点对点或共享总线通信方式,已远远不能满足飞机对高速、分布的通信需求。航空电子全双工分组交换以太网(Avionics Full Duplex Switched Ethernet)是一个标准用来定义在航电子系统之间进行数据交换所应遵循的电气要求和协议规范(IEEE802.3 和 ARINC

664 的第 7 部分)^[1]。

AFDX 网络是一种全双工交换式以太网,支持 10Mbps 和 100Mbps 速率可配置^[2]。AFDX 网络继承了商用以太网在技术上的成熟性和商业上低成本的优点^[3]。它在以太网技术的基础上增加了一些特殊的功能来提供一个确定性高、实时性强和服务有保证的网络。通过采用基于虚链路(Virtual Link, VL)的带宽分配策略来实现延时确定性;其双冗余网络的设置有效地增加了系统的可靠性^[4];启动时由系统集成者进行网络配置,从而实现在系统稳定运行期间无需进行配置参数修改。

目前,AFDX 已经成为了一种新航空电子数据网络标准,其应用越来越广泛,这样对 AFDX 网络测试提出了较高要求。文中针对 AFDX 系统提出一款测试精度高、实时性强的在线测试卡来监控 AFDX 网络,通过软件对数据进行定量分析实现对模块级、系统

收稿日期:2010-03-16;修回日期:2010-06-26

基金项目:“十一五”总装微电子预研项目(51308010511);总装预研重点基金项目(9140A160107HK61)

作者简介:王 治(1977-),男,陕西西安人,硕士,研究方向为 SoC 设计;田 泽,博士,研究员,研究方向为 SoC 设计、VLSI 设计、嵌入式系统开发和应用。

级的功能和性能评估。

1 测试需求分析

在 AFDX 系统中对网络部件的功能测试、系统性能的评价,以及故障定位都需要对传输数据进行定量分析。文中提出的基于 PCI 的在线测试卡可以在不干扰网络正常通信的情况下检测网络通信数据,通过分析软件对监控数据进行性能评价和定位故障。

测试卡提供两种工作模式:

1) 在线数据捕捉。

在线数据检测模式提供对系统级的测试。在该模式下可监视并捕捉记录某个特定的端系统、VL、Port 及某些特定的数据活动和网络连接情况。当系统搭建完成后,需要对某链路上的数据进行检测,可以通过将本测试卡串入系统中,连接方式如图 1 所示。测试卡在接收、转发数据的同时捕获数据并附加 64 位的输入时间标签,该数据写入板上内存进行缓冲,通过 PCI 接口上传到主机,然后由主机软件进行分析并查看数据帧的内容、消息结构等。

2) 数据发生。

数据发生模式提供对模块级的测试。由于 AFDX 网络是一个延迟确定性的网络,对延迟相当敏感。在对端系统或交换机进行测试时,往往需要产生两个冗余通道数据,且要求通道内和通道之间数据帧的时间间隔是确定的,间隔参数能通过软件设定。软件将数

据写入卡内缓存,硬件按照预设时间参数定时将网络数据注入被测设备,从而验证设备功能的正确性。对测试注入的数据帧可构造为正常帧和异常帧,检测模块的正常和故障处理能力。

对于不同的连接方式可对网络设备的相关功能进行测试,连接方式如图 1 所示,测试的功能如下所述:

(1) 端系统的发送测试。

如图 1 所示,测试卡 1 设置为在线数据捕捉模式,监控和记录端系统 1 的两个冗余通道数据。记录数据通过软件分析可判断通道的 SN 规则、Interface- ID 规则、VLID 规则、BAG 规则、Jitter 规则,并检测两个冗余通道输出相同帧的时间偏差。

(2) 端系统的接收测试。

如图 1 所示,测试卡 4 工作在数据产生模式,向端系统 5 的 2 个冗余通道注入确定性测试数据。由测试软件定制测试数据的详细内容以及冗余通道数据间的相对时间,注入到 ESS 并根据其主机接收到的数据进行分析。定制 SN 的帧序列来测试端系统接收中的 IC 规则;定制帧的 SN 号和冗余通道之间帧的相对时间差来测试端系统的 RM 规则、SkewMax 规则;构造异常数据帧情况检测端系统的故障处理能力。

(3) 交换机测试。

如图 1 所示,对交换机的测试需要考虑将多块测试卡进行级联组成控制系统。这样卡间需要同步机制,通过同步保证协同工作的测试卡内时标单元的同

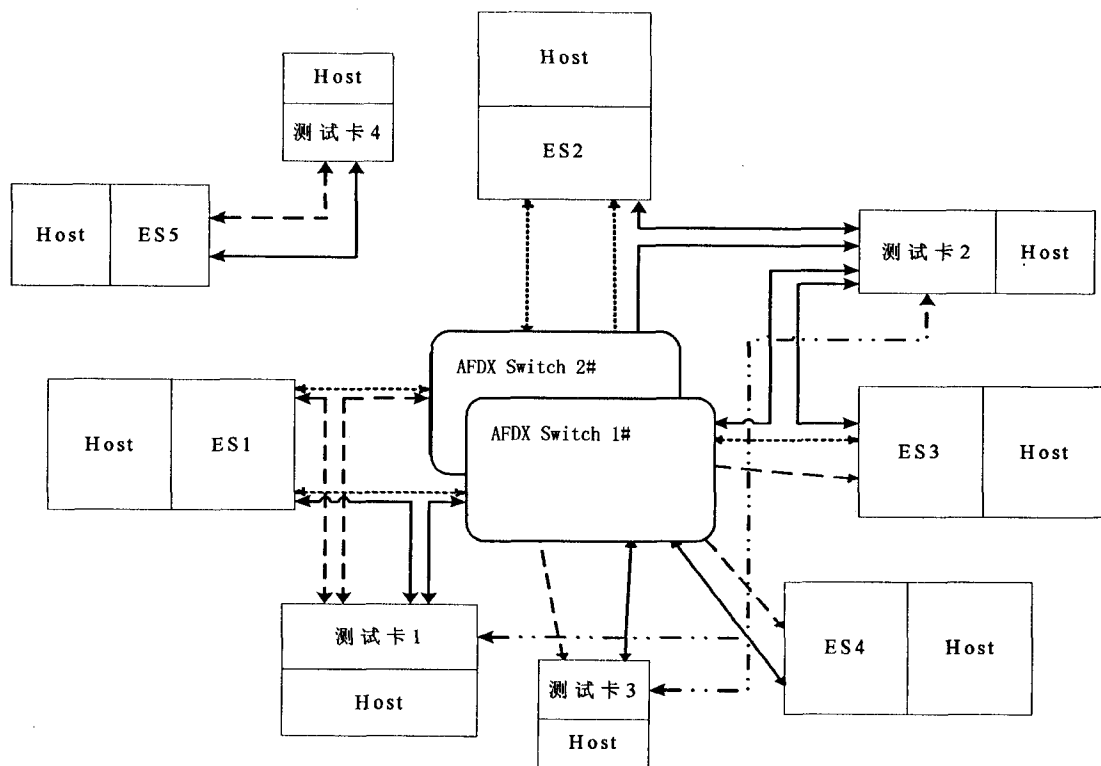


图 1 测试互连

步计时。如图对于交换机 1, 测试卡 2 中一个通道用来接收输入到交换机的数据, 另一个通道用来接收交换机输出的数据。通过监控两通道相同数据帧(同 VL 和同 SN)进出交换机内的时间可判断其延迟; 在特定情况下注入确定量的输入数据, 检测输出帧的数量来测试端口缓冲大小等。

如图 1 所示, 测试卡 3 工作在数据发生模式, 通过构造特殊数据格式的数据帧在确定时刻注入, 在输出端检测接收到的数据测试交换机的警管功能、过滤功能、通道数据优先级等功能。在 AFDX 网络的测试中, 功能点的测试包含很多测试项来覆盖功能的各种情况, 具体的测试项就不详细说明了。

2 硬件设计

本板卡采用 Spartan3 的 XCS1500 FPGA 实现控制, 其中主要单元包括 PCI 接口、以太网接口、SDRAM 控制器、时标控制单元和逻辑控制器的设计, 如图 2 所示。其中 PCI 控制器和以太网控制器复用以前设计中的 IP Core, 可大大简化本卡的设计。各模块的功能描述如下:

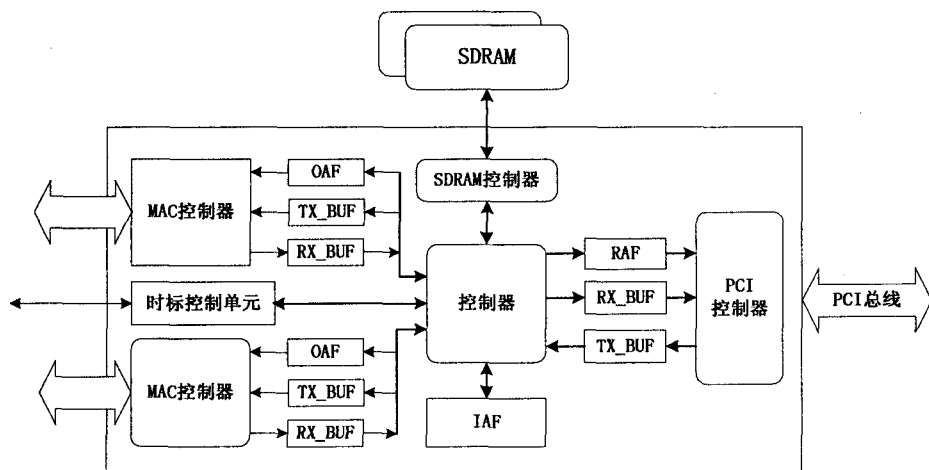


图 2 系统结构

2.1 PCI 接口

PCI 控制器提供主机和板卡间高速、双向交互数据的接口。该控制器符合 PCIv2.2 协议, 支持 32 位地址总线/数据总线, 总线频率支持 33MHz/66MHz, 总线带宽可达 132/264MB^[5]。

设计中将 PCI 本地总线地址空间进行划分和映射, 根据需要划分为用户配置空间、发送缓冲区空间、接收缓冲区空间。在板卡初始化阶段, 主机软件通过读写配置空间的控制寄存器设置板卡的工作模式和工作参数。对发送和接收缓冲区的操作是以中断方式进行的, 这样以帧为单位进行传输时就可充分利用总线, 提高总线带宽的利用率。

发送数据时首先由主机构造数据, 数据由帧长、输出时标、端口以及数据帧组成。发送缓冲空时有效写中断 INT-WR, 主机开始写缓冲时则撤销写中断。主机将数据以 burst 方式写入发送缓冲区(TX-BUF), 完成一帧传输主机发出结束命令, 内部控制逻辑将数据转存到外部的 SDRAM 中, 然后再次有效写中断。主机按输出相对时间先后依次写入。

接收数据时, 首先是控制器根据 RAF 中的地址将板上内存中接收到的帧读出并写入到 PCI 的接收缓冲 RX-BUF 中, 此时数据包括帧长、端口、输入时标、接收的数据帧。写完一帧后, 帧长被写入到接收长度 FIFO (RLF) 作为接收指令, 有效 PCI 读中断 INT-RD。主机响应读中断, 在读数据前先读指令, 根据指令定义长度取数。

2.2 以太网控制器

以太网发送接收模块(PE-MACMII 模块)支持 10Mbps/100Mbps 半双工和全双工操作, PE-MACMII 模块包括: PEMCS, PETFUN, PERFUN, PE-HOST, PECLKRST 和 PEMIIM 子模块^[6,7]。PEHOST 模块给主机侧提供了一个可以访问/配置以太网内部

寄存器(32 位)的 16 位端口。PECLKRST 模块给其它子模块提供时钟和复位信号。PETFUN 子模块负责以太网数据帧的发送, PERFUN 子模块负责以太网数据帧的接收, 这两个子模块通过标准的 MII 接口(介质无关层接口)与 PHY 相连。PEMCS 子模块实现了 IEEE802.3x 协议中规定的流控机制。PEMIIM 子模块负责与 PHY 相连, 其提供

了 two-wire 控制/状态接口, 读/写 PHY 中的寄存器是通过主机接口完成的。功能框图如图 3 所示。

2.3 SDRAM 控制器

由于相比其他的随机存储器, SDRAM 具有单位空间存储容量大和价格便宜的优点, 所以被广泛使用^[8]。文中实现一个 SDRAM 控制器负责内部控制模块与外部 SDRAM 之间的接口, 使用 2 片 K4S511632D 组成 128MB 的存储器, 形成 32 位数据总线方便数据操作。SDRAM 控制器实现 SDRAM 的 NOP、自动刷新、行激活、预充、写突发、模式设置等操作。对外采用 FIFO 控制接口, 使得内部的主控制器在读写 SDRAM 时不必考虑上电初始化、模式设置、自动刷新等操作、

激活操作,预充电等,从而简化主控制的逻辑设计。

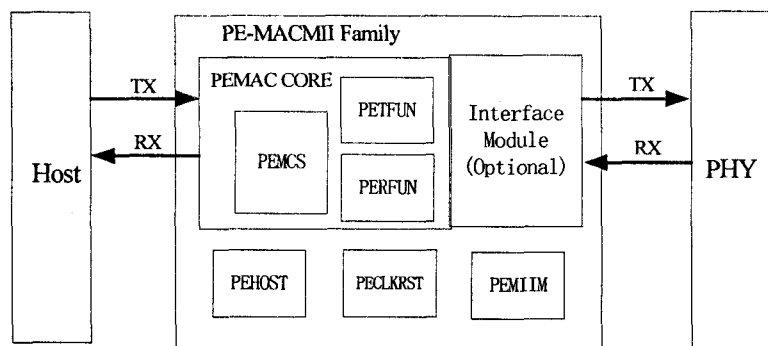


图3 以太网功能框图

2.4 时标控制单元

由于AFDX网络是一个确定性的网络,所以在测试过程中对数据帧的时间特性要求非常严格。IRIG-B为国际通用的时间格式码,以其实际优越性能,成为时统设备首选的标准码型^[9],用于各系统的时间同步。IRIG-B码作为时统设备与用户设备的标准接口,提高了整个电子装备试验中测控通讯系统的可靠性、一致性^[10]。文中采用国际通用的IRIG-B格式时间码(简称B码),实现板卡间的时间同步。板内实现64位时标计数器,计数时钟为100M精度10ns,保证在测试过程中计数器不会溢出。输出过程首先将数据从SDRAM中读出写入TX-BUF,当时标计时器到达输出时刻时,使能输出一帧数据到MAC。输入过程在接收到第一个字节时锁存内部时标计数器,将时标、端口号和随后接收到的数据写入SSRAM。

2.5 控制器

该控制器模块的主要功能是负责地址管理,协调各功能模块进行数据传输。工作原理如下:当处于数据发生器模式下时,PCI首先从空闲地址FIFO(IAF)中申请空闲存储器地址,该地址对应片外SDRAM中一个2KB的数据空间,主机将控制字和待发数据写入该空间,接着将申请到的地址写入到对应输出端口的地址FIFO中。启动输出后MAC里会读取各自输出端口地址FIFO(OAF),根据该地址从SDRAM中取出数据写入到MAC的输入缓冲中,当满足数据中时标要求后从MAC中发送出去。数据帧发送完成后,将帧地址写回到IAF来释放这块发送缓冲区内内存空间。如果内部IAF为空时,那么控制器不会有效INT-WR,应用程序直到该中断有效时才会下发数据到板载的内存中。

当板卡工作在监测模式下,MAC接收端口一旦收到数据,则立即从空闲地址FIFO中申请存储空间,对两个MAC同时申请IAF时默认端口A具有较高优先级,此时接收到的数据帧会缓冲于片内,当数据接收完

成后,由内部调度模块将数据在SDRAM空闲时写入对应的存储单元。在接收数据帧开始时刻应获取时标,控制信息(来自于A口或B口),并附加到数据帧的最后一并写入板上内存。最后将从IAF申请到的存储器地址信息写入到接收地址FIFO(RAF)中。控制器根据RAF中的指令读取数据写入到PCI缓冲,将帧长写入到接收长度FIFO(RLF)作为接收指令,并有效INT-RD供主机读取接收数据。数据帧上传主机后,通过将帧地址写回到IAF来释放这块接收缓冲区内内存空间。

3 结束语

文中就基于FPGA的AFDX网络测试和监控进行了研究,并在测试方法、系统实现方面做了较详细的介绍。测试结果表明该测试卡可满足对端系统和交换机的单功能部件的独立测试,对AFDX协议要求进行定量和定性测试,及对AFDX网络的在线检测,且工作稳定可靠。该测试卡开发周期短、成本低,易实现模块化和通用化,为以后相关测试系统的研制开发提供了设计思路和借鉴经验。

参考文献:

- [1] Brajou F, Ricco P. AFDX-Based Flight Test Computer Concept[J]. IEEE Instrumentation & Measurement Magazine, 2005(3):55-58.
- [2] ARINC664 Aircraft Data Networks. Part7(draft3):Deterministic Network[S]. [s.l.]: ARINC Airlines Electronic Engineering Committee, 2005:25-32.
- [3] 叶佳字, 陈晓刚, 张新家. 基于AFDX的航空电子通信网络的设计[J]. 测控技术, 2008, 27(6):56-60.
- [4] 陈昕, 杨杰, 周拥军. 航空全双工交换以太网冗余管理机制研究[J]. 计算机工程与应用, 2009, 45(2):102-105.
- [5] 李攀, 田泽, 蔡叶芳, 等. 基于SOPC的PCI通信接口设计与实现[J]. 计算机技术与发展, 2009, 19(9):211-214.
- [6] Mentor. 10/100 Mbps Dual-Speed Ethernet MAC Design Document[M]. [s.l.]: [s.n.], 2004:6-7.
- [7] Mentor. 10/100 Mbps Dual-Speed Ethernet MAC Test-plan Document[M]. [s.l.]: [s.n.], 2004:4-5.
- [8] 顾峰. 基于DMA传输方式的SDRAM控制器的设计与实现[J]. 舰船电子对抗, 2009, 32(2):108-111.
- [9] 刘明波, 侯孝民. 基于CPLD的IRIG-B码解码器设计与实现[J]. 研究与开发, 2008, 27(5):43-45.
- [10] 冯强. 基于FPGA的时统终端设计[J]. 微计算机信息, 2008, 24(10-2):182-184.