

基于IP核的多UART扩展及其FPGA实现

卢俊文¹, 郑鹭斌¹, 于忠清²

(1. 厦门理工学院, 福建 厦门 361024;

2. 青岛大学, 山东 青岛 266071)

摘要:嵌入式系统日益普遍。8位的处理器仍然是低端市场的主流, UART具有操作简单、工作可靠、抗干扰能力强等优点, 广泛应用于嵌入式设备接口中。但是标准的8位处理器满足不了大量的串行接口设备的要求。分析了当前普遍采用的多UART的方法和Actel公司提供的标准8051和UART(通用异步收发器)。在IP核的基础上, 通过两块FPGA内部RAM, 设计出一种“桥”的办法, 用Verilog硬件描述语言实现多个UART的扩展, 并在ModelSim中进行仿真验证, 最后在Actel公司的FPGA(现场可编程门阵列)里进行实现。

关键词:通用异步收发器; 现场可编程门阵列; 扩展

中图分类号: TP39

文献标识码: A

文章编号: 1673-629X(2010)06-0188-04

The Extension of Multi-UART Based on IP Core and Implementation in FPGA

LU Jun-wen¹, ZHENG Lu-bin¹, YU Zhong-qing²

(1. Xiamen University of Technology, Xiamen 361024, China;

2. Qingdao University, Qingdao 266071, China)

Abstract: The embedded system is becoming increasingly common. 8-bit processor is still dominant in low-level market. UART (Universal Asynchronous Receiver/Transmitter) has strong points such as easily to operate, liability in working, strong anti-jamming ability and so on. It is broadly used in connector of embedded devices. But the traditional 8-bit processor cannot satisfy a large number of serial interface devices. After analyzing current common methods of multi-UART and based on standard IP cores of 8051 and UART supported by Actel, design a “bridge” method, and use Verilog hardware description language to extend multi-UART through two blocks RAM. This method is simulated in ModelSim and implemented in Actel FPGAs.

Key words: UART; FPGA; extension

0 引言

UART具有操作简单、工作可靠、抗干扰能力强、传输距离较远(RS-422的最大传输距离达到1200m)的特点, 所以广泛用于设备通信中^[1]。尤其在嵌入式系统中, 有时打印机、GPS、GPRS、摄像头等需要同时连接到UART接口上^[2]。而现有的硬件平台一般最多提供两个接口, 极大地限制了系统的性能扩展。对UART的扩展能够极大地满足许多系统的需求。

扩展串口的的方法大致可分为四类:

①分时复用法: 采用轮询技术, 使一个串口和多

个串行设备轮流通信;

②用软件模拟串口^[3];

③用8251之类的芯片完成串并转换^[4], 将串行数据转换为并行数据后送至单片机, 从而集成多个串口设备;

④用串口扩展专用芯片直接扩展串口^[5]。

分时复用一般通过模拟开关完成单片机与多个串行设备的切换, 成本低, 由于切换是由单片机控制的, 一般用于主从式系统, 且通讯数据量不能太大。第二、三类方法在本质上是一样的: 单片机内部只能处理并行数据, 因此必须把外来串行位数据转化为并行字节数据, 区别在于前者由本机CPU检测/形成串行线上的电平状态, 完成串并或并串转化, 而后者由扩展芯片完成这种转换。软件模拟法的优势是成本低, 但要占用大量的CPU时间, 其他任务将会被频繁中断, 只适

收稿日期: 2009-09-22; 修回日期: 2009-12-25

基金项目: 厦门市2008年科技计划指导性项目(3502Z20089046)

作者简介: 卢俊文(1981-), 男, 福建人, 硕士, 研究方向为嵌入式系统、可重构计算; 于忠清, 教授, 研究方向为嵌入式系统、可重构计算、数据挖掘。

合主程序任务较简单的情况,如果要扩展两个以上串口,这种方法几乎不能实现。而硬件扩展法的优缺点正好与之相反:成本较高、电路较复杂,但不占用 CPU 时间,实时性好,可扩展多个串口。

综上考虑几种串口的扩展方法都不能满足系统升级和扩展的需求,所以文中引进了可重构的多串口的扩展的方法,使用 FPGA 进行扩展。FPGA(Field-Programmable Gate Array, 现场可编程门阵列)作为一种高速、灵活、可靠的可编程逻辑器件,不仅提高了小批量系统的系统集成度、灵

活性、可靠性,而且降低了产品的开发周期和成本。FPGA 也是 SOPC 使用的主要器件^[6],设计能为进一步实现 SOPC 系统提供基础。设计中采用 Actel 公司提供的标准的 8051 和 UART 的 IP 核,利用两块 FPGA 内部 RAM,在 FPGA 上实现了 5 个 UART 的扩展。如果要进行更多 UART 扩展也只需少量的更改。

1 IP 核介绍

在设计之前,先对设计中使用的 8051 和 UART 的 IP 核做一些简单的介绍。Actel 提供的 8051 的 IP 核中,所有的时钟控制模块、定时器、中断模块、电源管理等都是通过 SFR 总线(Special Function Register Bus)实现的。提供的内部特殊功能寄存器总共有 128 个,地址从 80H~FFH,用户可用特殊功能寄存器 101 个^[7],其结构图如图 1 所示。设计中使用的是 F8、F9、FA、FB、FC 五个寄存器,分别对应五个扩展的 UART。

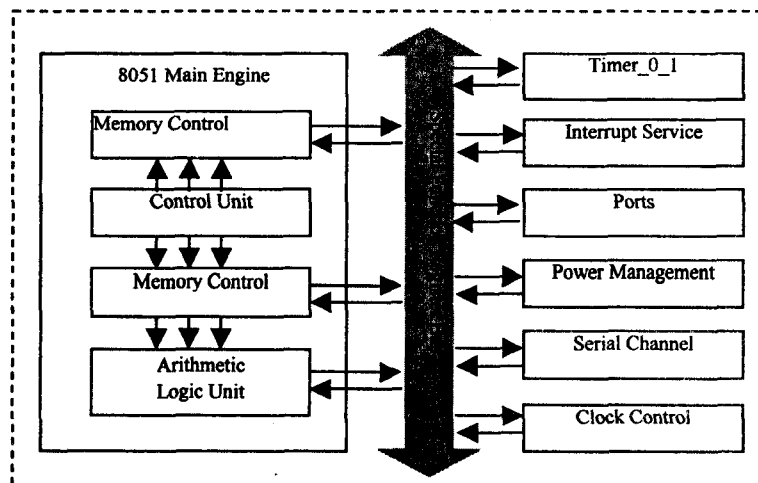


图 1 8051 结构图

UART 的 IP 核主要结构如图 2 所示^[8],由于是使用现有的 IP 核进行扩展,所以更关心的是其外部信号和发送接收时序。图 2 中并行 8 位的 data_in[7:0]和 data_out[7:0]是在扩展中最主要的数据信号。

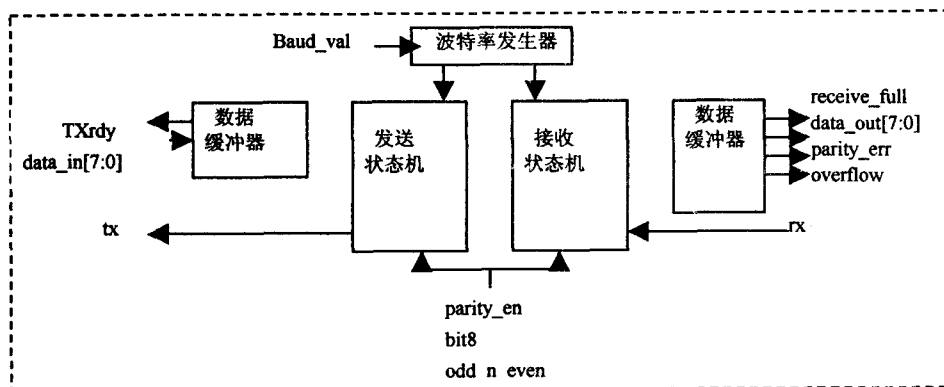


图 2 UART 结构图

2 UART 的扩展及其 FPGA 实现

2.1 系统总体结构设计

多个 UART 的扩展是通过两块 FPGA 内部 RAM 来实现的,这两片 RAM 可以看作是一个桥,其中一个 RAM 作为发送扩展模块,另一个作为接收扩展模块,系统主要结构如图 3 所示。当处理器要往外部 UART 设备发送数据时,通过 SFR 总线,把数据发送到发送扩展模块的 UART 设备对应的 RAM 空间,再发送到 UART 外部设备。每个 UART 对应 RAM 的一段空间,例如 uart_a 对应发送模块 RAM 的 tx_ram_a 空间。用同样的方法,设置了一块接收扩展模块 RAM。设计中 8051 和 UART 都是采用 Actel 公司提供的 IP 核。所以系统主要需要实现的是发送扩展模块和接收扩展模块。

2.2 系统时钟设计

在数字电路设计中,一般设计都是使用同一个时序的,所有的触发器都是在一个时钟下进行翻转,这样的设计易于处理,正确率也高。但是设计与外部接口时,外部时钟与内部时钟经常是异步的,也就是存在多个时钟域,信号的输出驱动和输入采样在不同的时序下进行,于是可能就产生亚稳态。假设系统时钟为 clk, UART 时钟为 uart_clk,这两个时钟并不一定是完全一致,这就导致多个时钟域,信号的输出驱动和输入采样在不同的时序下进行,于是可能就产生亚稳态。为了保证数据的准确性,必须进行时钟校正或者同步。但是如果采用校正的方法,

则每个周期都要进行校正,这就极大地浪费了系统资源,所以设计采用的是时钟同步的方法,即在扩展模块中使用同一个时钟 `uart_clk_r`。这由以下 Verilog 语句实现:

```
uart_arb_cnt <= #1 3'd0;
else
uart_arb_cnt <= #1 uart_arb_cnt + 1'd1;
end
```

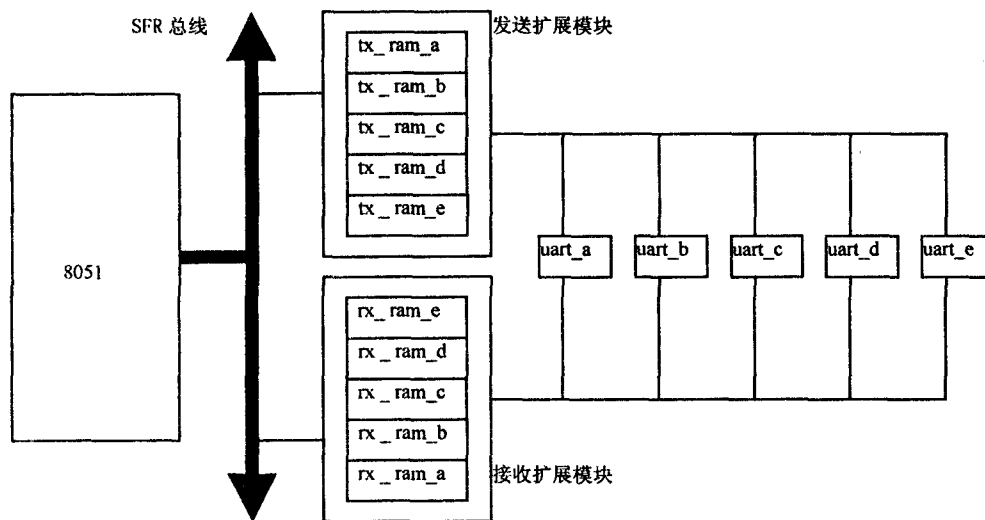


图 3 系统结构框图

```
always @(posedge clk)
begin
uart_clk_d <= #1 uart_clk;
uart_clk_d2 <= #1 uart_clk_d;
end
assign #1 uart_clk_r = uart_clk_d & (~uart_clk_d2);
```

产生的 `uart_clk_r` 就是用来同步扩展模块的时钟。

2.3 多 UART 竞争的解决方法

设计中多个 UART 设备的扩展,涉及到多个 UART 使用同一个发送扩展模块 RAM 和接收扩展模块 RAM。如果在一个时间内只有一个 UART 设备要使用发送或接收扩展 RAM,不会产生竞争,但是失去了 UART 扩展的意义。如果有多个 UART 要使用发送或接收扩展 RAM,那么就会产生竞争,因此设计中

使用一个令牌(`uart_arb_cnt`)在这 5 个 UART 之间轮询,通过令牌来决定哪个 UART 设备使用 RAM。这由以下 Verilog 语句实现:

```
always @(posedge clk)
begin
if (rst) begin
uart_arb_cnt <= 3'd0;
end
else if (uart_clk_r)
if (uart_arb_cnt == 3'd4)
```

2.4 缓冲区设计

由于多串口的扩展,数据容易丢失,也为了提高 CPU 的使用率,所以需要设计缓冲区。该系统中使用两片收发 RAM 进行桥接,并把它设计为 FIFO 环形缓冲区,每个 UART 对应的独立的收发环形 FIFO 缓冲区大小设计为 32B(可根据需要进行大小调整)。设计两个指针分

别指向数据的排头和排尾,保证新存入的数据不会覆盖尚未得到处理的数据。需要发送数据时,把准备好的数据送入环形缓冲区,再由中断处理程序从环形缓冲区取出数据并发送。而当中断处理程序接收到串口送来的数据时,将其存入接收环形缓冲区,上层驱动程序就可以从该环形缓冲区取出数据了。使用计数器来确定缓冲区满或者空。

2.5 发送扩展模块的实现

根据设计要实现的功能,发送扩展模块需要的主要输入输出信号如下:

输入信号:

clk: 系统主时钟;
uart_clk: UART 设备时钟;
sfrdatao: SFR 数据总线输出;
sfraddr: SFR 地址总线;
sfrwe: 写使能。

输出信号:

uart_in_a: UART 设备 a 的数据;
uart_in_b: UART 设备 b 的数据;
uart_in_c: UART 设备 c 的数据;
uart_in_d: UART 设备 d 的数据;
uart_in_e: UART 设备 e 的数据。

由于设计采用 RAM 来实现发送扩展模块,所以很重要的工作就是在时序信号、控制信号的作用下实现数据的写和读操作。

具体算法如下:

(1)当8051通过SFR总线要往某一UART设备发送数据时,首先是要根据SFR总线时序,在sfrwe(写使能)信号为高的时候,且sfraddr高4位全为“1”(因为分配的UART的特殊功能寄存器为F8,F9,FA,FB,FC,高四位全为1,则表示有UART通信)时,把sfrdatao的数据发送到RAM的输入(RAM的数据输入是共用的)。

(2)判断数据发往哪个UART,把数据写入这个UART设备对应的在RAM中的空间。每个UART设备都对应着RAM中的一个固定大小、位置的空间,该设计使用的固定大小是32B。

(3)再由RAM读出数据到输出端uart_in_x(x代表a,b,c,d,e),发送到对应的UART设备。每个UART对应RAM的空间有限,因此要不断地判断其容量状态。整个主要过程如图4所示。

2.6 接收扩展模块的实现

接收扩展模块和发送扩展模块的实现方法类似,就不再赘述。

3 验证仿真

采用Modelsim工具对上面实现进行仿真验证。测试用例是把串口rx_a、rx_b、rx_c、rx_d和rx_e的数据,通过设计的RAM“桥”,分别发送到串口tx_e、tx_d、tx_c、tx_b和tx_a,结果仿真如图5所示。由此可见,通过RAM“桥”,能够正确、方便地实现多串口

的扩展。

4 结束语

实现了基于IP核的多UART的扩展,并在Actel的FPGA中实现。由于采用了轮询的方法,串口设备之间缺少优先级,不能对一些需要高优先级的数据优先处理,但是满足了大量的串口设备的要求,且只要FPGA资源足够,可以方便地添加更多的UART。系统具有紧凑、灵活的特点,又可以节约资源,降低成本,在实际应用中具有重要作用。

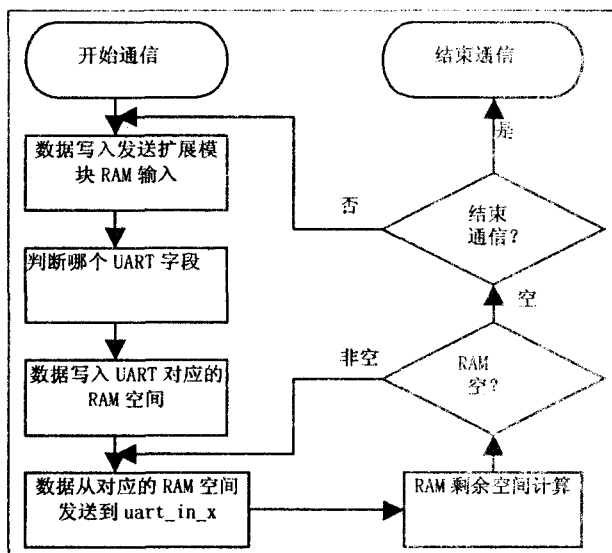


图4 发送扩展模块实现流程图

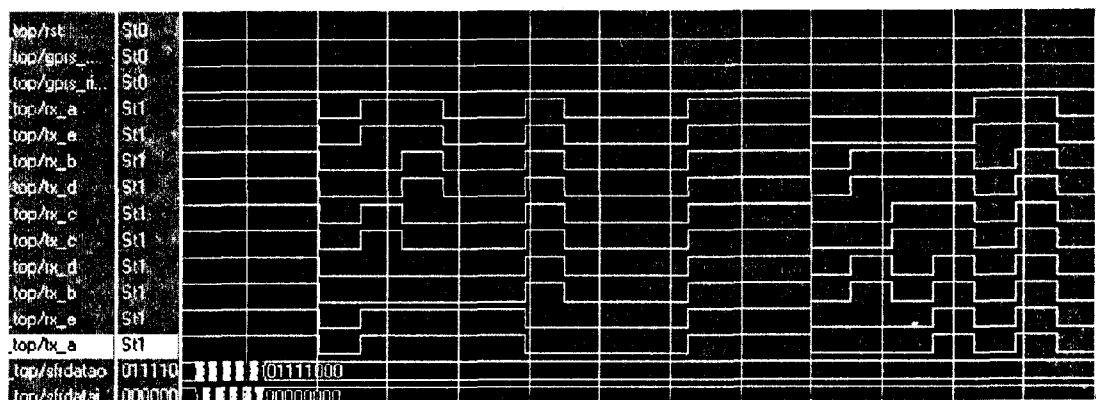


图5 发送接收扩展模块仿真图(部分主要信号)

参考文献:

- [1] 曹会华, 贺占庄. 基于有限状态机实现全双工可编程UART[J]. 计算机技术与发展, 2007, 17(2): 53-55.
- [2] 董长富, 郭超平, 宋渝. 基于FPGA的多串口模块的设计和实现[J]. 电子元器件应用, 2006, 11(8): 43-46.
- [3] 吴佳, 钱伟康. 51系列单片机多串口通讯任务的实现[J]. 东华大学学报: 自然科学版, 2005, 31(6): 62-65.
- [4] 曹凯, 凌明. 基于ARM7与μClinux的嵌入式系统多串

口设计[J]. 现代电子技术, 2007(2): 94-96.

- [5] 王鹏, 佟科, 李贻涛. UART多串口扩展器SP2349及其应用[J]. 东北电力学院学报, 2004, 24(6): 71-73.
- [6] Calderón D R H, Vassiliadis S. Soft Core Processors and Embedded Processing: a survey and analysis[C]//Proceedings of - Pro RISC, Netherlands: [s.n.], 2005: 483-488.
- [7] Core8051 Datasheet[M]. USA: Actel Corporation, 2005.
- [8] CoreUART Handbook v2.0[M]. USA: Actel Corporation, 2005.