

CAN 总线位定时和同步机制的设计与实现

王瑞晓, 贺占庄

(西安微电子技术研究所, 陕西 西安 710065)

摘要:在 CAN 总线中, 位定时和同步机制保证了 CAN 网络的正常通讯, 是 CAN 控制器设计的难点和重点之一。鉴于此, 在深入研究 CAN 总线位定时和同步机制工作原理的基础上, 提出了一种位定时和同步机制的设计方法, 并给出了相应的结构框图, 对各模块进行详细介绍。该设计用 verilog HDL 代码实现, 在 Quartus II 7.0 环境中进行功能仿真。经分析, 完全符合 CAN2.0 的协议规范, 实现了位定时和同步的功能, 从而验证了设计的正确性。

关键词:CAN 总线; 位定时; 同步; Quartus II 7.0

中图分类号:TP273+.5

文献标识码:A

文章编号:1673-629X(2010)04-0235-04

Design and Implementation of CAN Bus Bit Timing and Synchronization

WANG Rui-xiao, HE Zhan-zhuang

(Xi'an Microelectronics Technology Institute, Xi'an 710065, China)

Abstract: In CAN bus, the normal communication of CAN network is guaranteed by bit timing and synchronization mechanism. So the design of bit timing and synchronization mechanism is one of difficulties in CAN controller design. A design of CAN bus bit timing and synchronization mechanism is presented in this paper, which is based on the research of bit timing and synchronization mechanism. The block diagram of the design is presented and explained in detail. The design is implemented by verilog HDL. The code of this design is simulated by the EDA tools of Quartus II 7.0. Through the analysis, the design conforms to the specification of CAN 2.0 and implements the bit timing and synchronization. The correctness of the design is also verified.

Key words: CAN bus; bit timing; synchronization; Quartus II 7.0

0 引言

CAN(Controller Area Network)总线属于现场总线的范畴,它具有很强的纠错能力,支持差分收发,传输距离远,可靠性高,多主工作方式,是一种支持实时控制和分布式控制的异步串行通讯网络^[1]。

CAN 总线传输数据长度可变的信息帧,传输每一帧,以帧起始开始,以帧结束标志及随后的间歇场结束,这就要求收/发双方从帧起始开始必须保证帧内信息中的每一位严格同步^[2]。在 CAN 协议中, CAN 总线位定时和同步机制是既重要又难于理解的环节,它影响到波特率,总线长度,及节点数据的成功收发^[3]。文中以 CAN 技术规范为基础,深入分析了 CAN 总线位定时和同步机制的工作原理,并在此基础上给出了

一种可行的实现位定时和同步机制的设计方法。

1 CAN 总线位定时和同步机制的工作原理

1.1 位时间

根据协议规定, CAN 总线的位时间 NBT 由四部分组成:同步段(SYNC_SEG),传播段(PROP_SEG),相位缓冲段 1(PHASE_SEG1)和相位缓冲段 2(PHASE_SEG2),即 $t_{NBT} = t_{sync_seg} + t_{prop_seg} + t_{phase_seg1} + t_{phase_seg2}$,采样点位于相位缓冲段 1 的终点^[4,5]。

同步段是 CAN 总线位时间中每一位的起始部分,不管是发送节点发送一位或接收节点接收一位都是从同步段开始的^[6]。但是由于发送节点和接收节点之间存在网络延迟及物理接口延迟,发送节点和接收节点对应同一位的同步段起始时刻都有一定的时延,为弥补这种时延给出了传播段 PROP。相位缓冲段 1 和相位缓冲段 2 用来补偿沿的相位误差,通过重同步,相位缓冲段 1 被延长或相位缓冲段 2 被缩短,从而调整采样点,得到正确的采样值。相位缓冲段 1 和相位缓冲

收稿日期:2009-06-30;修回日期:2009-09-15

基金项目:国防科工委民用航天基金(5220060318)

作者简介:王瑞晓(1983-),女,河南郑州人,硕士研究生,研究方向为计算机控制技术;贺占庄,研究员,硕士生导师,研究方向为计算机控制技术。

段 2 延长或缩短被允许的最大长度为同步跳转宽度 SJW。位时间中的各时间段的长度均是可编程的。

1.2 位定时

位定时是由节点自身完成的(可编程),节点的位定时有三个作用。一是确定位时间,以便确定波特率(每一位的传送速率),从而确定总线的网络速度,或者在给定总线网络速度的情况下,确定位时间;二是确定位时间的各个时间段的长度——同步段,传播段,相位缓冲段 1 和相位缓冲段 2;三是确定同步跳转宽度以用于重同步^[3,7]。

1.3 同步机制

CAN 总线有两种同步方式:硬同步和重同步^[4,5]。同步与位定时是密切相关,同步由节点自身完成,节点将来自总线的沿与位定时相比较,并通过硬同步和重同步来适配位定时^[3]。

硬同步是在一帧开始时进行的同步,只在总线空闲或者帧间空间时,通过一个下降沿(总线电平从隐性位到显性位的跳变)来完成,此时,不管有没有相位误差,所有节点的位时间都重新开始。

重同步发生在位流传送期间,节点根据沿相位误差的大小调整其内部的位时间,使节点内部的位时间与报文位流的位时间接近或相等。重同步用来弥补沿相位误差,晶振频偏,节点延时,噪音干扰都可能引起相位误差,弥补误差的方法是延长相位缓冲段 1 或缩短相位缓冲段 2,调整采样点的位置,但是延长或缩短的长度有一个上限,也就是上文提到的同步跳转宽度 SJW。

边沿的相位误差由同步跳变沿相对于同步段的位置给出。边沿相位误差 e 与同步跳变沿的关系如下:

$e = 0$, 同步跳变沿在同步段内。

$e > 0$, 同步跳变沿位于同步段之后,采样点前,即跳变沿迟到了。弥补这种误差,要延长相位缓冲段 1。

$e < 0$, 同步跳变沿位于采样点之后,下一个位周期的同步段之前,即下一位的同步跳变沿早到了。弥补这种误差,要缩短相位缓冲段 2。

当引起重同步的边沿相位误差 e 的值小于同步跳转宽度 SJW 时,相位缓冲段 1 延长或相位缓冲段 2 缩短的长度为跳变沿迟到或早到的相位误差值;当边沿相位误差 e 的值大于或等于同步跳转宽度 SJW 时,相位缓冲段 1 延长或相位缓冲段 2 缩短的长度为一个同步跳转宽度 SJW 的值^[6]。这里需要注意的是,相位缓冲段只是在当前的位时间内被延长或者缩短,在接下来的位时间内,只要没有重同步,各时间段将恢复编程预设值。通过重同步机制,消除了相位误差带来的影响,保证了数据传输的正确。

2 CAN 总线位定时和同步机制的实现

基于以上对 CAN 总线位定时和同步机制的分析,给出了 CAN 总线中位定时和同步机制的结构框图如图 1 所示。

2.1 设置定时参数

根据 CAN 总线位定时和同步机制工作原理,位定时参数包括同步跳转宽度 SJW,预分频系数 BRP,相位缓冲段 1 和相位缓冲段 2,则定义以下两个寄存器:总线定时寄存器 0 (BTLO) 和总线定时寄存器 1 (BTL1)^[8]。如表 1 所示。

表 1 BTLO(上表) 和 BTL1(下表)

SJW.1	SJW.0	BRP.5	BRP.4	BRP.3	BRP.2	BRP.1	BRP.0
SJW		BRP					

SAM	SEG2.2	SEG2.1	SEG2.0	SEG1.3	SEG1.2	SEG1.1	SEG1.0
SEG2				SEG1			

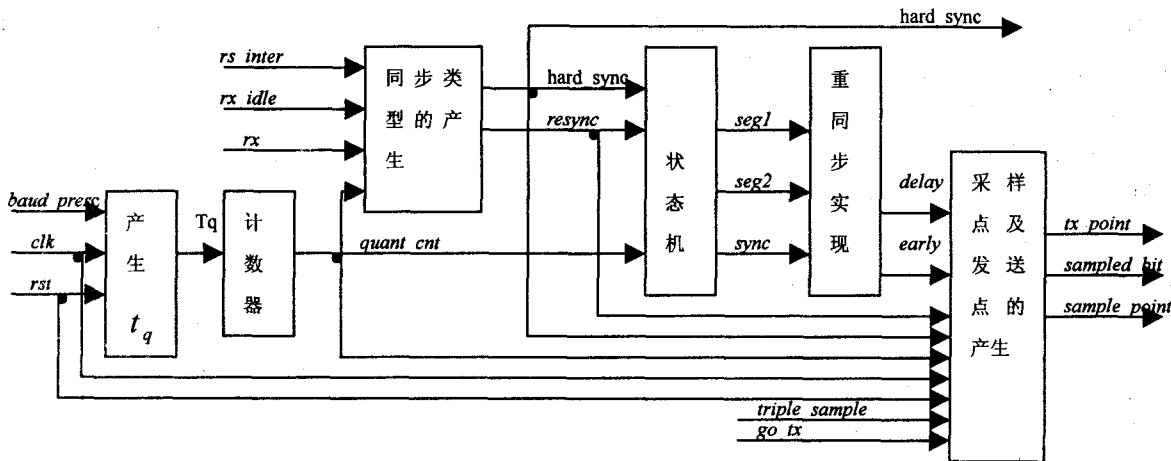


图 1 位定时和同步机制结构框图

总线定时寄存器 0 和总线定时寄存器 1 共同确定了 CAN 总线的波特率。位定时各个参数和波特率的计算公式如下^[8]:

$$t_q = t_{clk} \times BRP$$

$$BRP = 32BRP.5 + 16BRP.4 + 8BRP.3 + 4BRP.2 + 2BRP.1 + BRP.0 + 1$$

$$t_{SJW} = t_q \times (2SJW.1 + SJW.0 + 1)$$

$$t_{SYNC_SEG} = t_q \times 1$$

$$t_{SEG1} = t_q \times (8SEG1.3 + 4SEG1.2 + 2SEG1.1 + SEG1.0 + 1)$$

$$t_{SEG2} = t_q \times (4SEG2.2 + 2SEG2.1 + SEG2.0 + 1)$$

$$t_{NBT} = t_{SYNC_SEG} + t_{PHASE_SEG1} + t_{PHASE_SEG2}$$

$$baud_rate = 1/t_{NBT}$$

值得注意的是这里将传播段 PROP_SEG 与相位缓冲段 1 PHASE_SEG1 合并称为 SEG1。BTL1 中的 SAM 位定义了 CAN 总线的采样模式。

2.2 产生时间份额 t_q

由上节 CAN 总线的位定时参数的计算公式可知, 时间份额 t_q 是系统时钟周期 t_{clk} 的特定倍数, 该倍数由可设定的预分频系数 BRP 决定。通过分析, 时间份额 t_q 也就是 CAN 总线的时钟周期。

产生时间份额的步骤为: 根据预分频系数 BRP 得到计数比较值 preset_cnt; 以 preset_cnt 为界限, 对系统时钟 t_{clk} 计数; 当计数值达到 preset_cnt 时, 也就产生了一个 t_q 。

2.3 状态机

在发送和接收过程中, 位周期中的时间段是循环出现的, 因此设计中采用了有三个状态的状态机, 这三个状态分别对应位周期中的同步段, 相位缓冲段 1 和相位缓冲段 2, 设计中设定同步段的长度为一个时间份额。由于传播段占用的时间短, 且在控制上没有特别意义, 设计中没有将传播段设计进状态机。

设计一个计数器 quant_cnt, 对时间份额 t_q 进行计数, 当计数值达到总线定时寄存器 1 中定义的相位缓冲段 1, 相位缓冲段 2 及设计中定义的同步段的时间长度时, 系统产生跳变信号 go_seg1、go_seg2 和 go_sync。通过对这些跳变条件的判断, 控制状态机在上述三个状态之间循环转换。位定时的状态机如图 2 所示。

2.4 同步类型产生

在每一帧数据的开始位置, 各节点都要进行一次同步, 即硬同步, 其实现步骤为: 判断总线是否满足协议中规定的帧起始条件, 即总线空闲 rx_idle 或处于帧间空间 rx_inter, 且总线电平 rx 由隐性到显性跳变, 则

硬同步信号 hard_sync 有效; 硬同步信号有效后, go_seg1 立即有效, 系统立即进入位周期的相位缓冲段 1, 从而实现硬同步。

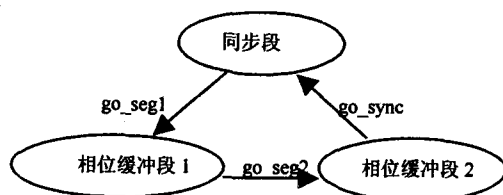


图2 位定时中的状态机

在位流传送期间, 即总线不空闲或者不处于帧间空间, 各节点之间可能有相位误差, 当总线值 rx 出现隐性位到显性位的跳变时, 重同步信号 resync 有效。

2.5 重同步实现

在位流传送期间出现重同步时, 根据 rx 从隐性位到显性位的跳变所处的状态机的位置来实现重同步。若跳变沿出现在 seg1 有效期间, 则延长相位缓冲段 1; 若跳变沿出现在 seg2 有效期间, 则缩短相位缓冲段 2。其实现框图如图 3 所示。

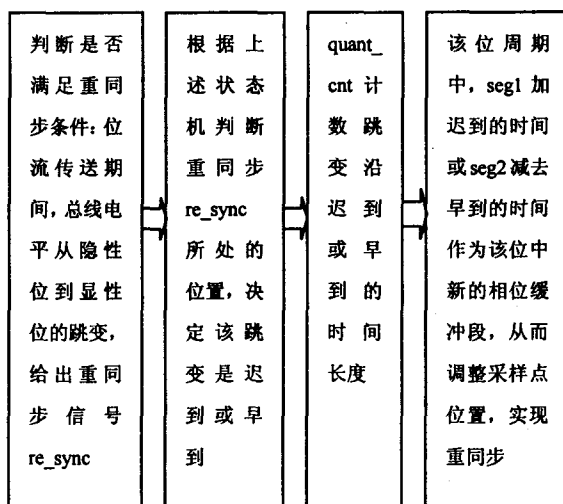


图3 重同步的实现框图

需要说明的是在上述框图中, 各模块之间是并行工作的, 时间上无先后之分, 采用顺序流程实际上是逻辑上的顺序关系。

2.6 采样点及发送点

根据协议规定, 采样点 sample_point 点位于相位缓冲段 1 和相位缓冲段 2 之间, 设计中将其安排在与相位缓冲段 2 同步的位置上。根据采样准确性的要求, 在总线速度要求不高的场合, 可采用多次采样, 总线定时寄存器 1 的最高位 SAM 定义了采样模式。若 SAM 为 1, 则采用三次采样, 每次采样间隔一个时间份额, 采样值为三次采样中得到的次数最多的总线值; 否则为一次采样, 采样值为从 rx 上得到的总线值。

发送点 tx_point 处于每一个位周期的开始时刻,

设计中将其同步于 go_sync 信号。若在硬同步或重同步的情况下, tx_point 立即有效。采样点和发送点的分布情况如图 4 所示。

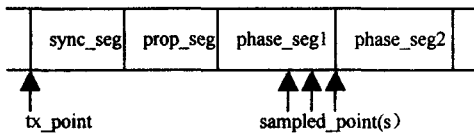


图 4 采样点及发送点的分布

3 设计的实现及功能仿真

该设计已经用 Verilog HDL 硬件描述语言代码实现,其代码在 Quartus II 7.0 环境中进行功能仿真^[9]。对该设计的功能仿真包括对硬同步的仿真,重同步中相位误差 e 为不同情况时的仿真,因篇幅有限,图 5 仅给出了相位误差 e 大于 0 时的仿真波形。

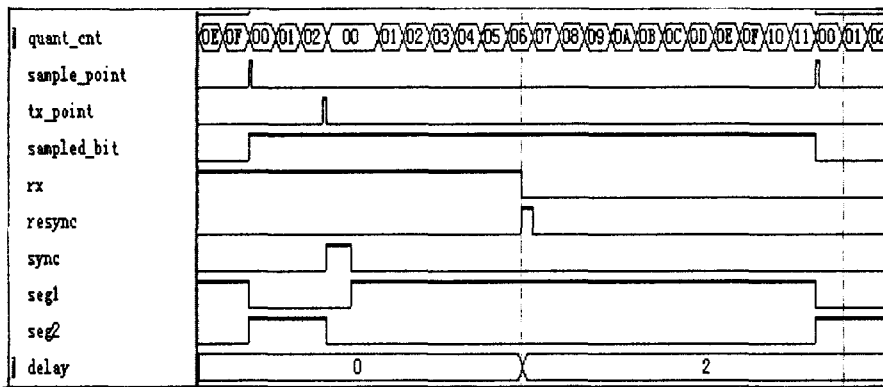


图 5 重同步中相位误差大于 0 的仿真波形

从波形可以看出 rx 所表示的总线电平从隐性位到显性位的跳变发生在相位缓冲段 1, 即 seg1 有效期间,从而重同步信号 resync 有效。因跳变沿出现在同步段之后,采样点之前,则延长相位缓冲段 1, delay 信号表示了要延长的时间所占的时间份额数,从而实现了重同步,采样点向后推迟,得到正确的采样值。

通过对各个功能的验证,该设计能够正确地实现

CAN 总线的位定时和同步机制,从而保证了设计的正确性。

4 结束语

CAN 总线中位定时和同步机制保证了 CAN 网络正常通讯,在 CAN 控制器的设计中是重要的一部分。文中提出的 CAN 总线位定时和同步机制的设计与实现,通过功能仿真,验证了设计的正确性,为 CAN 控制器的设计奠定了基础。另外,CAN 总线的位定时参数的合理设置可以提高 CAN 网络的通讯性能,在实际的应用中可根据 CAN V2.0 规范进行设置并优化。

参考文献:

- [1] 郭宽明. CAN 总线原理和应用系统设计[M]. 北京:北京航空航天大学出版社,1996.
- [2] 史久根,张培仁,陈真勇. CAN 现场总线系统设计技术[M]. 北京:国防工业出版社,2004.
- [3] 李芳,刘鲁源,吕伟杰. CAN 总线位定时和同步机制的分析[J]. 电子产品世界,2005(5):106-107.
- [4] CAN 入门书[EB/OL]. 2002. <http://www.renesas.com>.
- [5] GmbH R B. CAN Specification, version 2.0[S]. 1991.
- [6] 佟为明,陈培友. CAN 总线位定时与同步机制的研究[J]. 电子器件,2007(4):1500-1502.
- [7] The Configuration of the CAN Bit Timing[EB/OL]. 2003. <http://www.can.bosch.com>.
- [8] SJA1000 data sheet[R]. Philips product Specification, 2000.
- [9] 夏宇闻. Verilog 数字系统设计教程[M]. 北京:北京航空航天大学出版社,2003.

(上接第 234 页)

参考文献:

- [1] 周成虎. 洪水灾害评估信息系统研究[M]. 北京:中国科学技术出版社,1993.
- [2] 曾令锋. 广西洪涝灾害及减灾对策[M]. 北京:地质出版社,2000.
- [3] 赵雪莲,陈华丽. 基于的洪灾遥感监测与损失风险评价系统[J]. 地质与资源,2003,12(1):54-60.
- [4] 李绍飞,余萍,孙书洪. 基于神经网络的蓄滞洪区洪灾风险模糊综合评价[J]. 中国农村水利水电,2008(6):60-64.
- [5] 傅湘,王丽萍,纪昌明. 极值统计学在洪灾风险评价中的应用[J]. 水利学报,2001(7):8-12.
- [6] 李继清,张玉山,纪昌明,等. 突变理论在长江流域洪灾综合风险社会评价中的应用[J]. 武汉大学学报:工学版,2007,40(4):26-30.
- [7] 万良君. 城市灾害的损失评估研究与防灾减灾对策[J]. 气象水文海洋仪器,2003(4):34-43.
- [8] 林晓霞. 梧州市防洪减灾与可持续发展[J]. 广西科学院学报,1999,15(1):1-5.
- [9] Arulampalam G, Bouzerdoum A. A generalized feed forward neural network architecture for classification and regression[J]. Neural Networks,2003,16(5-6):561-568.
- [10] 王国胤. 粗糙集理论及其应用(修订版)[M]. 重庆:重庆大学出版社,1998.