

# ARINC 659 总线接口芯片的 FPGA 原型验证

郭 亮, 李 玲, 田 泽, 许宏杰  
(中国航空计算技术研究所, 陕西 西安 710068)

**摘 要:** ARINC 659 总线是一种高速高可靠性的航空电子机架内部总线, 主要用于机架内部各个在线可更换模块之间的通信。介绍了 ARINC659 总线的结构和基于该总线结构开发的一种小型化高集成度的总线接口芯片。为了进行该芯片的原型验证, 开发了基于 ARINC659 总线架构的 FPGA 原型验证平台。描述了 FPGA 验证逻辑的结构, 并举例说明了具体的验证流程和验证结果。实验证明, 使用该平台和相应的验证流程, 极大地提高了验证效率, 为芯片的成功投片提供了可靠的保证。

**关键词:** ARINC 659; FPGA 原型验证; 背板总线

**中图分类号:** TN402

**文献标识码:** A

**文章编号:** 1673-629X(2009)12-0240-03

## FPGA Prototype Verification of ARINC 659 Bus Interface Chip

GUO Liang, LI Ling, TIAN Ze, XU Hong-jie  
(Aeronautical Computing Technique Research Institute, Xi'an 710068, China)

**Abstract:** ARINC 659 bus is a high-speed and high-integrity backplane bus. It is used for transferring digital data between line replaceable modules within an integrated modular avionics. This paper introduces the architecture of the ARINC 659 bus and ARINC 659 interface chip. This paper addresses a kind of FPGA emulation platform for ARINC 659 bus interface chip. The particular verification processes are introduced. The result shows that the emulation platform improves verification productivity and shortens the whole design process, provides credible guarantee for taping out of the chip.

**Key words:** ARINC 659; FPGA prototype verification; backplane data bus

## 0 引 言

ARINC 659 总线是一种由 HoneyWell 公司提出并成功应用于波音 777 的飞机信息管理系统的数据总线, 具有较高吞吐量、严格的故障隔离、数据传输确定等特点。ARINC 659 总线主要用来实现在综合模块化航空电子机架内部各个在线可更换模块(LRM)之间的数据通讯。ARINC 659 总线接口芯片是一款通用化和小型化的 ARINC 659 总线通信处理芯片, 实现了 ARINC 659 总线协议中规定的协议处理、数据传输等功能。

在 ARINC 659 接口芯片研制中, 如何完成对设计的充分验证, 成为芯片能否投片成功的关键<sup>[1]</sup>。ARINC 659 接口芯片的验证大致可以分为 IP 模块级验

证、系统级验证和 FPGA 原型验证三个层次<sup>[2,3]</sup>。前两个层次的验证方法是采用 HDL 语言, 开发 testbench 和 testcase 给设计增加激励并观察其响应。但是由于设计本身的复杂性和仿真验证的速度局限, 有些功能无法在仿真层次充分验证, 而 FPGA 原型验证则可以弥补仿真验证的不足<sup>[4,5]</sup>。文中主要论述一种 ARINC 659 接口芯片原型验证平台, 在该平台上完成了芯片大部分验证工作, 极大地提高了验证效率。

## 1 ARINC 659 总线结构和接口芯片简介

ARINC 659 总线是一个多节点多路串行通信总线, 具有高数据完整性和很强的总线容错能力。659 总线采用表驱动比例访问(TDPA)的通信机制, 总线操作按照预定的时间命令表进行。使用 4 条串行总线同时半双工传输和交叉校验的通信方式<sup>[6]</sup>。

ARINC 659 总线接口芯片是一种集成了控制器、时钟电路、存储器、数据收发、容错模块、脉冲收发模块等的片上系统。实现了 ARINC 659 背板数据总线规范中规定的协议处理、总线接口、时钟同步、数据传输

收稿日期: 2009-03-06; 修回日期: 2009-06-25

基金项目: 国防“十一五”微电子预研项目(513080105110); 国防 2006 年重点基金项目(9140A1601070)

作者简介: 郭 亮(1982-), 男, 陕西合阳人, 硕士, 研究方向为集成电路设计; 田 泽, 博士, 研究员, 研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

等功能,是一款通用化和小型化总线通信处理芯片。

ARINC 659 总线接口芯片具有以下主要功能:接口芯片支持多节点串行通信总线,采用表驱动均衡访问(TDPA)的通信机制,支持 4 路串行总线同时半双工传输和交叉校验通信。总线拓扑结构采用总线型。接口芯片具有初始化同步功能。窗口操作功能包括:基本消息操作,主/后备消息操作,长同步消息操作,短同步消息操作,跳过窗口操作。

## 2 验证平台结构和功能

根据 ARINC 659 总线接口芯片的功能和验证需求完成的验证系统如图 1 所示,由 ARINC 659 总线接口板、CPU 信号接口板和总线接口背板三部分组成。CPU 板采用 PowerPC 处理器,包含 PCI 总线桥及存储器控制器,用来模拟验证系统需要的主机功能。

背板总线连接板由 4 路总线、总线终端器供电电路、主机板引出端口、背板总线终端器供电电路、复位设置电路、线路故障注入电路等组成。

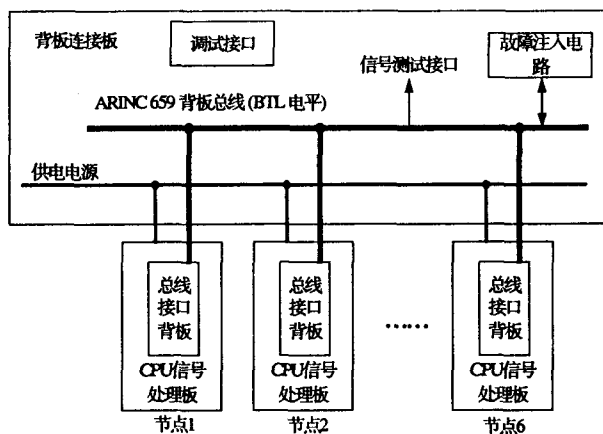


图 1 验证平台示意图

4 路总线的信号线包括:8 条数据线,4 条时钟线;由 PMC 插槽联通到底板的对应的 VME 底板插座接点并联合来实现。

主机板引出端口包括:R232 串口,主机板设置、控制、复位等设置口。用于验证程序的开发和调试。

背板总线连接板上的每条总线线路都设有信号测试点、接地和断开跳线,以便信号测试和故障注入。背板总线连接板上的线路故障注入电路可使每条总线线路接地和断开来使通信线路发生故障。

ARINC 659 总线接口背板的整体结构如图 2 所示:每一个接口板有 2 片总线接口芯片,分别为总线接口芯片 X 和总线接口芯片 Y,总线接口芯片 X 经由 X 总线发送,总线接口芯片 Y 经由 Y 总线发送,每一个总线接口芯片接收所有 4 路总线。每一路总线有独立的收发器,接口板共有 4 个总线收发器;接口芯片通过 PCI 总线控制器实现与子系统主机接口连接,完成同子系统主机间的信息交换,实现模块间的数据通信。电源模块用于将 5V 直流电源转换成各器件所需的工作电压,编程端口用于配置 FPGA。

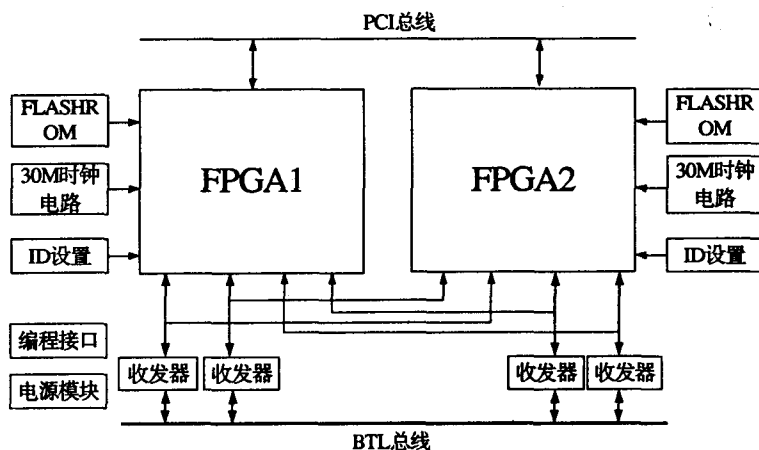


图 2 总线背板结构

## 3 FPGA 验证逻辑结构

在进行接口芯片的 FPGA 验证时,需要对 RTL 代码进行必要的修改<sup>[7,8]</sup>。主要包括:利用 Xilinx ISE 自带的 Core Generator 工具将 ASIC 的 RAM 单元替换为 FPGA 内部的 BLOCK RAM 单元模块。修改 ASIC 内部的 PLL 为 FPGA 自带的 DCM 资源实现。实现中设计内部需要 240MHz 的高频时钟,外部晶振频率为 30MHz,需要通过 DCM 实现时钟的倍频。

接口芯片对应的 FPGA 器件选用 XILINX 的 XC4V LX60,其可用管脚数为 668。由于该型号 FPGA DCM 模块倍频时,对输入时钟的范围有一定的要求,对小于 32MHz 的时钟最高可以倍频至 150MHz,所以需要采用两级 DCM 串联电路完成 30MHz 输入时钟的 8 倍频输出。

两级 DCM 连接关系如图 3 所示。

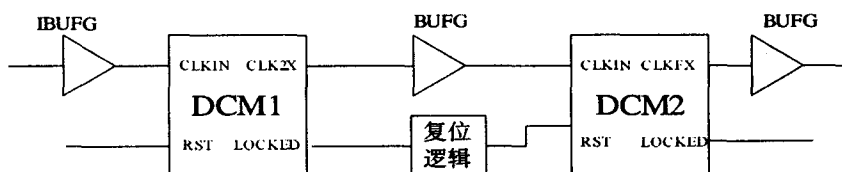


图 3 DCM 时钟电路

必要的代码转换完成后,需要编写综合脚本和布局布线所用的约束文件。使用 Xilinx ISE 完成综合和布局布线,最后生成配置 FPGA 用的位流文件。

#### 4 功能验证流程

在上述验证平台上,对接口芯片的功能进行验证。验证流程如图 4 所示,首先通过 FPGA 验证板上的 JTAG 链 1 加载命令表到 FLASH 中。通过 JTAG 链 2 加载 FPGA 位流文件。CPU 板用来模拟主机,其上运行 VxWorks 操作系统。PC 机通过串口 A 将测试程序加载到 CPU 板上的存储器中,启动 CPU 开始取指执行。执行结果可以通过串口 B 在 PC 机上显示出来。

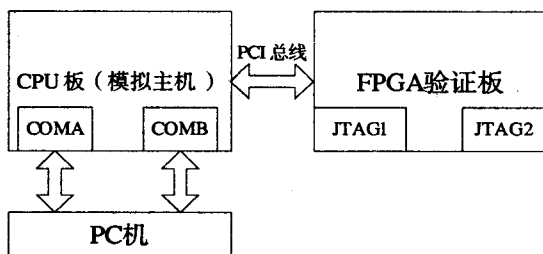


图 4 验证流程图

通过编写相关的测试程序,可以对 659 总线接口芯片的功能进行全面的验证。验证的功能主要包括主机接口功能,基本消息传输功能,主后备消息传输功能,数据容错功能等。下面以数据容错功能为例对验证过程进行描述。

ARINC 659 背板数据总线具有 ARINC 659 背板数据总线规范中定义的总线故障容错能力。暂时故障和硬故障会立即被检测出来,单个错误立即得以纠正。

首先编写命令表。例如下面一段命令表示模块 1 从地址 0x500 发送 2 个字长的数据,模块 2 接收该数据,接收起始地址为 0x1800。

```
CODE SSYNC;
FREE 1000;
SSYNC;
FREE 1000;
SSYNC;
BOW 2;
TX 1 0X500;
RX 2 0X1800;
SSYNC;
FREE 1000;
SSYNC;
JUMP CODE;
```

将命令表下载到模块 1 和模块 2 的 FLASH 中。将需要发送的测试数据写入模块 1 的 DPRAM 中,启

动发送。通过打开验证台上的开关,使四路串行总线的时钟线,DATA0 线,DATA1 线分别接地,来模拟不同情况下总线上瞬时或者长时间的故障。

对接收到的四路总线数据,ARINC 659 背板数据总线规范规定了特定规则进行相应的处理,保证在正常或者故障状态时都能选出正确的数据。按照协议规定,总线接口芯片能纠正所有的一位出错并能检测出所有的双位出错。对协议中要求的可纠正故障归纳如表 1 所示。

表 1 可纠正故障分类

故障类型	测试项	协议要求(完整性表和可用性表)
一路时钟故障	CKAX;CKAY;CKBX;CKBY	错误可以被检测并纠正
一路数据故障	D0AX; D0AY; D0BX; D0BY; DIAX; DIAY; DIBX; DIBY	错误可以被检测并纠正
两路可纠正时钟故障	CKAX 和 CKAY; CKAX 和 CKBY; CKBX 和 CKAY; CKBX 和 CKBY	错误可以被检测并纠正
两路可纠正数据故障	D0AX 和 D0BX; D0AY 和 D0BY; DIAX 和 DIBX; DIAY 和 DIBY	错误可以被检测并纠正
一路时钟和一路数据故障	CKAX 和 D0BY; CKAX 和 D0AY; CKAX 和 DIBY; CKAX 和 DIAY; CKAY 和 D0BX; CKAY 和 D0AX; CKAY 和 DIBX; CKAY 和 DIAX; CKBX 和 D0BY; CKBX 和 D0AY; CKBX 和 DIBY; CKBX 和 DIAY; CKBY 和 D0BX; CKBY 和 D0AX; CKBY 和 DIBX; CKBY 和 DIAX	错误可以被检测并纠正

对表中所列的各种类型的故障进行模拟,对其结果进行了分析,试验表明,芯片可以纠正一路数据或者时钟错误,两路有效总线对时钟故障,可以检测所有的两路数据故障,可以纠正一路时钟和一路数据故障。

#### 5 结束语

在文中所述的验证平台上,对 ARINC 659 总线接口芯片功能进行了详细的验证。实验中,验证平台发现了设计中存在一些问题,通过 XILINX ChipScope 工具,可对问题进行快速定位,然后反馈给设计人员,使问题能够及时得到解决,从而加速了芯片的验证工作。

#### 参考文献:

- [1] Rashinkar P, Paterson P, Singh L. System-on-a-Chip Verification Methodology and Techniques [M]. Norwell, MA, USA: Springer, 2000.
- [2] 郭蒙,田泽,蔡叶芳,等. 1553B 总线接口 SoC 验证平台的实现[J]. 航空计算技术, 2008, 38(6): 99-100.
- [3] 左航,金玉丰. 一种基于 Vera 的集成电路建模验证方法[J]. 计算机技术与发展, 2007, 17(1): 94-95.
- [4] 庄伟,樊晓桢. 嵌入式微处理器的系统验证平台设计[J]. 计算机应用研究, 2007, 24(10): 240-241.
- [5] 王国章,须自明,刘战,等. SoC 芯片验证技术的研究

(下转第 247 页)

中间件来实现。中间件包含了标准的 Modbus/TCP 协议。IDA 还采用基于 Web 的通信应用,提供了水平和垂直的集成,并扩展了 Web 服务器的应用<sup>[7,8]</sup>。

### 3 工业以太网发展趋势与前景展望

工业控制系统是实现工业自动化化的关键,是衡量一个国家工业水平的重要指标。从理论上说,工业控制系统将进入集网络化、软件控制、现代传感器技术为一体的复杂控制系统阶段。基于以太网的工业网络控制系统具有数据传输率高、可靠性好、易维护、可远程传输、互操作性好等优点。因此,基于以太网的工业控制网络是工业控制系统的发展趋势。据美国权威调查机构 ARC(Automation Research Company)报告指出,今后 Ethernet 不仅继续垄断商业计算机网络通信和工业控制系统的上层网络通信市场,也必将领导未来现场总线的发展,Ethernet 和 TCP/IP 将成为器件总线和现场总线的基础协议。美国 VDC(Venture Development Corp.)调查报告也指出,Ethernet 在工业控制领域中的应用将越来越广泛,市场占有率的增长也越来越快。为此,国际电工委员会 IEC 起草了实时以太网(Real-time Ethernet, RTE)标准,旨在推动以太网技术在工业控制领域的全面应用。

在国家“863”计划的支持下,我国开展了 EPA(Ethernet for Plant Automation)技术的研究,重点研究以太网技术应用于工业控制现场设备间通信的关键技术:

① 实时通信技术。其中采用以太网交换技术、全双工通信、流量控制等技术,以及确定性数据通信调度控制策略、简化通信栈软件层次、现场设备层网络微网段化等针对工业过程控制的通信实时性措施,解决了以太网通信的实时性。

② 总线供电技术。采用直流电源耦合、电源冗余管理等技术,设计了能实现网络供电或总线供电的以太网集线器,解决了以太网总线的供电问题。

③ 远距离传输技术。采用网络分层、控制区域微网段化、网络超小时滞中继以及光纤等技术解决以太网的远距离传输问题。

④ 网络安全技术。采用控制区域微网段化,各控制区域通过具有网络隔离和安全过滤的现场控制器与

系统主干相连,实现各控制区域与其他区域之间的逻辑上的网络隔离。

⑤ 可靠性技术。采用分散结构化设计、EMC 设计、冗余、自诊断等可靠性设计技术等,提高基于以太网技术的现场设备可靠性。

科技部也发布了基于高速以太网技术的现场总线设备研究项目,其目标是:攻克应用于工业控制现场的高速以太网的关键技术,其中包括解决以太网通信的实时性、可互操作性、可靠性、抗干扰性和本质安全等问题,同时研究开发相关高速以太网技术的现场设备、网络化控制系统和系统软件等。

从工业以太网技术发展形势看,尽管各种工业以太网技术可能会像现场总线国际之争那样,出现多协议并存局面,但以太网协议的相融统一并以网到底是工业控制以太网发展的必然趋势,以太网在工业控制系统中的应用必将越来越广<sup>[8]</sup>。

#### 参考文献:

- [1] Hoang H, Jonsson M, Hagstrom U. Switched realtime ethernet with earliest deadline first scheduling protocols and traffic handling[C]//Proceedings of the International Parallel and Distributed Processing Symposium. [s. l.]: IEEE computer society, 2002: 94-99.
- [2] Hoang H. Real-Time Communication for Industrial Embedded Systems Using Switched Ethernet[C]//Parallel and Distributed Processing Symposium[s. l.]. IEEE computer society, 2004: 127-130.
- [3] Seifert R. The Switch Book: The Complete Guide to LAN Switching Technology[M]. [s. l.]: Wiley, 2000: 587-647.
- [4] Zhang Wei. Stability analysis of networked control systems[D]. Ohio, US: Case Western Reserve University, 2001.
- [5] Nilsson J, Bernhardsson B, Wittenmark B. Stochastic analysis and control of real-time systems with random time delays[J]. Automatica, 1998, 34(1): 57-64.
- [6] 李 杨, 周 原, 方潜生, 等. 工业以太网及 OPC 在智能建筑中的应用[J]. 计算机技术与发展, 2007, 17(12): 22-26.
- [7] 王天然, 周 悦. FF 现场总线系统实时通信的分析及启发式调度[J]. 仪器仪表学报, 2003, 24(1): 1-6.
- [8] 李 嘉, 杨佃福. 引入以太网技术是现场总线技术发展的一个必然趋势[J]. 自动化仪表, 2001, 22(5): 1-4.

(上接第 242 页)

- [J]. 微计算机信息, 2007, 23(8): 132-133.
- [6] ARINC Specification 659 Backplane Data Bus[M]. [s. l.]: the Airlines Electronic Engineering Committee, 1993.
- [7] 孙玉焕. 64 位 CPU 的 FPGA 原型验证[J]. 电子应用技术,

2007(21): 158-160.

- [8] 王本有, 苏守宝, 汪德如. 一种基于 FPGA 的 CPU 设计[J]. 计算机技术与发展, 2008, 18(6): 221-224.