

# 高速 1553B IP 核的设计与实现

许宏杰, 田 泽, 袁晓军

(中国航空计算技术研究所, 陕西 西安 710068)

**摘 要:**随着 MIL-STD-1553B 总线在航空、航天等军事领域的综合电子信息系统中的广泛应用, 系统应用对 1553B 协议处理器的高传输率、高可靠性以及小型化提出了更高的要求, 采用传统专用芯片的方案已经不能很好地满足应用需求。从上述需求出发, 文中全面描述了高速 1553B IP 的功能结构以及各功能模块的设计与实现。目前, 1553B IP 已经过 MPW 投片验证, 样片的性能测试和系统应用验证结果表明, 1553B IP 完全符合 MIL-STD-1553B 协议, 支持 10Mbps 高速数据通信。

**关键词:** MIL-STD-1553B; 协议处理器; IP 核; 多时钟域

**中图分类号:** TN402

**文献标识码:** A

**文章编号:** 1673-629X(2009)12-0154-04

## Design and Implementation of High-Speed 1553B IP Core

XU Hong-jie, TIAN Ze, YUAN Xiao-jun

(Aeronautical Computing Technique Research Institute, Xi'an 710068, China)

**Abstract:** With the broad application of MIL-STD-1553B bus to military telecom system of aviation and spaceflight, the traditional ASIC can't meet the requirement of high bandwidth, high security and miniaturization yet. This paper is all-aroundly introduced the design and implementation of 1553B IP's function module and structure. The result of MPW tape-out and system level test demonstrated that 1553B IP comply with the MIL-STD-1553B protocol completely and support 10Mbps of data traffic.

**Key words:** MIL-STD-1553B; protocol processor; IP core; multi-clock domain

## 0 引 言

MIL-STD-1553B 总线是美国空军电子系统联网的标准总线, 是一种集中控制的时分制指令/响应的多路传输串行数据总线, 由于 1553B 总线具有确定的传输延迟、可靠的传输能力, 以及较强的容错能力等特点, 在航空、航天、舰载以及车载领域的综合电子信息系统得到了广泛的应用。

目前, 1553B 总线接口主要通过购买国外的或者自研的总线协议芯片来实现。国外的专用芯片包括: UT 公司的 UT1553B、DDC 公司的 BU-61580 等; 自研的专用芯片有 HK1553B 等。但是, 随着微电子技术、系统集成技术、通信技术的飞速发展, 武器系统的低功耗、高性能、高可靠性、小型化已经成为一种现实的要求。使用传统的协议芯片来实现总线接口的方案

已经不能很好地满足应用需求。在基于 IP 复用的 SoC 设计中, IP 是设计的基础。一般情况下, 可以通过两种途径来获得 IP: 购买成熟的商用 IP; 自研专用 IP。

购买成熟的商用 IP 可以大大缩短设计周期, 降低设计风险。但是, 当商家出于垄断考虑不愿意出售 IP, 或者商用 IP 不能满足特殊的应用需求, 或者没有商用 IP 时, 就需要自研专用 IP。对于 1553B 协议处理器, 商用 IP 已不能满足高总线传输带宽和高总线容错能力的需求, 因此, 需要设计一款符合 MIL-STD-1553B 总线协议、高总线传输带宽、高总线容错能力的 1553B IP, 以适应小型化实时嵌入式系统应用的要求。

## 1 1553B IP 的概述

### 1.1 1553B IP 的主要特征

1553B IP 的主要特征为<sup>[1]</sup>:

- \* 完全的 MIL-STD-1553B 双余度总线控制器 (BC) 和远程终端 (RT);
- \* 支持 BC 方式和 RT 方式多消息处理能力;
- \* 支持 BC 方式消息出错自动重试功能和可编程消息间延迟功能;

收稿日期: 2009-03-06; 修回日期: 2009-06-25

基金项目: 国防“十一五”微电子预研项目 (513080105110); 国防 2006 年重点基金项目 (9140A1601070)

作者简介: 许宏杰 (1981-), 男, 陕西宝鸡人, 研究方向为集成电路设计; 田 泽, 博士, 研究员, 研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

- \* 支持 RT 方式总线消息时标记录功能;
- \* 支持可编程中断机制和内部产生中断历史表;
- \* 支持 64k 字寻址的 DMA 或伪双口 (Pseudo-Dual-Port) 存储器接口;
- \* 支持可配置的 DMA 接口读写周期长度;
- \* 支持内部环绕自测试并且产生高优先级中断;
- \* 在 1553B 总线接口上, 支持 1MHz~10MHz 自适应的数据传输率;
- \* 在处理器接口上, 支持多种总线频率的处理器。

## 1.2 1553B IP 的功能结构

1553B IP 的主要功能是实现 MIL-STD-1553B 总线协议规定的(除 MT 功能之外)所有功能的总线协议处理器, 并且支持 1553B 总线上的 1MHz~10MHz 自适应的数据传输率和在处理器接口上采用多种频率的处理器。功能模块包括处理器接口模块、DMA 控制模块、1553B 协议处理模块、编/解码器控制模块、多时钟域同步模块及异步复位控制模块等, 如图 1 所示。

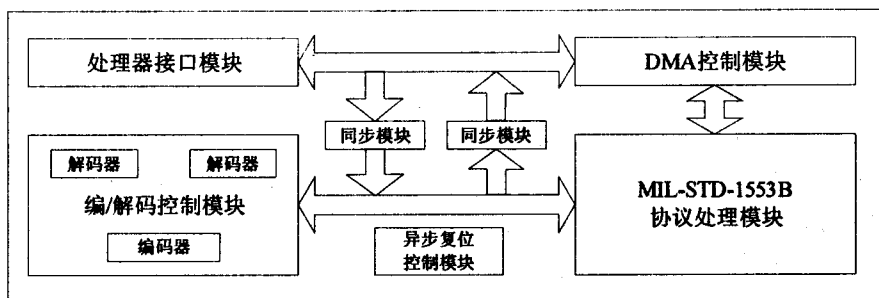


图 1 1553B IP 功能框图

## 2 1553B IP 的设计与实现

### 2.1 处理器接口模块

处理器接口模块主要实现对 1553B IP 内部寄存器的访问控制, IP 核内部共提供了 15 个寄存器。

通过对 1553B IP 寄存器的配置操作, 主机可以控制协议处理模块的工作方式以及中断的产生。

通过对 1553B IP 状态寄存器的读操作, 主机可以获得协议处理模块的工作状态等信息。IP 核内部寄存器的读写时序如图 2 和图 3 所示。

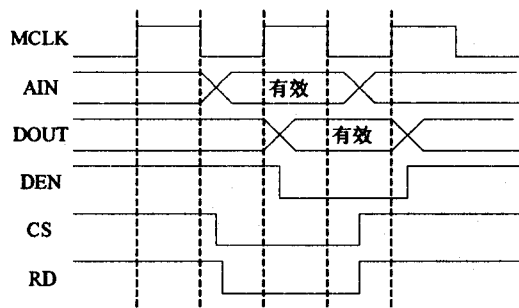


图 2 寄存器的读时序

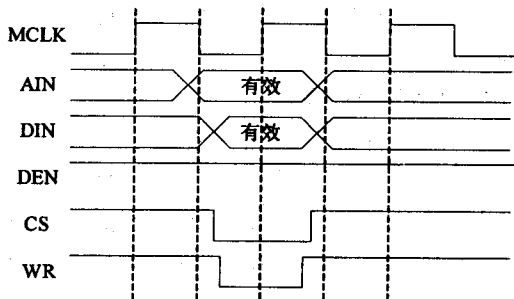


图 3 寄存器的写时序

### 2.2 DMA 控制模块

DMA 控制模块主要实现 1553B IP 与存储器接口之间的访问控制, 包括 DMA 操作请求、应答等候、操作应答、地址的产生和计数、数据的存储和读取, 以及操作超时的处理等等。另外, 1553B IP 中提供了 DMA 配置寄存器, 可以通过配置寄存器来实现对 DMA 读写操作周期数的控制。其状态机跳转如图 4 所示。

IDLE: 初始状态;

REQ: 当接收到 DMA 操作请求后进入该状态, 进入该状态后无条件跳转到 WAIT 状态;

WAIT: 当接收到 DMA 操作应答后进入 ACK 状态; 否则超时计数器计完时将返回 IDLE 状态;

ACK: 产生 DMA 操作的地址, 如果是写操作, 则进入 WRITE 状态; 如果是读操作, 则进入 READ 状态;

READ: 锁存读取的数据, 如果读操作未完成, 则继续产生下一次操作的地址并锁存读取数据, 否则进入 CMP 状态;

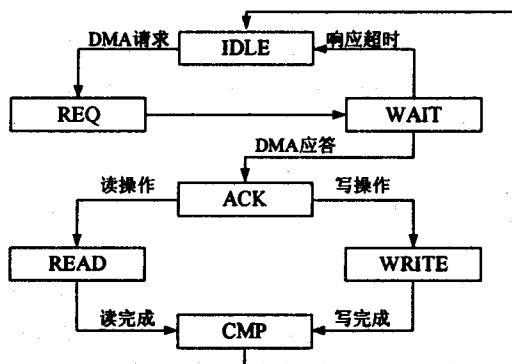


图 4 DMA 状态机跳转图

WRITE: 存储要写入的数据, 如果写操作未完成, 则继续产生下一次操作的地址并且准备要写入的数据, 否则进入 CMP 状态;

CMP;DMA 存取操作完成,进入该状态后无条件跳转到 IDLE 状态。

### 2.3 1553B 协议处理模块

1553B 协议处理模块主要功能是实现 MIL-STD-1553B 总线协议中规定的 BC 和 RT 功能<sup>[2]</sup>。

作为 RT 时,协议处理模块对接收到的命令进行译码,分别对正确和错误的命令进行相应的处理;根据协议的要求,控制 DMA 模块进行数据的存取操作;根据命令执行的结果,控制总线接口模块响应状态字和进行数据传输;根据系统设置和命令执行的情况,控制中断的产生来实现和处理器的通讯;实现内部环绕自测试功能。

作为 BC 时,协议处理模块通过 DMA 模块从总线命令表中读取命令,在总线上发出相应的命令,接收并且存储 RT 响应的数据字和状态字;根据消息命令和 RT 响应的不同情况进行消息错误和异常处理,控制中断的产生,实现和处理器的通讯;总线命令表为链表结构,支持命令跳过,可以控制消息间的时间间隔。

### 2.4 编/解码器控制模块

在编码器设计中,采用 2 倍于总线速率的时钟对要发送的数据进行曼彻斯特编码,并且产生相应的命令同步头或者数据同步头,最后产生相应的奇校验码。

在解码器设计中,首先对输入的差分信号进行合并整形,产生一路标准的曼彻斯特编码信号,接着采用 12 倍于总线速率的时钟对输入的曼彻斯特编码进行采样(也就是说,1553B 总线传输速率为 10Mbps 时,采样时钟频率为 120MHz),当解码器检测到有效的同步头时,判断接收数据是命令字/状态字还是数据字,然后对有效数据进行移位接收,并且对接收到的有效数据进行奇校验运算。如果校验正确,则输出接收到的有效数据,否则,丢掉错误数据并且置位出错标志位。

### 2.5 时钟域同步模块

为了满足在 1553B 总线时钟域支持 1MHz~10MHz 自适应的数据传输率和在处理器接口时钟域可以采用多种总线频率处理器的设计要求,1553B IP 设计中采用了多时钟域设计<sup>[3]</sup>。

在多时钟域设计中,两个时钟域之间传输数据的方式大致有以下三种:

- (1)如果传输单根数据或者控制信号,则只需要采用一位同步器即可实现不同时钟域之间的数据传输;
- (2)如果传输两根或者几根相关的数据或者控制信号,则先将要传输的信号进行运算,然后同步到另一个时钟域;或者生成使能信号,将使能信号同步到另一个时钟域后,用使能信号锁存要传输的数据;
- (3)如果传输数据总线信号,则可以通过异步 FI-

FO 传输机制,或者数据有效信号握手机制来实现不同时钟域之间的数据总线传输。

此外,还要考虑两个时钟域之间的频率关系,如果是快时钟域向慢时钟域传输数据,则至少保证慢时钟能采样到快时钟域的信号一个周期。

在 1553B IP 设计中,由于 A\_clk 和 B\_clk 两个时钟域之间的关系不确定,因此,为了保证两个时钟域之间传输数据的完整性,采用握手机制来实现不同时钟域之间的数据传输。两个时钟域之间的握手结构如图 5 所示。

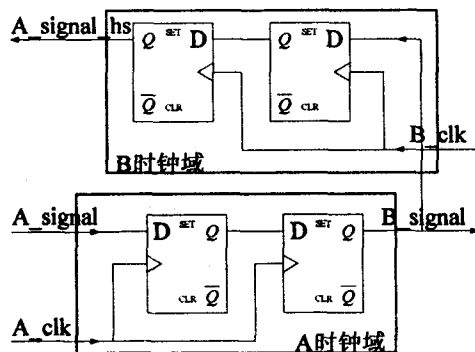


图 5 两个时钟域之间的握手结构

### 2.6 异步复位控制模块

在 1553B IP 设计中,采用了异步复位电路。但是,对于异步复位电路设计,应该注意以下两个问题<sup>[4]</sup>:

(1)异步复位信号的有效或者撤销都是随机的,与时序电路中的时钟的关系有不确定性。异步复位信号有效时不会引发问题,但是,在异步复位撤销时,必须考虑异步复位信号的 Recovery 和 Removal 问题,避免由于异步复位信号过于接近时钟沿而导致触发的复位状态出现亚稳态。在 1553B IP 设计中,采用了异步复位同步撤销的电路结构(如图 6 所示),以保证 1553B IP 复位状态的确定性。

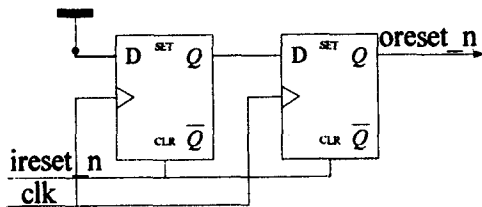


图 6 异步复位同步撤销结构

(2)异步复位信号上可能出现噪声或者毛刺,这样会导致电路被错误的复位。为了避免伪异步复位信号错误的复位电路,设计中必须对异步复位信号上的噪声或者毛刺进行过滤,尽量保证异步复位信号干净。在 1553B IP 设计中,采用 DELAY 单元对异步复位信号进行延迟,并且与原复位信号进行运算,将新产生的

复位信号用作整个设计的异步复位信号。

### 3 1553B IP 的验证分析

为了验证 1553B IP 的功能和性能是否满足协议需求,专门开发了基于 AMBA 总线的 1553B IP 接口<sup>[5]</sup>,将其互联到 AHB 总线上,搭建成基于 ARM 处理器的 SoC 验证平台,对其进行仿真验证和 FPGA 验证<sup>[6]</sup>。

在仿真验证平台上,对 1553B IP 进行了基于事务的验证<sup>[7]</sup>(包括协议中规定的各种消息格式和方式命令的执行,以及异常情况的检测处理等);在 FPGA 验证平台上,对 1553B IP 进行了 RT 有效性测试(包括协议测试、电气性能测试、噪声抑制测试等)和系统应用验证。验证结果表明,在 BC 和 RT 两种方式下,1553B IP 都满足 MIL-STD-1553B 协议的要求。

### 4 结束语

重点论述了高速 1553B IP 的性能指标、功能结构,以及各模块的设计与实现,详细描述了高速 1553B IP 设计中应该注意的问题。其中多时钟域和异步复位的处理对其它类似设计也有一定的参考价值。

(上接第 138 页)

印(Digital Watermark)、数字签名(Digital Signature)、安全容器以及服务器和客户机协作时所应用的网络安全协议等。系统中一个关键的组件是许可,它代表了服务器对用户的授权。服务器必须对许可进行签名加密,以保证其信息的有效性和机密性。对许可的具体描述应基于权限描述语言<sup>[11]</sup>(Rights Expression Language, REL),例如开放数字权限语言(Open Digital Rights Language, ODRL),可扩展权限描述语言(eXtensible Rights Markup Language, XrML)等。它们是 DRM 系统功能的一部分,并不是文中所讨论的使用控制模型所要特别关注的问题。

### 4 结束语

应用 UCON<sub>QAL</sub>模型能够对权限进行动态分发,并能在使用整个过程中持续实现对未授权访问的控制、防范资源被随意拷贝、再次转发给其他用户等。为数字内容的使用提供一种更加细致和可靠的控制,保证数字内容在整个生命周期内的合法使用。

参考文献:

[1] 范科峰,莫玮,曹山.数字版权管理技术及应用研究进

目前,高速 1553B IP 已经在 1553B 总线接口 SoC 中成功应用,并且一次性流片成功。通过 SoC 芯片的性能测试和系统验证表明,1553B IP 完全符合 MIL-STD-1553B 协议,支持 10Mbps 的高速通信。

参考文献:

- [1] MIL-STD-1553B-1989 飞机内部时分制指令/响应式多路传输数据总线[S]. 1989.
- [2] GJB 5186.1-2003 数字式时分制指令/响应式多路传输数据总线测试方法[S]. 2003.
- [3] Clifford E. Synthesis and Scripting Techniques for Designing Multi-Asynchronous Clock Designs Rev 1.1[M]. SNUG. San Jose:[s. n.], 2001.
- [4] Clifford E, Mills D, Golson S. Asynchronous & Synchronous Reset Design Techniques - Part Deux Rev 1.3[M]. SNUG. Boston:[s. n.], 2003.
- [5] 齐利芳,贺占庄. SOPC 设计中的两种片上总线分析[J]. 计算机技术与发展, 2006, 16(1): 179-181.
- [6] 郭蒙,田泽,蔡叶芳,等. 1553B 总线接口 SoC 验证平台的实现[J]. 航空计算技术, 2008, 38(6): 99-101.
- [7] 韩霞,杨洪斌,吴悦. 面向 SoC 的事务级验证研究[J]. 计算机技术与发展, 2007, 17(3): 33-36.
- [8] 展[J]. 电子学报, 2007, 35(6): 1139-1147.
- [2] 吕远大,刘文清,周雁舟. 数字版权管理系统中的角色访问控制模型[J]. 计算机工程, 2006, 32(11): 180-183.
- [3] 张茹,杨榆,张啸. 数字版权管理[M]. 北京:北京邮电大学出版社, 2008.
- [4] Park J, Sandhu R. The UCONABC Usage Control Model[J]. ACM Transactions on Information and System Security, 2004, 7(1): 128-174.
- [5] Zhang Xinwen, Sandhu R. Formal model and policy specification of usage control[J]. ACM Transactions on Information and System Security, 2005, 8(4): 351-387.
- [6] 彭凌西,杨频,彭银桥,等. 使用控制访问模型的研究[J]. 计算机应用研究, 2007, 24(9): 121-125.
- [7] 田光辉. 使用控制理论及应用研究[D]. 西安:西北大学, 2008.
- [8] 李丹,金庆,吴国新. 基于 DRM 的版权管理系统的研究与设计[J]. 计算机技术与发展, 2008, 18(3): 188-191.
- [9] 袁磊. 使用控制模型的研究[J]. 计算机工程, 2005, 31(12): 146-148.
- [10] Camp L J. First Principles of Copyright for DRM Design[J]. IEEE Internet Computing, 2003, 7(3): 59-65.
- [11] 李慧颖,赵军,翟玉庆,等. 数字权限表达语言综述[J]. 计算机科学, 2004, 31(7): 12-15.