

# 基于FPGA的FFT处理器研究与设计

杨 军, 郭跃东, 蒋慕蓉

(云南大学 信息学院, 云南 昆明 650091)

**摘 要:**给出了一种基于CORDIC算法的FFT处理器的设计方案,可实现高速定点实时的FFT运算。该设计以基2时序抽取FFT算法为基础,采用流水线技术来提高整个系统的吞吐率,具有硬件结构简单,配置灵活,器件耦合性低,精度高,系统稳定的特点。该设计已在Altera芯片EP2C35F672C6上进行了时序仿真,能够满足50MHz的系统时钟。

**关键词:**FFT处理器;CORDIC算法;FPGA

**中图分类号:**TP332.2

**文献标识码:**A

**文章编号:**1673-629X(2009)09-0225-03

## Research and Design for FFT Processor Based on FPGA

YANG Jun, GUO Yue-dong, JIANG Mu-rong

(School of Information, Yunnan University, Kunming 650091, China)

**Abstract:** In this paper, an FFT processor design based on CORDIC algorithm has proposed. The processor may perform the high speed fixed-point real-time FFT operation. This design extracts the 2-bases in FFT algorithm as the foundation, uses the assembly line technology to enhance the turnover rate for the whole system, has many characteristics with the simple hardware architecture, flexible disposition, low component coupling, high precision and stable running. This design has carried on the timing simulation on Altera chip EP2C35F672C6, can satisfy 50MHz system clock.

**Key words:** FFT processor; CORDIC algorithm; FPGA

## 0 引言

目前基于FPGA的FFT处理器广泛应用于信号处理、图像处理等领域,具有并行度高、吞吐率大的特点。由于充分利用了FPGA器件的特点,所以能满足一些实时性要求较高的情况,比起常用的DSP或PC编程处理来说具有一定的速度优势<sup>[1]</sup>。但当面对高样本数,尤其在处理数字图像时,却并不存在明显的优势,其性能是较差的。主要原因是并行结构的优势在处理大数据量时,由于在存储时间上的消耗远远大于前者,以及定制电路(ASIC)的速度占有绝对的优势,所以出现了性能下降明显的现象。

文中以提高FFT处理器在FPGA上的处理能力为目标,针对高样本数的存贮消耗<sup>[2]</sup>,以及主频上的差距进行改进。以CORDIC算法为基础,研究与设计了一个支持高样本数的高性能FFT处理器,该FFT处理器模型具有结构简单,配置灵活,器件耦合性低,精

度高,速度快的优势。

## 1 研究现状

目前国内外基于FPGA的FFT处理器的研究现状具有以下优点:并行度高,吞吐率大,充分利用了FPGA器件的特点,满足了一些实时性要求较高的信号分析与处理。其特点可归纳如下:

① 并行FFT处理器,适于处理短序列。尤其在处理4点到64点的短序列时,由于其具有并行结构,故能达到很高的处理效率,其典型结构如图1所示。

② 双核FFT处理器,在并行FFT处理器的基础上进行了改进。其处理的序列长度有了进一步的提高,能支持256点到1024点的序列。

③ 流水线结构FFT处理器,采用流水线结构以达到较高的吞吐率。流水线技术在芯片设计中,属于一种常用的提高吞吐率的技术,但由于导体会产生延时,流水线级数越长导电延迟次数就越多,总延时也就越长,CPU完成单个任务的时间就越长。因此,流水线设计也并不是越长越好。

④ 外部存储结构的FFT处理器,因为FPGA自身存储容量的限制,在处理高点数序列时,由于需要三角

收稿日期:2009-01-07;修回日期:2009-03-30

基金项目:国家自然科学基金项目(10641004);云南省应用基础研究基金项目(2007F153M)

作者简介:杨 军(1963-),男,副教授,研究方向为计算机组成与系统结构设计。

函数,所以通常采用外部存储器来进行检索。

⑤ 组合结构的 FFT 处理器,由于在现实应用中并不是所有的数据都可用基 2 或基 4 算法来完成,所以需要一些特殊的处理。通常采用组合并行处理与串行处理模块,以达到数据的并行处理,并根据情况适时加上外部存储器或内部存储器。一般也称该类 FFT 处理器为混合基 FFT 处理器。

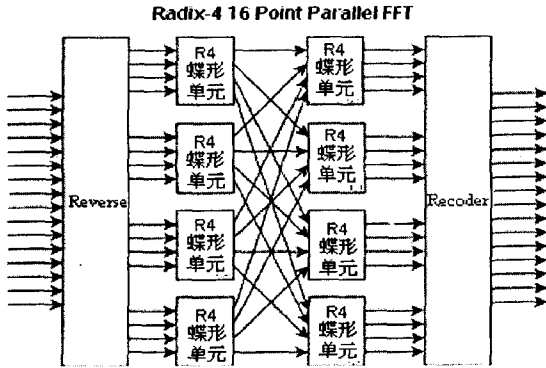


图 1 并行 FFT 处理器结构

上述各类 FFT 处理器有一个明显的不足,即存储器消耗(三角函数检索)或逻辑消耗与处理的点数成正比,当处理的点数较高时,其外部存储器将消耗更多的资源,同时外部存取时间也将占更大的比重,其逻辑资源(LE)消耗与存储器(Memory)资源消耗的对比图,如图 2 所示。

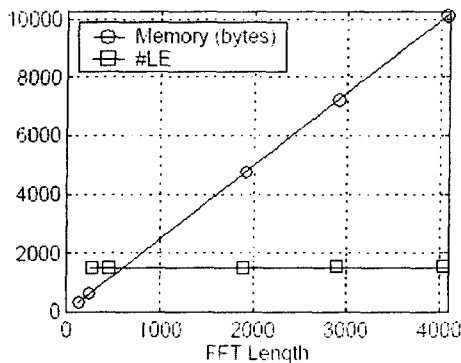


图 2 资源消耗对比

## 2 算法分析

由 J. Volder 首先提出的 CORDIC (Coordinate Rotations Digital Computer) 算法通过简单的移位和加法运算,即可完成乘法、开方、查三角函数表以及反三角函数等复杂运算。同时该算法可将多种难以用硬件电路直接实现的复杂运算分解为统一的简单移位、加迭代运算,且结构规则、运算周期可预测、适于硬件实现。该算法主要被用来求三角函数值,代替乘法等应用。

文中以 FFT 的蝶形运算单元为对象,利用 CORDIC<sup>[3]</sup>算法在计算矢量方面的优势,简化旋转因

子的计算,将蝶形运算中复数乘法与加法分别变换为极坐标下的加法(模为 1)与直角坐标下的加法。与传统的蝶形运算单元实现方法相比具有不依赖三角函数查找表的大小,支持高点数、高样本率 FFT 处理,以及不需要乘法器的特点,达到减少运算复杂度的目的。

CORDIC 算法即坐标旋转数字计算机,有旋转 (Rotation) 和定向 (Vectoring) 两种方法,还可以分为圆形坐标、双曲线坐标和线性坐标三种方式。在圆形坐标下,该算法在进行平面坐标旋转时,其原理表述如下(参见图 3):当把向量  $(X_i, Y_i)$  旋转  $\theta$  角,得到新的向量  $(X_j, Y_j)$  后,根据三角函数的运算,向量  $(X_i, Y_i)$  旋转到  $(X_j, Y_j)$  可形式化表述为:

$$\begin{bmatrix} X_j \\ Y_j \end{bmatrix} = \begin{bmatrix} \cos\theta & -\sin\theta \\ \sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} X_i \\ Y_i \end{bmatrix} \quad (1)$$

根据式(1)不难推导出,该式支持迭代运算。另一方面,通过提取等式右边的  $\cos\theta$ ,等式(1)可表示为:

$$\begin{bmatrix} X_{n+1} \\ Y_{n+1} \end{bmatrix} = \cos\theta_n \begin{bmatrix} 1 & -\tan\theta_n \\ \tan\theta_n & 1 \end{bmatrix} \begin{bmatrix} X_n \\ Y_n \end{bmatrix} \quad (2)$$

若取每个  $\theta_n = \arctan\left(\frac{1}{2^n}\right)$ ,并将等式右边的  $\cos\theta_n$  提出并作为最后的修正因子  $K$ ,则式(2)可表述为:

$$\begin{cases} X_{n+1} = X_n - S_n \cdot 2^{-n} \cdot Y_n \\ Y_{n+1} = Y_n + S_n \cdot 2^{-n} \cdot X_n \\ Z_{n+1} = \theta - \sum_{i=1}^n \theta_i \end{cases} \quad (3)$$

$$S_n = \begin{cases} +1, Z_n \geq 0 \\ -1, Z_n < 0 \end{cases} \quad (4)$$

$$K = \frac{1}{P} = \prod_{n=0}^{\infty} \cos\left(\arctan\left(\frac{1}{2^n}\right)\right) \approx 0.607253 \quad (5)$$

由于该算法在迭代次数  $N \geq 16$  次后,即达到收敛状态,所以可通过将向量  $(1, 0)$  旋转  $\theta$  角后,求三角函数  $\sin\theta$  和  $\cos\theta$ 。

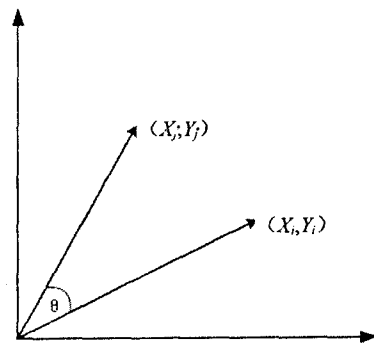


图 3 向量旋转

同理,若将给定的向量  $(X, Y)$  旋转到  $(X_n, 0)$  即是该算法的定向方法,其形式化表述为等式(5), (6), (7),其中式(6)最后的运算结果为初始向量  $(X, Y)$

的模和辐角。

$$\begin{cases} X_{n+1} = X_n - S_n \cdot 2^{-n} \cdot Y_n \\ Y_{n+1} = Y_n + S_n \cdot 2^{-n} \cdot X_n \\ Z_{n+1} = Z_n - S_n \cdot \theta_i \end{cases} \quad (6)$$

$$S_n = \begin{cases} -1, Y_n \geq 0 \\ +1, Y_n < 0 \end{cases} \quad (7)$$

文中采用上述两种方法来简化 FFT 处理中蝶形运算单元的计算,即通过定向的方法实现平面坐标到极坐标系的转换,并在极坐标下完成复数乘法;又通过旋转的方法实现极坐标到平面坐标系的转化,并在平面坐标系下完成复数的加法。整个蝶形运算就可以由传统的 4 次乘法运算,6 次加/减运算简化为极坐标下 1 次加法运算(模为 1),直角坐标下 2 次加/减运算<sup>[4]</sup>。在设计该蝶形运算单元时,一方面需要解决因迭代带来的延时,另一方面,由于模修正的实际增益是和迭代次数相关的,因此要解决模修正的精确性。

### 3 总体设计

该 FFT 处理器模型的总体结构如图 4 所示,其中虚线框内的部分为该处理器的核心部分。整个模型由内存控制器(MCU),核心单元(BFU),数据流水线模块(PIPELINE DATA),加法器(ADD),以及处理器外部的 RAM 模块组成。该模型最大的特点是参数化设置,可对处理的采样点数、处理的精度做灵活设置以满足实际需要。

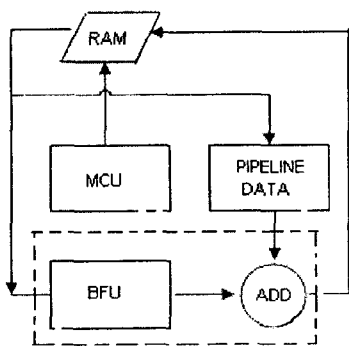


图 4 系统构架图

该处理器模型运行的数据流如下:首先,在处理器使能信号的控制下,整个处理器进入工作状态,并在 MCU 的控制下,读出待处理的原始数据并送入 BUF 单元以及 PIPELINE DATA 单元,数据经过核心处理单元处理后其结果再与 PIPELINE DATA 单元的输出做加、减运算。最终,计算结果又在 MCU 单元的控制下重新写入外部的 RAM 模块。在整个处理过程结束后,由 MCU 模块重置处理器状态,并给出完成信号。

具体模块设计如下:

#### ① BFU 单元与旋转因子单元。

BFU 是该 FFT 处理器进行复杂运算的单元,实现 CORDIC 算法中的旋转与定向两种方式,达到简化复数运算的目的<sup>[5]</sup>。本单元采用流水线结构,在提高数据吞吐率的同时,有效解决了算法迭代次数带来的延迟,每个周期能进行一次新的运算,除了第一个数据运算周期较长,其余每个周期均能够产生一个运算结果。在设计本单元时,考虑了 CORDIC 算法在进行修正处理时的特殊情况,增加了流水线状态字<sup>[6,7]</sup>。

旋转因子单元被封装在 BFU 单元中,该单元实际上是一个旋转角度发生器,其理论依据是基于 CORDIC 算法的坐标变换来简化复数的乘法。这与传统的旋转因子求法(求正旋,余旋值)相比,具有更简洁的表达式,更简单的实现电路。同时以发生器代替传统的查表求值法既减少了存储空间,也使设计不依赖于表的大小,从而支持更高的样本率。

#### ② 内存控制器与数据流水线模块。

MCU 单元是该 FFT 处理器的核心控制部分,它负责产生 RAM 的读写地址,RAM 输入数据的转换(实现倒序输入,顺序输出与顺序输入,倒序输出之间的映射)及产生系统工作状态位。由于整个 FFT 算法在处理过程中是一种迭代运算的过程,所以在从 RAM 读出的数据经过一步迭代运算后还需写回 RAM 原地址<sup>[8]</sup>。文中的设计采用了内置地址流水线来实现这一同址异步的需要,既减少了 MCU 单元地址发生器的运算量,又将写地址缓存到了内置的流水线中。

而数据流水线模块(PIPELINE DATA)在本设计中的作用是缓存加法器的操作数,使整个流水线能够连续运转,无空等现象。

### 4 综合与仿真

本设计以 Verilog HDL 语言对该处理器模型进行了 RTL 级描述,并以 EP2C35F672C6 为目标芯片在 Quartus II 平台上进行综合,布局,布线,最后用 Model Sim 做了时序仿真<sup>[9]</sup>。在采样点为 512 时,数据位宽为 24 bits 时,该处理器的综合结果如表 1。其中系统的最高时钟为 146.07 MHz,充分显示出基于 CORDIC 算法的简单与高效。最后,又以 Quartus II 布局,布线后的网表文件与标准时延文件为输入,在 50MHz 的工作时钟下进行了时序仿真。虽然各级流水线间存在一定的延时与毛刺现象,但并不影响整个系统的正常工作,其运行结果是正确的,达到了预期设计目标。

### 5 结束语

采用 CORDIC 算法设计完成了一种不依赖于存

(下转第 231 页)

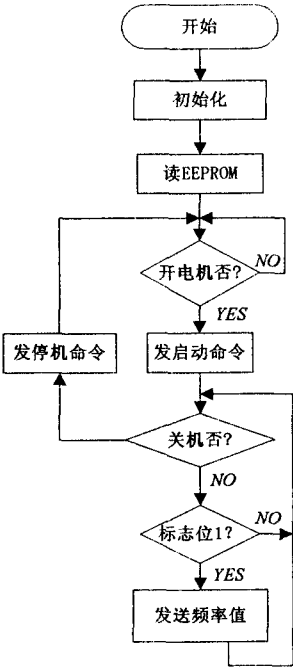


图 4 主程序框图

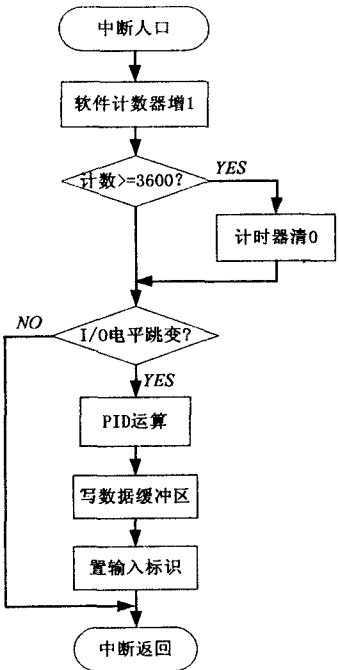


图 5 定时中断服务程序框图

控制系统性能。在计算输出频率时采用了定点优化 PID 算法<sup>[7]</sup>。由于微控制器不能直接处理浮点运算,而 PID 运算中不可避免将出现浮点运算,为避免较大的误差影响控制性能,采用定点算法代替浮点运算并根据系统特点对 PID 算法进行了优化。

(1)由于电机在低频段对频率的变化较敏感,使用同一个比例系数做 PID 控制,在低频时更有可能引起大的超调或振荡,基于此设计了分段比例控制<sup>[8]</sup>。

(2)在电机的启动初期以及大幅调整参数的过程中,电机相位的偏差较大,积分的积累作用可能造成控

制器的极限输出,引起系统超调,甚至产生较大的振荡,所以引入积分分离控制。

4 结束语

该控制系统利用微控制器 PIC24FJ64 GA008 的硬件资源,设计的多电机同步控制器硬件结构简单,具有性能稳定,响应快速的优点,相位差的偏差控制在 1 度范围内。运行实践表明,该控制系统性能可靠,控制效果良好,完全满足制瓶机工艺过程的生产要求。

参考文献

[1] 孙文焕,程善美,王晓翔,等.多电机协调控制的发展[J].电气传动,1999(6):3-6.  
[2] 贺海清,李红英.电机群变频调速的同步控制[J].工矿自动化,2006(3):83-85.  
[3] Microchip Technology Inc. PIC24FJ128GA 系列数据手册[M]. [s.l.]:Microchip Technology Inc 出版社,2006.  
[4] 耿立中,王 鹏,马 骋,等.RS485 高速数据传输协议的设计与实现[J].清华大学学报,2008(8):1311-1314.  
[5] 姚文刚,余国强,孟小锁.基于多 DSP 架构的电机控制系统[J].计算机技术与发展,2006,16(6):48-50.  
[6] Chen Shu-guang, Wu Jun-sheng. Research of the application of RS485 bus in the intelligent reading system[J]. Micro-computer information, 2008, 32(13):148-50.  
[7] Krishnan R. Electric Motor Drive, Modelling, Analysis, and Control[J]. [s.l.]:Prentice Hall, 2001.  
[8] Leonhard W. Control of Electric Drives[M]. 3rd Edition. [s.l.]:Springer, 2001.

(上接第 227 页)

储空间大小的 FFT 处理器模型,该 FFT 处理器模型具有硬件结构简单,吞吐率高,系统稳定,精度可配置的特点,具有一定的应用价值和意义。

表 1 综合结果

Total logic elements	8978
Total registers	5250
Actual fmax	146.07 MHz

参考文献:

[1] 鲍庆龙,刘 平.基于 FPGA 的高速 FFT 算法实现[J].微处理机,2007,2(4):16-19.  
[2] 李成诗,初建朋,李新兵,等.基于 CORDIC 的一种高速实时定点 FFT 的 FPGA 实现[J].微电子学与计算机,2004,21(4):88-91.  
[3] Andraka R. A survey of CORDIC algorithms for FPGA based

computers[C]//Proceedings of the 1998 ACM/SIGDA sixth international symposium on Field programmable gate arrays. Monterey, CA:[s. n.], 1998:191-200.  
[4] Heyne B, Goetze J. A pure cordic based fft for reconfigurable digital signal processing[C]//12th European Signal Processing Conference (Eusipco2004). [s.l.]:[s. n.], 2004.  
[5] 韩泽耀,韩 雁,郑为民.一种高速实时定点 FFT 处理器的设计[J].电路与系统学报,2002,3(7):18-22.  
[6] 夏宇闻. Verilog 数字系统设计教程[M].北京:北京航空航天大学出版社,2004.  
[7] Herveille R. Cordic Core Specification[EB/OL]. 2004. http://www.opencores.org/project s.cgi/web/cordic.  
[8] 丁玉美,高西全.数字信号处理[M].西安:西安电子科技大学出版社,2000.  
[9] 蒋 昊,李哲英.基于多种 EDA 工具的 FPGA 设计流程[J],微计算机信息,2007,23(11-2):201-203.