

基于 SOPC 的 PCI 通信接口设计与实现

李攀, 田泽, 蔡叶芳, 张亮, 杨海波

(中国航空计算技术研究所, 陕西 西安 710068)

摘要:为实现 SOPC 子系统与主机的相互通信, 介绍了基于嵌入 PowerPC 的 Xilinx FPGA 的 SOPC 设计, 使用 Xilinx 提供的 OPB-PCI 总线桥接器, 完成了 SOPC 系统与其它 PCI 主、从设备的 PCI 通信接口。仿真、测试结果表明, 该桥接器能以较高的传输效率实现 PCI 总线上各个设备之间的相互访问。该设计方法简单、快捷, 可以很方便地实现 SOPC 系统的片上数据传输和处理, 使 SOPC 硬件平台具有了优良的可扩展性能。

关键词: PCI; 桥接器; SOPC

中图分类号: TP302

文献标识码: A

文章编号: 1673-629X(2009)09-0211-04

Design and Implementation of PCI Communication Interface Based on SOPC

LI Pan, TIAN Ze, CAI Ye-fang, ZHANG Liang, YANG Hai-bo

(Aeronautics Computing Technique Research Institute of China, Xi'an 710068, China)

Abstract: For communication between host and SOPC subsystem, introduce an SOPC design embedded with PowerPC based on Xilinx FPGA, which use an OPB-PCI host bridge to achieve the intercommunication between SOPC and other PCI peripherals. The simulation and testing result indicate that the host bridge can implement the communication among PCI device at a high efficiency, which is the simple and swift design method, can transmit conveniently the data processed at SOPC, making the SOPC hardware platform with an excellent improvable performance.

Key words: PCI; host bridge; SOPC

0 引言

随着微电子技术的飞速发展和嵌入式系统要求的提高, 硬件集成度迅速增长, 以 FPGA 作为物理载体, 进行芯片设计的 SOPC 设计方式已经兴起。相比设计成 ASIC 的 SoC 系统, SOPC 系统最大的优点是可编程性, 利用 IP 复用技术, 缩短开发周期, 此外还降低了设计风险和设计成本, SOPC 集成度高, 灵活性大, 可以方便地加入用户自定义的逻辑, 维护和升级方便^[1~3]。

Xilinx 的 Virtex-4 系列产品可提供高达 20 万逻辑单元和高达 500 MHz 的性能, 先进的深亚微米设计技术、集成硬 IP 模块以及三次氧化 90nm 工艺技术相结合, 将器件成本和功耗降低多达 50%, 而面向高速串行连接和嵌入式处理应用的 Virtex-4 FX 平台器

件, 嵌入多达两个 32 位 RISC PowerPC 处理器^[4], 提供超过 1300 Dhrystone MIPS, 非常适合于 SOPC 的设计。

PCI 总线是一种高性能 32/64 位地址数据复用总线, 传输发起方为主设备, 接收方为从设备, 其具有兼容性最强、功能最全的特点, 它可同时支持多组外围设备, 且不受制于处理器和时钟频率, 在高度集成的外围控制器件、外围插件板和处理器/存储器之间作为互连机构应用, 为 CPU 及高速外围设备提供高性能、高吞吐量、低延迟的数据通路^[5,6]。基于 Virtex-4 FX 系列 FPGA 芯片, 采用 Xilinx 的 OPB PCI 桥, 设计与实现 SOPC 系统中的主、从设备与 PCI 总线上的主、从设备之间相互通信功能^[7], 对于提高 SOPC 系统的通用性有很高的实用价值。

1 SOPC 体系结构

在 SOPC 的设计中, 主要是在 Virtex4 器件内部构建一个以 PowerPC 405 处理器硬核为中心的嵌入式通用 SOPC 系统, 在该平台的基础上, 用户再进行设计时, 只需要把注意力集中在自己需要开发的模块上, 这

收稿日期: 2009-01-05; 修回日期: 2009-03-16

基金项目: 国防 2006 年重点基金项目 (9140A1601070); 国防“十一五”微电子预研项目 (513080105110)

作者简介: 李攀 (1981-), 男, 陕西眉县人, 硕士研究生, 研究方向为 SoC 设计、嵌入式系统设计; 田泽, 博士, 研究员, 研究方向为 SoC 设计、嵌入式系统设计、VLSI 设计。

样可以缩短产品的研发周期,加速产品的上市时间。SOPC 系统中各功能部件在 FPGA 内部均以 IP 核的形式构建,并以 Coreconnect 总线架构的形式进行互联。整个系统的结构框图如图 1 所示。PowerPC 连接在 PLB 总线上,有 PLB2OPB 的桥接器和 OPB2PLB 的桥接器完成 PLB 总线操作和 OPB 总线操作的相互转换。使用 OPB 到 PCI 的桥接器完成 OPB 操作和 PCI 操作的相互转换,根据具体的应用环境和配置,OPB PCI 桥接器既可以作为 OPB 总线的主设备,也可以作为从设备。除桥接器之外,SOPC 系统中还嵌入其他 OPB 外设,包括中断控制器、WDT、GPIO、UART 以及存储器控制器等 IP 模块,以方便调试和扩展应用。

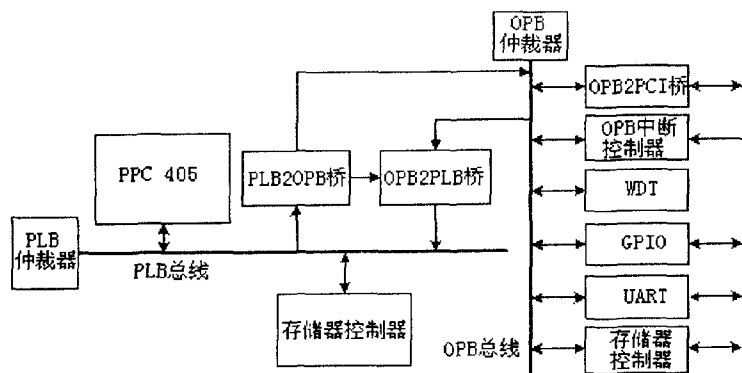


图 1 SOPC 系统框图

2 PCI 桥接器

Xilinx OPB PCI 桥接器结构框图如图 2 所示^[7],该桥接器主要由 3 部分组成:OPB 外设 IP 接口(OPB IPIF),用于连接到 OPB 总线;Xilinx PCI 核以及连接到 PCI 总线的接口;在 OPB IPIF 和 PCI 核之间的桥接口。在软件和硬件的参数化配置下,OPB PCI 桥可以作为主桥使用,也可以作为从桥使用。当作为主桥使用时,片内桥接器完全控制 PCI 总线,负责 PCI 总线上其他 PCI 设备的初始化配置过程,先完成对桥接器自身的配置,然后配置其他 PCI 设备。当作为从桥时,系统上电后,片外主机系统将对 PCI 总线上连接的 PCI 设备进行扫描,完成对 OPB PCI 桥接器和其他 PCI 设备的初始化配置过程。

OPB PCI 桥接器作为主桥时,在配置周期,片外其他 PCI 从设备的片选信号 IDSEL 的生成,采用地址线 AD 高 16 位统一编码的方式实现。每一个高位地址线对应一个 PCI 从设备。桥自身的从设备的片选信号与地址线 AD[16]在内部连接完成。通过交替写配置端口地址寄存器和配置端口数据寄存器,在 PCI 总线上分别给出地址周期和数据周期,来完成主桥对片外 PCI 设备的配置。在允许主桥配置其他从设备之前,

首先要完成桥自身目标端口的配置。在最小的配置模式下,应该对 OPB PCI 桥接器头标地址空间中命令状态寄存器的总线主设备使能位和延时寄存器进行配置,以允许桥作为主设备配置 PCI 总线上的其他从设备和仿真 PCI 总线超时。

OPB PCI 桥接器主要功能是 OPB 地址和 PCI 地址的相互转换。OPB PCI 桥采用高位地址替换的地址转换策略。OPB 主设备访问 PCI 侧从设备时,需要将 PCI 目标设备的地址映射到 OPB 地址空间,桥接器提供 6 个 OPB 到 PCI 地址映射空间,每个空间有基地址和高位地址,每个映射空间对应一个地址变换寄存器。映射策略为:使用地址变换寄存器中的值,将映射空间

基地址和高位地址从最高位开始,相同的位用地址变换寄存器的相应位替换,低位地址保持不变。PCI 主设备访问 OPB 侧从设备时,桥接器提供三个 PCI 到 OPB 的地址映射空间。映射空间的基地址由桥接器或 PCI 主设备在配置周期填写,参数 PCI 长度和地址转换向量在硬件参数化设计时设定,参数 PCI 长度决定了 PCI 主设备可以访问的空间大小,有效的地址转换向量位数为 OPB 总线的宽度减去参数 PCI 长度,即用地址转换向量替换的高位地址的位数,低位地址保持不变。

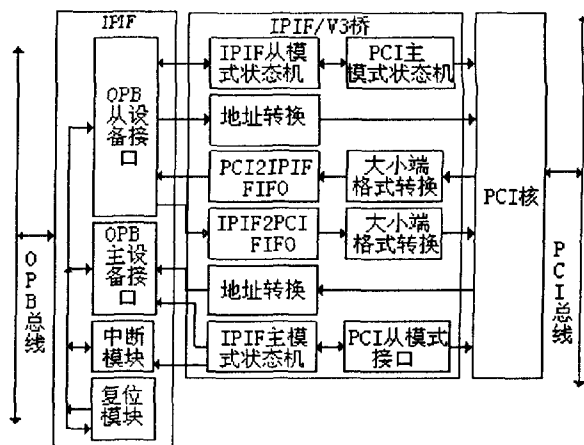


图 2 OPB PCI 桥结构框图

3 SOPC 中 PCI 桥接器仿真测试

SOPC 系统中,PCI 桥接器测试系统结构如图 3 所示。使用连接在 PCI 总线上的 PCI 主设备 BFM 模型 Master1 和从设备 BFM 模型 Targets1 ~ 3 对 SOPC 系统中集成的 OPB PCI 桥接器进行测试。通过编写测试程序和测试向量,在 EDK 开发环境中调用 Model-Sim 仿真工具,对整个系统进行软硬件相结合的仿真测试。

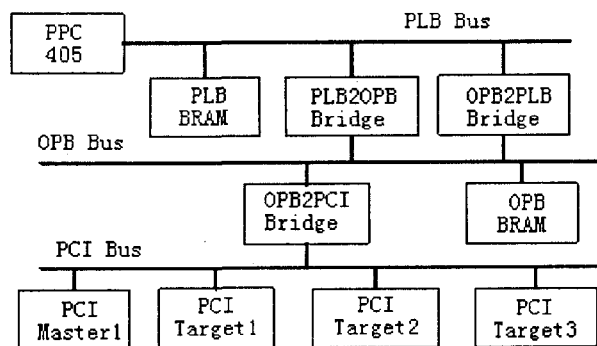


图3 OPB PCI 桥测试模型

测试的流程为:a.使用软件对桥接器自身进行配置,后对SOPC系统之外的其他PCI从设备进行配置,配置周期完成之后,先使PCI桥作为主设备对PCI总线上的从设备进行读写访问,之后,PCI主BFM模型Master1发起总线操作,对桥接器中的PCI从接口进行读写操作;b.上电复位后,OPB PCI桥接器不动作,由PCI总线上的主BFM模型完成对包括桥接器PCI从接口在内的所有PCI从设备的配置,在配置周期结束后,再发起PCI读写操作,通过桥接器,间接对OPB或PLB总线上的从设备进行读写测试。

以上两种测试方法相结合,可以完整地桥接器作为主桥(Host Bridge)、PCI主设备、PCI从设备的功能进行完整的测试。

在后仿真时,仅使用程序对整个系统进行仿真,每次仿真消耗的时间是不可忍受的,本测试环境使用BFM模型和软件相结合的测试方法,对整个PCI协议的实现和电路的时序进行仿真,外接的PCI主设备BFM模型可以完成对包括OPB PCI桥接器中的从接口在内的所有PCI从设备的访问和配置。和使用处理器模型的仿真相比较,使用BFM模型仿真的优点在于,BFM模型对于读、写操作可以直接执行,而不需要指令的获取,速度较快,极大地提高了仿真的效率,节省了仿真的时间。测试表明OPB PCI桥可以正确地完成相关OPB操作命令和PCI命令之间的相互转换。图4、图5给出了配置读操作和配置写操作的行为级仿真时序图。

4 PCI 总线桥接器性能分析

在桥接器中,PCI总线工作在33MHz,在理想的系

统中,PCI总线的性能可以达到132MB/s^[7,8]。在实际的系统中,很多因素将会影响到数据的吞吐量,包括仲裁时间,从设备响应的最快时间等。OPB PCI桥接器中PCI仲裁器和OPB仲裁器的两次仲裁操作将会严重影响数据的吞吐量。

PCI主设备写OPB从设备时,IPIF作为主设备,可以产生单个字的传输请求和8个字的突发传输请求。OPB PCI桥只能一次突发写8个字,在大量的突发数据写传输请求时,每传输8个字将需要一次突发的建立时间,这将会严重影响系统的传输效率,但在OPB时钟频率比PCI时钟频率高很多的情形下,这种一次只能突发写8个字的影响可以忽略。本设计中OPB总线工作在50MHz,最大的理论数据吞吐量只有68MHz,如果从设备需要多于1个OPB的时钟周期来接收1个字,数据的吞吐量还会进一步下降。测试结果表明,在最理想的状态下,除第一个地址周期需要额外的突发建立时间,OPB从设备需要三个时钟周期写数据之外,其他地址周期都可以在一个时钟周期完成写操作。

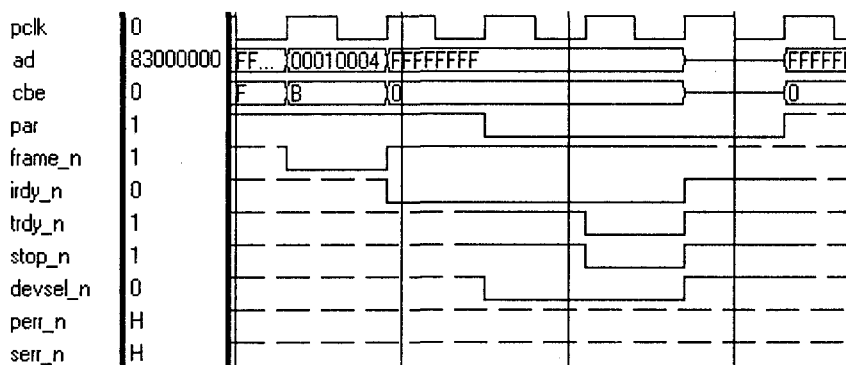


图4 PCI配置写时序图

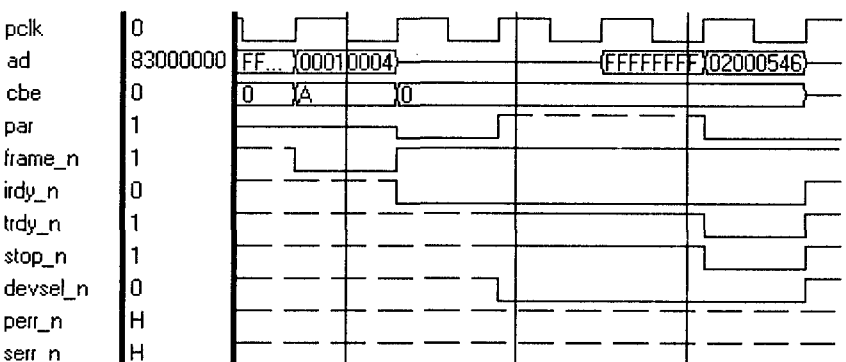


图5 配置读时序图

PCI主设备读OPB从设备时,IPIF是OPB总线上的主设备,在PCI主设备请求时,可以发起单拍读请求或者8个字的突发读请求。和突发写传输一样,每8个字需要消耗一段时间来建立突发请求。测试结果表明,在最理想的状态下,除第一个地址周期需要额外的

突发建立时间,OPB 从设备需要三个时钟周期读取数据之外,其他地址周期都可以在一个时钟周期完成读操作。

OPB PCI 桥接器支持任何突发大小的 OPB 写操作,突发大小只受制于 OPB 主设备写到 OPB PCI 桥的数据的大小。OPB 主设备读 PCI 从设备,OPB PCI 桥提供数据的速度和从 PCI 从设备中读取数据的速度一致。FIFO 中有效数据仅用一个时钟周期就可传输。

5 系统综合

系统综合时,除了要考虑全局的时钟、面积、管脚,以及功耗的约束之外,PCI 核的综合还需要添加特别的约束来满足 PCI 规范的要求。PCI 信号需要满足 PCI_33_3 的电平标准,尤其是使用 Virtex4 体系结构的器件时,为了满足 PCI 规范中建立和保持时间的要求,需要在部分 PCI 信号的 pad 和 I/O 缓冲器之间插入 IDELAY 单元。使用两个以上的 IDELAY 原语,且将 IOBDELAY_TYPE 设置为 Variable 时,必须使用 IDELAYCTRL 模块对其区域内独立的延时单元 (IDELAY) 进行连续的校正,来减小工艺、电压和温度变化对延时精度的影响。IDELAYCTRL 模块使用用户提供的参考时钟对 IDELAY 进行校准。IDELAYCTRL 原语在设计的流程中不能自动地产生,需要用户例化设计所需要的 IDELAYCTRL 原语,Xilinx 推荐使用两个 IDELAYCTRL 模块,使用 3 个以上的 IDELAYCTRL 会对时序产生影响。为了使用尽可能少的 IDELAYCTRL 单元,这就需要在对 PCI 信号的管脚进行约束时,尽可能将所有 PCI 的信号放在 FPGA 的同一逻辑 bank 中。以上 IDELAYCTRL 模块多于一个的情况,需要在 UCF 文件中使用如下语句对例化的延时控制器模块进行位置锁定^[7]:

```
INST "instance_name" LOC = IDELAYCTRL_X#Y#;
```

X,Y 指出了 IDELAYCTRL 单元的行和列的位置,以上约束语句指定使用和延时单元在同一逻辑 bank 中的延时控制器,对插入的延时单元进行控制,可以使时序更加容易满足设计的要求。

6 结束语

给出了一个基于 Xilinx Virtex4 器件的 SOPC 设计,对该系统中的 OPB PCI 桥接器进行了详细的介绍,并对其功能进行了仿真和测试,证明了设计功能的正确性。由于嵌入 CPU 的 FPGA 芯片具有软硬件可编程的特性,该设计实现的通用 SOPC 系统,为后续功能的开发和数据的处理提供了很大的灵活性。

参考文献:

- [1] 钟辉捷,雷航. 基于 Virtex4 的 SOPC 系统设计[J]. 航空计算技术,2007,37(3):83-85.
- [2] 齐利芳,贺占庄. SOPC 设计中的两种片上总线分析[J]. 计算机技术与发展,2006,16(1):179-181.
- [3] 田耘,胡彬,徐文波,等. Xilinx ISE Design Suite 10. x FPGA 开发指南. DSP、嵌入式与高速传输篇[M]. 北京:人民邮电出版社,2008.
- [4] Xilinx Corp. Embedded development kit(EDK)reference guide [EB/OL]. 2004. http://www.xilinx2china.com/ise/embedded/edk_docs.htm.
- [5] 李贵山,陈金鹏. PCI 局部总线及其应用[M]. 西安:西安电子科技大学出版社,2003.
- [6] 林伟铭,黄联芬. 基于 PCI 的双向高速传输系统[J]. 现代电子技术,2007,30(17):41-46.
- [7] OPB IP IF/LogiCore v3 PCI core bridge user guide[EB/OL]. 2006-07-26. http://www.xilinx.com/bvdocs/ip-center/data_sheet/opb_pci.pdf.
- [8] Xilinx Corp. LogiCORE PCI version 3.0 user guide[EB/OL]. 2006-01-18. http://www.xilinx.com/products/logicore/pci/docs/pci_ug159.pdf.

(上接第 131 页)

件学报,2007,18(11):2942-2954.

- [4] 胡迎松,李强. 基于服务窗口的 P2P 视频点播模型[J]. 小型微型计算机系统,2007,28(12):8421-8425.
- [5] 姚源,褚伟. P2P 和 CDN 中 MDC 流媒体的性能对比[J]. 计算机技术与发展,2007,17(9):178-180.
- [6] 周红敏,孙名松,唐亮. 基于网络编码的 P2P 流媒体直播系统研究[J]. 计算机技术与发展,2008,18(6):225-227.
- [7] Karagiannis T, Broido A, Faloutsos M, et al. Transport Layer Identification of P2P Traffic[C]//Proceedings of the 2004 ACM SIGCOMM Internet Measurement Conference. New York, NY, USA: ACM Press, 2004:121-134.

- [8] Acharya S, Smith B. An experiment to characterize videos stored on the Web[C]//Proc. ACM/SPIE Multimedia Comput. Netw. (MMCN) 1998. New York, NY, USA: ACM Press, 1998:166-178.
- [9] Brin S, Page L. The Anatomy of a Large-scale Hypertextual Web Media Streaming Search Engine[C]//Proceedings of the Seventh International World Wide Web Conference. Brisbane, Australia: Elsevier Scienc, 2004:1-10.
- [10] Pieper J, Savitba, Dom B. Streaming - Media Knowledge Discovery[J]. Computer, 2001(8):68-74.