

# 基于 Handel-C 的完全内部硬件进化设计

杨 益<sup>1</sup>, 方潜生<sup>1</sup>, 范庆春<sup>2</sup>

(1. 安徽建筑工业学院 电子与信息工程学院, 安徽 合肥 230601;

2. 合肥师范学院 计算机科学与技术系, 安徽 合肥 230061)

**摘要:**目前常规的EDA技术用于设计硬件电路时,存在着诸如硬件出现故障时不能自动修复,硬件缺乏自适应性等难以克服的困难。而硬件进化(Evolvable Hardware)具有自组织、自适应和自修复功能,能适应不同的环境要求和提高自身性能的特性。Handel-C是一种起源于ISO/ANSI-C的硬件设计描述语言,利用Handel-C可以复用大量成熟的C语言算法程序,并在FPGA上得以实现,真正做到了用软件方法来设计硬件。根据FPGA动态重构的特点,设计适合完全内部硬件进化的遗传算法和染色体解码器,以四选一数据选择器作为目标进化电路,并用Handel-C语言编程实现,最终在FPGA上成功地实现了完全内部硬件进化电路。该设计的实现对有效缩短硬件进化的进化周期,提高进化电路的可靠性等有着非常重要的意义。

**关键词:**硬件进化;内部硬件进化;遗传算法;Handel-C语言;现场可编程门阵列

中图分类号:TP303

文献标识码:A

文章编号:1673-629X(2009)04-0239-03

## Complete Intrinsic EHW Design Based on Handel-C

YANG Yi<sup>1</sup>, FANG Qian-sheng<sup>1</sup>, FAN Qing-chun<sup>2</sup>

(1. School of Electronic and Information Engineering, Anhui University of Architecture, Hefei 230601, China;

2. Department of Computer and Technology, Hefei Teachers College, Hefei 230061, China)

**Abstract:** When traditional electronic design automation (EDA) technology is used to design hardware circuits, there are many stubborn difficulties such as being unable to automatically repair if hardware emerges malfunctions, being lack of adaptation etc. However, evolvable hardware (EHW) can adapt to different environment and enhance its performance since it is capable of self-organization, self-adaptation and self-repair. Handel-C language is a kind of hardware design programming language that originates from ISO/ANSI-C. As well as Handel-C language may reuse lots of routine C programs that can be executed on field programmable gate array (FPGA). Therefore, in a very real sense, hardware implementation is performed completely by means of software. Genetic algorithms and chromosome decoder are designed that are suitable for complete intrinsic EHW design in the paper. The present paper selects six-multiplexor as the target evolvable circuit and use Handel-C language to program. Therefore, the complete intrinsic EHW circuit is successfully implemented which based on FPGA. It is very important that the hardware implementation of the design can shorten the evolvable period of EHW in effect and improve the dependability of evolvable circuits etc.

**Key words:** evolvable hardware; intrinsic EHW; genetic algorithm; Handel-C language; field programmable gate array

## 0 引言

目前常规的EDA技术在解决某些具体问题时,存在着诸如硬件出现故障时不能自动修复、硬件缺乏自适应性等难以克服的困难<sup>[1]</sup>。20世纪90年代初发展起来的一门新兴的交叉学科——硬件进化(Evolvable

Hardware,简称EHW),它具有自组织、自适应和自修复功能,能适应不同的环境要求,具有提高自身性能的特性。EHW是能够通过硬件与外部环境相互作用来自适应地和动态地改变和调整其自身的结构和行为的一种硬件<sup>[2]</sup>。目前EHW的研究在理论和实际应用方面已取得较大的进展。EHW的最终目标是设计具有自组织、自适应、自修复能力的自适应硬件。EHW在复杂电路设计、航空航天及军事上具有巨大的应用潜力<sup>[3]</sup>。EHW实质上是进化算法和可编程逻辑器件相结合的产物。进化算法为EHW技术提供了理论与方法学的基础,而可编程逻辑器件,特别是新一代现场可编程门阵列(FPGA)为EHW技术提供了物质基础。

收稿日期:2008-08-03

基金项目:2008年建设部科技计划项目(2008-K6-25);安徽省2007年度科技攻关计划项目(07010202056)

作者简介:杨 益(1978-),男,安徽安庆人,硕士,研究方向为计算智能和EDA技术等;方潜生,教授,博士,研究方向为EDA技术、硬件进化、计算智能等。

根据 de Garis<sup>[4]</sup>的分类,实现 EHW 的方法有两种:一种是外部进化(Extrinsic EHW),另一种是内部进化(Intrinsic EHW)。它们是目前研究 EHW 通常所采用的方法。外部进化是指通过用软件建立电路模型,把进化算法产生的每代种群中的每个染色体(也就是相应的配置位,对应一种电路结构)用软件模拟的方式进行评价,当达到预期的目标时,就将这组染色体下载到 PLD 中去。这种方法可以不受具体 PLD 芯片结构和实验平台资源的限制,比较灵活,适合进行理论结构模型研究。缺点是软件仿真的运算量大、时间长,仿真结果与实际情况可能有较大误差,且无法实现硬件电路在线自修复。而内部进化则是基于实际电路的实时配置和测试,把进化算法产生的每代种群中的每个染色体都下载到 PLD 中,把实际电路运行的结果作为评估值,评估结果真实可靠。内部进化方法的评估速度快,并可利用器件的实际特性(如温度、功耗、局部故障等),能实现系统在线重构,是 EHW 实际工程应用的基础和发展的主要方向。

目前典型的内部 EHW 的实现方法有 4 种<sup>[5,6]</sup>,如图 1 所示。第 1 种方法(见图 1A)由 Thompson 提出,内部 EHW 硬件平台由可重配置硬件和计算机构成,其中可重配置硬件采用 FPGA 芯片,即 EHW 电路,计算机实现遗传算法计算和适应度评估,配置和状态信号通过计算机与 FPGA 之间的接口板来传输。第 2 种方法(见图 1B)为完全内部 EHW 方式,遗传算法计算、适应度评估和 EHW 电路均在同一片 FPGA 中。第 3 种方法(见图 1C)为多芯片的内部 EHW 方式,这些芯片连接在同一块电路板上,部分芯片实现遗传算法计算,另一部分为 EHW 电路。第 4 种方法(见图 1D)为 de Garis 提出的多板间内部 EHW 的思想,它是由多个电路板组成的 EHW 平台,主要用于人工脑研究。

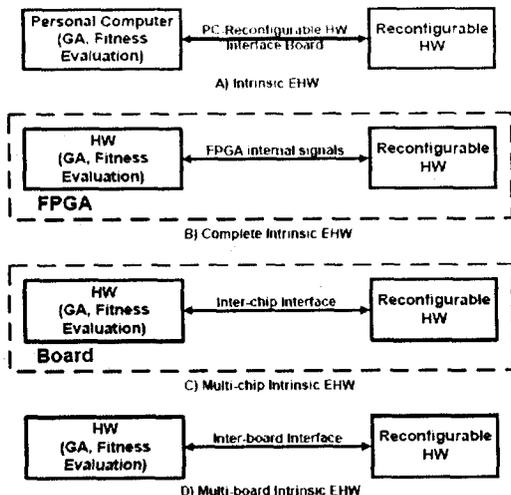


图 1 典型的内部进化方法

### 1 Handel - C 简介

Handel - C 是一种起源于 ISO/ANSI - C 的语言<sup>[7,8]</sup>,它为了支持硬件设计而加入了附带的一些特征,包括可预知的定时和确定的并发功能。它与 ISO/ANSI - C 兼容,但它提供了并行处理的额外声明以及在并行程序间通信的结构——通道(Channel)。它还提供灵活的数据宽度,通用的内存体系结构(RAM, ROM)和外部硬件接口(Interface)。

对于以 ISO/ANSI - C 为基础的程序设计语言 Handel - C,可利用 Celoxica DK 设计工具将 Handel - C 的源代码编译成能直接针对 FPGA 目标的网表(Netlist),而无需 VHDL/Verilog 的中间步骤,最后利用 FPGA 布线工具可直接将 Netlist 下载到 FPGA 上。

由于 Handel - C 语言是以硬件为目标,而硬件的最大优点之一是能够并行执行。因此运用 Handel - C 进行算法设计,可以大大提高程序的运行效率,且可以用软件的方法来实现硬件。

### 2 完全内部 EHW 总体设计

文中内部进化方法采用完全内部 EHW 方式,总体设计流程框图如图 2 所示,软件部分采用 Handel - C 语言编程实现,软件程序在 Celoxica DK 开发环境中进行仿真、调试,最终在 Virtex - II FPGA 上实现完全内部 EHW 电路。

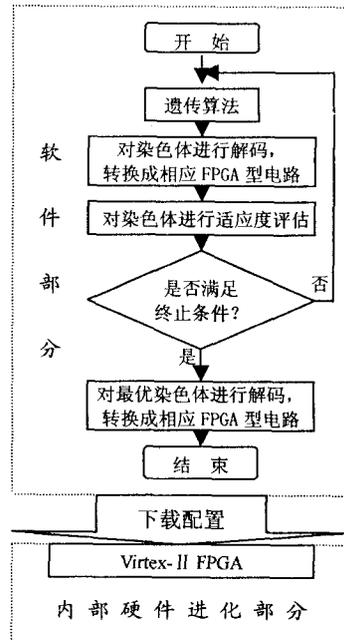


图 2 内部进化总体设计流程图

### 3 遗传算法设计

遗传算法是进化算法中最基本的算法<sup>[9]</sup>,与其它

算法相比有许多独特的优点,例如:它具有内在并行性和内含并行性,通用的编码技术,良好的全局优化性能和稳健性等特点,但由于标准的遗传算法(Simple Genetic Algorithms,简称 SGA)在解决 EHW 的具体问题时存在着局限性,为此结合 Handel-C 语言和内部 EHW 的特点,采用了适合完全内部 EHW 设计的遗传算法。

基于内部 EHW 的遗传算法设计主要包括:染色体编码、初始群体产生、适应度函数的选取、群体规模、遗传操作和遗传算法运行终止条件。

染色体编码:EHW 过程中遗传算法的核心是染色体编码,文中采用二进制染色体直接编码方式。以 Xilinx 公司的 Virtex 系列 FPGA 为代表的查找表型结构,它的可编程逻辑单元是查找表,由查找表构成的函数发生器可以通过查找表来实现逻辑函数。查找表 FPGA 的物理结构是静态存储器(SRAM),逻辑功能和内连关系是由一个“配置程序”来决定的,此配置程序是存储在内部静态存储器单元内,即存储器中预先加载用于实现函数的查找表数值。

初始群体产生:结合 Handel-C 语言和 FPGA 结构的特点,选择了适合它们的随机数发生器(Random Number Generator,简称 RNG)。这种 RNG 采用了基于原胞自动机(Cellular Automation,简称 CA)结构<sup>[10]</sup>。一个 CA 是以离散的节拍进化,其中每个元素的下一个状态值由该元素的当前值和其相邻的当前值决定,而相邻单元的内容是独立的。实际上 CA 产生的随机数是通过查找表(Look-Up Table,简称 LUT)来实现的。本次设计通过采用 CA90 和 CA150 规则来设计实现随机数的产生。

适应度函数的选取:EHW 技术中遗传算法的适应度函数与一般遗传算法选取的适应度函数有所不同。它是通过对染色体解码,转换成相应 FPGA 型电路,利用标准的输入输出测试数据来评估染色体适应度对应的值,即把染色体对应的电路,正确的输入输出次数作为适应度值。群体规模和遗传操作:基于内部 EHW 遗传算法设计的目标是硬件,即在 FPGA 上实现完全内部 EHW,如果群体规模较大,用 Handel-C 语言描述的遗传算法的程序将占用 FPGA 资源非常之大,因而无法在 FPGA 上实现。在充分考虑 FPGA 资源的占有率和群体的收敛性的基础上,将群体规模设为 16。由于传统的比例选择运算占用硬件资源比较大,在运用最优保存策略的基础上采用随机联赛选择算子。又由于群体规模不大,采用了一致交叉算子,从而对群体的模式破坏概率较大,增强了群体的多样性,扩展了群体的搜索空间。在遗传算法中<sup>[9]</sup>,交叉算子因其全局

搜索能力而作为主要算子,变异算子因其局部搜索能力而作为辅助算子,所以采用了基本变异算子,即随机地选取染色体中的一位取反。

遗传算法运行终止条件:传统的方法是选取终止代数  $T$  来结束遗传算法的运行<sup>[9]</sup>,终止代数  $T$  是表示遗传算法运行结束条件的一个参数,它表示遗传算法运行到指定的进化代数之后就停止运行,并将当前群体中的最佳个体作为所求问题的最优解输出。文中将最大适应度值,即寻得最优染色体,或者终止代数  $T$  作为进化的终止条件。

## 4 实验分析

文中将四选一数据选择器作为内部 EHW 的目标进化电路。

### 4.1 仿真实验

当群体规模  $M = 16$ ,染色体长度  $L = 64$ ,遗传算法寻得 FPGA 型四选一数据选择器的最优解染色体时,即染色体适应度值为 64,其中一次仿真实验最少所需要代数为 78。表 1 是对遗传算法进行 10 次仿真的实验结果。

表 1 进化仿真实验结果

实验次数	1	2	3	4	5	6	7	8	9	10	平均进化代数
进化代数	99	119	115	97	118	119	98	124	116	78	108

从表 1 中可以看出,基于内部 EHW 的四选一数据选择器电路在运行终止代数内每次都能找到适应度值最优的染色体,所以结合 Handel-C 语言和具体问题的特点所采用的遗传算法和策略是有效的、可行的。

### 4.2 完全内部 EHW 的实现

为了将遗传算法和染色体解码的 FPGA 型电路完全配置到 Xilinx Virtex-II XC2V1000 上,用 Celoxica DK 将 Handel-C 描述的遗传算法及解码器程序编译生成 \*.edf 文件。其中 FPGA 型电路是指,在进化过程中,每个个体染色体所对应的配置电路;在进化结束后,最优染色体所对应四选一数据选择器的配置电路。然后经 Xilinx ISE 9.1i 将 \*.edf 文件编译生成 \*.bit 文件,最后通过下载工具 FTU2 将 \*.bit 文件配置到 FPGA 上,最终在 FPGA 上完全实现遗传算法和染色体解码的 FPGA 型电路,即实现了完全内部 EHW。

## 5 结束语

EHW 的概念仅提出十几年,然而这一研究领域得到了世界各国学者的广泛关注与参与,EHW 的研究在理论和实际应用方面已取得较大的进展,开辟了硬件

(下转第 245 页)

据传输等任务。应用配置模块既会调用协议层提供的网络服务,也会直接对系统进行配置和查询,该模块会调用 PS-API 和 SYS-API 提供的服务。

## 5 结束语

通过测试分析,通过网络协调器在主机监控软件中显示了各个终端节点如图 3 所示(每个圆圈分别代表各个终端节点),由此可知设计的电路可以进行正常工作,无线通信的软件应用程序达到了网络系统的要求。技术成功的关键在于丰富而便捷的应用,而不是技术本身。

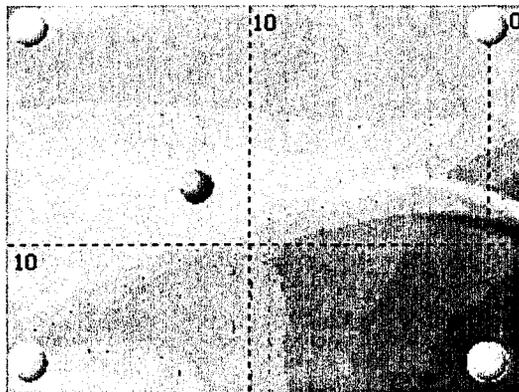


图 3 监控显示界面

随着更多的注意力和研发力量转到应用的设计和实现、互联互通测试和市场推广等方面,有理由相信,在不远的将来,在智能家居、家庭护理、安全系统和工业监控等领域,将有越来越多的内置式功能的设备进

(上接第 241 页)

设计自动化、硬件自组织、自适应和自修复的新途径,为自然科学与工程技术的结合描绘了迷人的前景。利用 FPGA 动态可重构的特性,并结合 Handel-C 语言,针对四选一数据选择器进行基于 EHW 的数字芯片设计,采用了适合 FPGA 实现的遗传算法,并在 Xilinx Virtex-II XC2V1000 上实现了完全内部 EHW。该设计的实现对有效缩短 EHW 进化周期,提高进化电路的可靠性等有着非常重要的意义。

### 参考文献:

- [1] 方潜生,王煦法,何劲松. 外部型 EHW 方法研究[J]. 系统仿真学报,2003,15(10):1405-1407.
- [2] Yao Xin, Higuchi T. Promises and Challenges of Evolvable Hardware[J]. IEEE Trans. on Systems, Man, and Cybernetics - Part C: Applications and Reviews, 1999, 29(1): 87-97.
- [3] 方潜生,王煦法,何劲松. EHW 的递增式学习研究[J]. 系

入人们的生活,并将极大地改善人们的生活方式,促进社会的发展。

### 参考文献:

- [1] Pottie G J, Kaiser W J. Wireless integrated network sensors [J]. Communications of the ACM, 2000, 43(5): 51-58.
- [2] 任丰原,黄海宁,林 闯. 无线传感器网络[J]. 软件学报, 2003, 14(7): 1282-1291.
- [3] 于海斌,曾 鹏. 智能无线传感器网络系统[M]. 北京: 科学出版社, 2006: 1130-1133.
- [4] 孙利民. 无线传感器网络[M]. 北京: 清华大学出版社, 2005.
- [5] Enns R. NETCONF Configuration Protocol draft - ietf - net - conf - prot - 10[S]. [s. l.]: IETF, 2005.
- [6] 邓 成,白 麟,湛 伟. ZigBee 芯片的数字调制单元设计与仿真[J]. 现代电子技术, 2006, 29(21): 352-354.
- [7] 马永强,李静强,冯立营. 基于 Zigbee 技术的射频芯片 CC2430[J]. 单片机及嵌入式系统应用, 2007, 1(5): 350-352.
- [8] Chen Shuai, Zhong Xianxin, Li Xiaoyi, et al. Pervasive reconfigurable sensor network instrument[C]//The Third International Symposium on Instrument Science and Technology. [s. l.]: [s. n.], 2004: 1248-1252.
- [9] Choi M J, Hong J W, Ju H T. XML - Based Network Management for IP Networks[J]. ETRI J, 2003, 25(6): 445-463.
- [10] 李 连,朱爱红. 无线传感器网络中的定位技术研究[J]. 微计算机信息, 2005, 21: 133-134.

统仿真学报, 2004, 16(10): 2332-2334.

- [4] de Garis H. An Artificial Brain: ATR'S CAM - Brain Project Aims to Build/Evolve an Artificial Brain with a Million Neural Net Modules Inside a Trillion Cell Cellular Automata Machine [J]. New Generation Computing Journal, 1994, 12(2): 215-221.
- [5] Lambert C, Kalganova T, Stomeo E. FPGA - based Systems for Evolvable Hardware[J]. PWASET, 2006, 12: 123-129.
- [6] 丁国良,原 亮,褚 杰,等. 内进化演化硬件平台的设计与实现[J]. 军械工程学院学报, 2007, 19(1): 66-68.
- [7] Handel - C Language Reference Manual[S]. [s. l.]: Celoxica, 2003.
- [8] DK Design Suite User Manual[S]. [s. l.]: Celoxica, 2003.
- [9] 陈国良,王煦法,庄镇泉,等. 遗传算法及其应用[M]. 北京: 人民邮电出版社, 1996.
- [10] 杨 益,方潜生. 基于 Handel - C 的伪随机数发生器的设计与实现[J]. 计算机技术与发展, 2006, 16(12): 124-126.