

基于 Nios II 的 TFT LCD 控制器设计与实现

郑见灵, 原 亮, 矫文成, 袁建东, 巨政权

(军械工程学院 计算机工程系, 河北 石家庄 050003)

摘 要:液晶显示器(LCD)是现代电子产品中应用非常广泛的一种显示设备。在使用时需通过接口控制器与控制芯片进行数据交换,接口控制器的性能会直接影响到显示效果。针对 LG. PHILIPS LCD 公司的 LB064V02 液晶屏,给出了一种基于 Nios II 处理器的控制器设计方法。经测试,可以满足要求,性能更高的控制器可以在此基础上进行设计开发。

关键词:FPGA; LCD 控制器; Nios II

中图分类号:TH85

文献标识码:A

文章编号:1673-629X(2009)04-0192-04

Design and Realization of TFT LCD Controller Based on Nios II

ZHENG Jian-ling, YUAN Liang, JIAO Wen-cheng, YUAN Jian-dong, JU Zheng-quan

(Department of Computer Engineering, Ordnance Engineering College, Shijiazhuang 050003, China)

Abstract: LCD is one of the most popular display in modern electronic devices. It needs to communicate with control chip by interface controller. The performance of interface controller can affect the display directly. Give a method to design a controller to LB064V02 TFTLCD of LG. PHILIPS LCD based on Nios II. It is proved that the controller can meet the requirement, and more capable controller can be designed based on it.

Key words: FPGA; LCD controller; Nios II

0 引 言

在许多需要交互的场合, LCD 液晶屏由于具有体积小、重量轻, 功耗低等优点, 得到了广泛的应用。LCD 液晶显示在嵌入式系统中更是日益广泛, 特别在工业控制和消费电子领域^[1]。随着半导体技术以及计算机软硬件技术的飞速发展, 对于 LCD 的显示控制技术也呈现出越来越多的方式。介绍了一种基于 Nios II 软核处理器实现对 LCD 控制的新方法。在设计中利用 FPGA 的 Altera 的 SOPC Builder 定制 Nios II 软核处理器及其与显示功能相关的“软”硬件模块来协同实现显示控制的软硬件设计。

Nios II 软核嵌入式处理器是 Altera 公司提供的 SOPC 解决方案。Nios II 是采用流水线技术和哈佛结构的通用 RISC (Refined Instruction Set Computer, 精简指令集计算机) 处理器, 而且可配置, 它结合丰富的外设、专用指令和硬件加速单元可以低成本地提供极度灵活和功能强大的 SOPC 系统, 开发者根据实际需要

自行整合。将 LCD 驱动与 Nios II 相结合, 可以得到一个扩展性强、通用的 IP 核, 从而能够解决不同型号液晶屏之间的驱动差异问题^[2]。

LCD 接口控制器是 LCD 显示系统的重要组成部分, 其主要功能是接收来自显示控制芯片的控制指令及显示数据, 将其发送给 LCD, 同时读取 LCD 寄存器中的相关信息, 并将其发送给显示控制芯片, 以此完成对 LCD 的显示控制^[3]。

1 LCD 器件

LG. PHILIPS LCD 公司的 LB064V02 液晶屏是一个由非晶状硅薄膜晶体管阵列构成的 6.4 英寸液晶显示屏, 分辨率为 600×480。它能够产生 6 位灰度级的 262144 种颜色, 并且带有一个背光灯, 来自主机的彩色 (red, green, blue) 数据信号被一个信号处理电路调整为最佳主动矩阵系统形式, 并送到驱动电路以驱动 TFT 阵列^[4]。它提供的所有对外信号见表 1。

Vsync 为帧同步信号 (也称垂直同步信号), 该信号告诉 LCD 屏, 新的一帧开始, LCD 控制器在完整帧显示完整后立即插入一个 Vsync 信号, 开始新一帧的显示。Hsync 为行同步信号 (水平同步信号), LCD 驱动器将每一行对应的移位寄存器值传送给 LCD 显示

收稿日期: 2008-08-05

基金项目: 国家自然科学基金资助项目 (60471022); 国防科技重点实验室预研基金 (9140C8702020803)

作者简介: 郑见灵 (1978-), 男, 硕士, 讲师, 主要研究方向为嵌入式系统。

后,需要插入一个 Hsync 信号来说明一行的结束,该信号处于高电平时写入像素数据有效,处于低电平时列偏移计数器清零。DE 是数据使能传输控制端,只有当这个信号为高电平时,视频显示数据才能传输到 LCD 内显示。

表 1 LCD 模块驱动信号

信号名称	位宽	功能说明
Dclk	1	LCD 的数据时钟信号
DE	1	LCD 的数据使能信号
Hsync	1	LCD 的行同步信号
Vsync	1	LCD 的帧同步信号
Red	6	LCD 的 R(红)灰度
Green	6	LCD 的 G(绿)灰度
Blue	6	LCD 的 B(蓝)灰度

2 系统总体设计

系统的总体设计如图 1 所示。

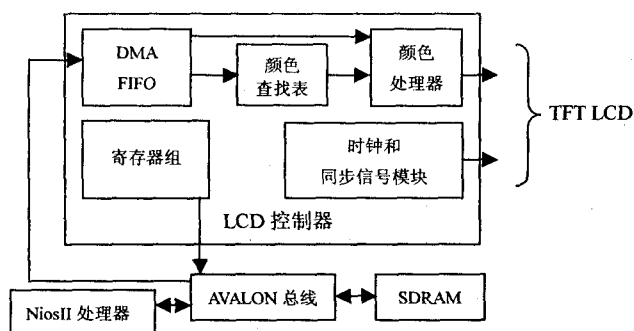


图 1 TFT LCD 控制器总体设计框图

Nios II 处理器在 SDRAM 中开辟帧缓冲(Frame buffer),处理器将一帧图像数据($640 \times 480 \times 2\text{Bytes}$, RGB565, 16bit)存入帧缓冲,然后将帧缓冲的首地址写入到 LCD 控制器,并启动 LCD 控制器^[5]。该控制器自动从传来的首地址处开始读取数据,并按照 TFT 的格式输出。图中各模块由 Avalon Bus 连接在一起。Avalon Bus 是一种简单的总线结构, Nios II 处理器和各种外设都是通过 Avalon Bus 连接在一起。由图 1 可以看出,作为 Slaver 的 SDRAM 控制器分别要受到 Nios II 处理器和 LCD 控制器的控制,为了解决总线冲突, Avalon 总线自动在有冲突的接口上加入了总线仲裁这样一个仲裁模块,用于合理分配总线时间,用户通过改变每个模块的权值来改变对其分配总线时间的多少。在这个系统中, SDRAM 控制器是影响整个系统性能的关键^[6]。

LCD 显示控制器的系统框架包括 6 部分:

- * 颜色查找表:颜色查找表保存了 2^6 色分辨率 R、G、B 所有可能颜色,因此它是一块 64×18 位的静态 RAM 区,每个像素由 R、G、B 每种颜色 6 位数据组成,程序包括两块这样的颜色查找表,共 128×18 位。
- * 寄存器组:寄存器组包括了整个程序需要的各种控制、状态寄存器。
- * 颜色处理器:用于将接收到的像素数据转换成 RGB 颜色信息,送到 TFT LCD。
- * 时钟和同步信号模块:用于产生显示需要的各种同步信号、如帧同步、行同步等。
- * DMA/FIFO 输出模块:用于保证连续的数据流送出。
- * SDRAM:用来保存要输出到 LCD 上的像素数据。

系统的数据流程如图 2 所示。

图 3 给出了具体的信号图。

3 各模块功能设计

3.1 颜色查找表

基本颜色(Red、Green、Blue)的灰度是 6 位的,某种颜色输入的数据越大,这种颜色越亮。具体实现的时候用在系统嵌入式存储器,建立 .mif 格式的文件进行初始化。

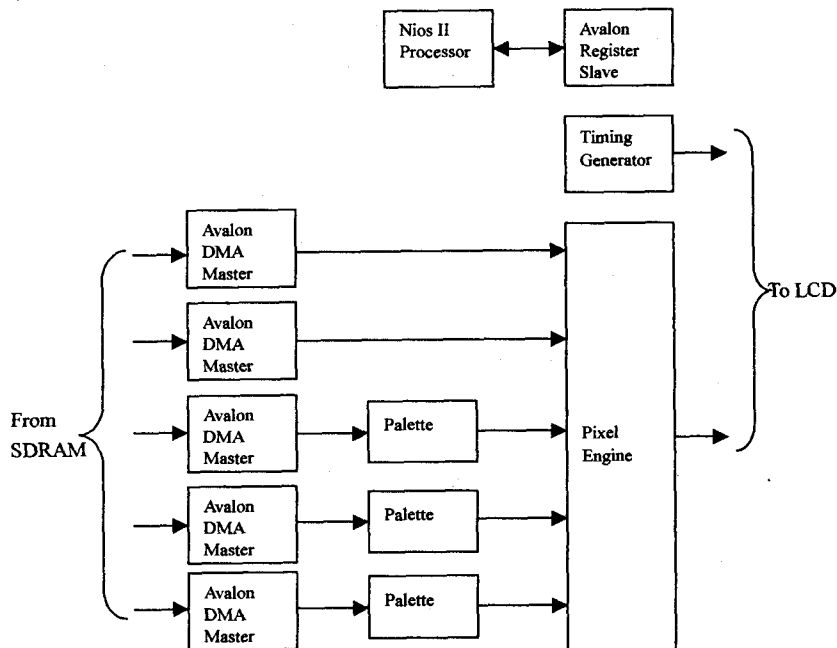


图 2 TFT LCD 控制器数据流程图

3.2 颜色处理器

颜色处理器负责每个像素的颜色的产生。这个功能由颜色处理器与输出 FIFO 共同完成,颜色处理器

的内部结构如图 4 所示。

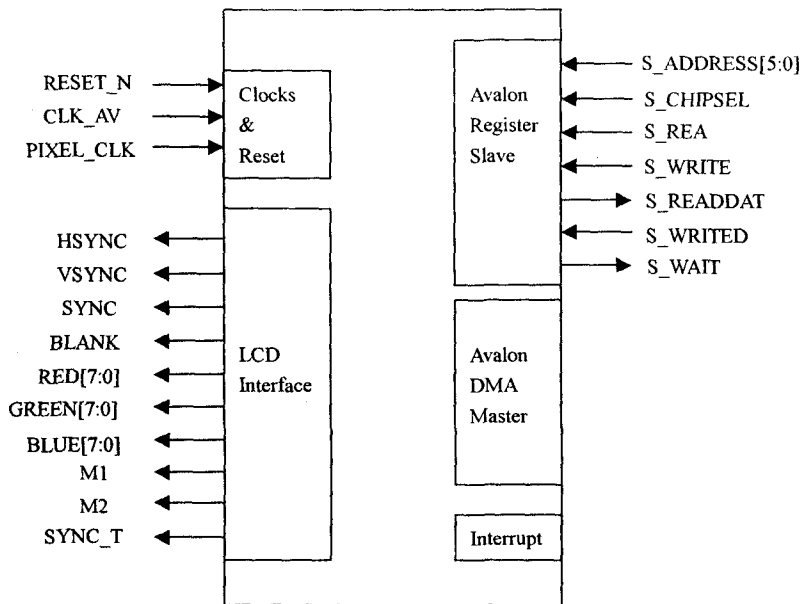


图 3 TFT LCD 引脚信号图

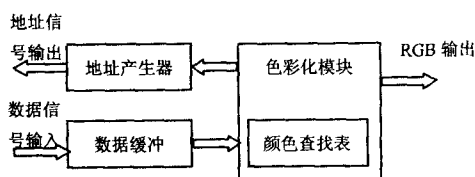


图 4 颜色处理器内部结构

颜色处理器包括地址产生器、数据缓冲和色彩化模块三部分：

* 地址产生器。在产生视频存储器的地址的同时，地址产生器操作存储器块的切换并记载要读取的像素数目。当所有像素读取完成后，切换存储器的块位置。

* 数据缓冲。暂时保存从视频存储器中读取的数据，对数据的访问可以按照连续地址进行。

所有的数据按照连续的地址保存。8 位模式下，一个 32 位的字保存 4 个像素的数据；16 位模式下，一个 32 位的字保存 2 个像素；24 位模式下，一个 32 位的字保存 4/3 个像素；32 位模式下，一个 32 位的字保存 1 个像素。

* 色彩化模块。将保存在数据缓冲区中的数据转换成颜色数据，并输出。

3.3 时钟和同步信号模块

该模块产生驱动 LCD 的时钟信号以及行、帧同步信号；同时，产生输入数据管理模块、输出数据管理模块的控制信号。实现 LCD 控制的行同步、帧同步的控制时序流程如图 5 所示。

同步信号发生器采用状态机实现。根据此信号流程图得到的仿真波形如图 6 所示。

3.4 输出模块

该模块包含 FIFO 和 DMA 两大部分。作为担当“CACHE”重任的 FIFO 是本设计中的关键点，FIFO 的作用是对 DMA 输出的图像数据进行缓存，以匹配时序控制模块的输出速度。它是联系低速芯片到高速输出的桥梁。FIFO 大小暂定为 $4096 \times 18\text{bit}$ ，在实际设计时，再根据系统需要以及资源状况做出适当调整。原则是，在系统资源允许的情况下，将 FIFO 大小尽量设置大点。

Avalon 总线主端口通过 DMA 方式从外部 SDRAM 存储器中读取视频数据并保存在 FIFO 缓冲器中。在主端口读传输时，主端口向 Avalon 总线模块提供有效的地址和读请求信号发起总线传输^[7]。在理想的情况下，读取的数据会在下一个时钟上升沿之前从 Avalon 总线模块返回，总线传输在一个周期内结束。如果在下一个时钟上升沿读取的数据还未准备好，Avalon 总线模块便设置一个请求并使主端口暂停，直至数据从目标从端口取回。然后通过对寄存器组中各个寄存器进行配置，就可以把对应的视频信号 LCD 接口模块发送到 LCD 显示。由液晶屏的资料得到，选用 DCLK 为 40 MHz 比较适合，时钟周期为 25ns，相应地显示一行需用时 $800/40 = 20\mu\text{s}$ ，完成一行后不能马上显示下一行，根据液晶屏的资料说明，每一行显示完成需要 1056 个时

钟。在理想的情况下，读取的数据会在下一个时钟上升沿之前从 Avalon 总线模块返回，总线传输在一个周期内结束。如果在下一个时钟上升沿读取的数据还未准备好，Avalon 总线模块便设置一个请求并使主端口暂停，直至数据从目标从端口取回。然后通过对寄存器组中各个寄存器进行配置，就可以把对应的视频信号 LCD 接口模块发送到 LCD 显示。由液晶屏的资料得到，选用 DCLK 为 40 MHz 比较适合，时钟周期为 25ns，相应地显示一行需用时 $800/40 = 20\mu\text{s}$ ，完成一行后不能马上显示下一行，根据液晶屏的资料说明，每一行显示完成需要 1056 个时

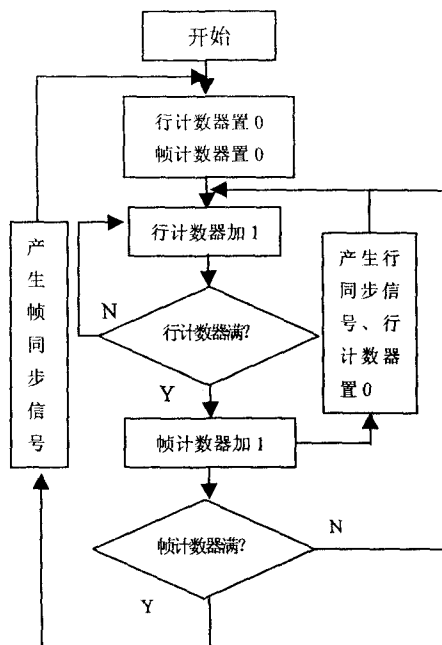


图 5 同步信号流程图

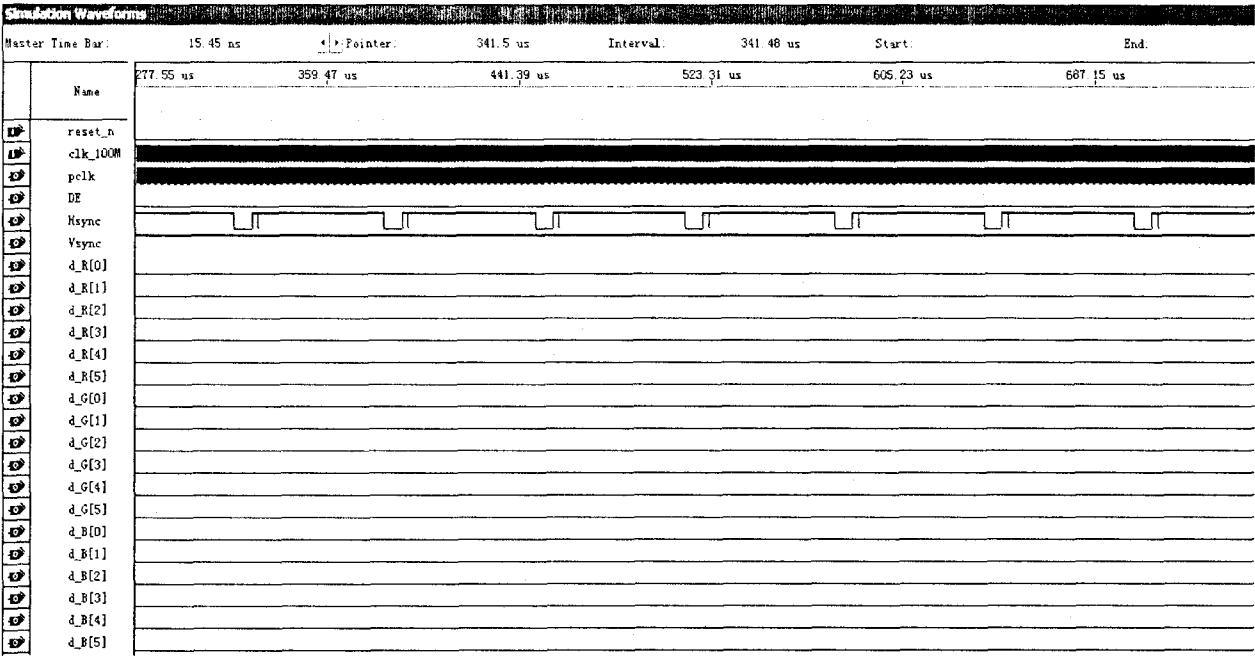


图 6 LCD 控制时钟仿真图

钟,因此应当在此期间插入一个 HSYNC 信号,使得一行显示时间为 $1056/40 = 26.4\mu\text{s}$ 。

3.5 LCD Controller 工作原理

FPGA 通过读写寄存器完成对 LCD 控制器工作状态的设定与控制。控制器启动后,DMA 通过总线读取 SDRAM 中的数据,然后存入 FIFO 中,时序生成模块按照 TFT 时序要求从 FIFO 中读取数据,然后送出去显示。整个数据读取过程不需要其他设备干涉。由于 DMA 读取的速度与 TFT 时序发生器输出的速度不一致,所以在 DMA 与 TFT 时序发生器之间加入了 FIFO 用来缓冲数据。DMA 由控制模块控制其工作,控制模块不断检测 FIFO 状态,当 FIFO 快满时,暂停 DMA,当 FIFO 快空时,重新启动 DMA,如此循环,保证显示画面连续稳定^[8]。

4 结束语

设计实现了一个基本的 TFT LCD 控制器,能实现 640×480 ,颜色深度为 6bit 的彩色图形显示(显示效果如图 7 所示),可应用于各种 TFT LCD,亦可改写为 VGA 控制器,有较大的灵活性。很好地实现了基于界面环境的开发,可以用于很多手持设备的军用电子产品。该设计最大的特点是有很强的可移植性,更复杂的控制器(如多层显示、画中画等功能)可以在此基础上根据需要设计开发。

参考文献:

[1] EDA 先锋工作室. Altera FPGA/CPLD 设计(高级篇)[M].

北京:人民邮电出版社,2005.

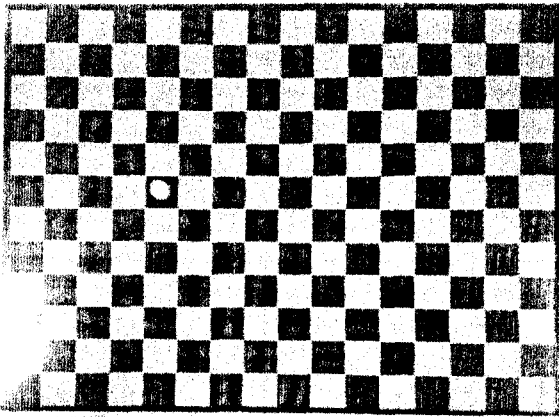


图 7 LCD 显示效果图

[2] 刘 韬,楼兴华. FPGA 数字电子系统设计与开发实例导航[M]. 北京:人民邮电出版社,2007.
[3] 夏宇闻. Verilog 数字系统设计教程[M]. 北京:北京航空航天大学出版社,2003.
[4] 俞莉琼,付宇卓. 有限状态机的 Verilog 设计与研究[J]. 微电子学与计算机,2004(11):57-62.
[5] 周立功. SOPC 嵌入式系统基础教程[M]. 北京:北京航空航天大学出版社,2006.
[6] 徐光辉,程东旭,黄 如. 基于 FPGA 的嵌入式开发与应用[M]. 北京:电子工业出版社,2006.
[7] 王述全. 智能型 LED 键盘显示技术及其在仪器仪表中的应用[J]. 微计算机信息,2004(10):71-74.
[8] 郭 强. 液晶显示应用技术[M]. 北京:电子工业出版社,2000.