

基于FPGA的ARM9与PC/104总线接口的设计

沈海嘉, 杨全胜

(东南大学 计算机科学与工程学院, 江苏 南京 210096)

摘要:随着嵌入式研究的发展,在飞控计算机研究领域内,高性能嵌入式微处理器逐渐被考虑用来替代原有的X86系列微处理。而为了解决此类嵌入式微处理器与原有的采用PC/104总线标准的设备之间的通信问题,设计了一种方案,通过对AT91RM9200处理器内部总线和PC/104总线时序的分析,在Altera的FPGA芯片上,运用构建模块IP核技术,设计完成PC/104总线和ARM9总线之间的通信接口,并运用在实际的飞控计算机相关设备中,控制完成指定功能。

关键词:PC/104总线;FPGA;IP核;总线时序;VHDL

中图分类号:TP399

文献标识码:A

文章编号:1673-629X(2009)03-0182-03

Design and Realization of Interface Between ARM9 and PC/104 Based on FPGA

SHEN Hai-jia, YANG Quan-sheng

(School of Computer Science and Engineering, Southeast University, Nanjing 210096, China)

Abstract: In the flight control computer field, with the development of embedded research, the X86-series microprocessors are being replaced by the high-powered embedded microprocessors gradually. In order to solve the communication problems between these embedded microprocessors and the devices which use PC/104 protocol, gives a design, which analyzes the time sequence of AT91RM9200 and PC/104 bus and uses constructing module IP core technique on the FPGA chip to complete the design of the communication interface between ARM9 and PC/104 bus, which is used in the real relative devices in the flight control computer field and completes special tasks.

Key words: PC/104 bus; FPGA; IP core; bus time sequence; VHDL

0 引言

随着嵌入式研究的不断深入,高性能的嵌入式微处理器越来越多。由于其具有良好的实时性、处理的高效性,价格也具有相应的优势,因此在飞控计算机领域内,已经考虑运用此类高性能微处理器来替代原有的X86系列的微处理器。而在该领域内,PC/104是一种常用的总线标准,多用来进行管理控制与数据传输,因此很多具备特殊功能的接口板的设计也都是符合PC/104总线标准的。

在研究中,采用一款ARM9系列芯片AT91RM9200来对符合PC/104规范的三类飞行测控类接口板进行检测。由于ARM以及PC/104都具有自身的总线通信协议,两者在接口以及速率上都存在差异,因此如何连接两者,使之能够正确有效地进行数据通

信,成为研究的关键。这里若用软件实现,虽然具有一定的灵活性,但是对于飞控计算机领域内此类实时性较强的系统而言,显然不能达到要求。为了快速有效地完成有关通信,同时保证系统的实时可靠性,提出一种在FPGA芯片上,通过构建模块IP核来实现相关通信的方法。

1 PC/104总线概述

PC/104是一种工业计算机总线标准,它是一种专门为嵌入式控制而定义的工业控制总线,近年来在国际上广泛流行。PC/104型号定义和PC/AT基本一致,但电气和机械规范却完全不同,是一种优化的小型堆栈式结构的嵌入式控制系统。PC/104总线接口信号线根据功能可以分为七类,即地址线、数据线、(时钟)周期控制线、总线控制线、中断信号、DMA信号线和电源线。在本次设计中用到了地址线:SA0~SA9;地址控制线:ALE、AEN;数据线:SD0~SD7;总线控制线: \overline{IOR} 、 \overline{IOW} 、 $\overline{IOCS16}$ 、 $\overline{IOCHRDY}$;中断信号以及电源线信号中部分信号。

收稿日期:2008-06-01

基金项目:国家自然科学基金项目(60773105)

作者简介:沈海嘉(1983-),男,浙江嘉兴人,硕士研究生,研究方向为计算机系统结构和嵌入式系统;杨全胜,副教授,研究方向为计算机系统结构、多媒体技术和嵌入式系统。

2 系统总体结构

系统的总体结构如图1所示。

ARM端信号通过FPGA逻辑转换,生成相应PC/104总线通信信号。其中,连接ARM的数据总线以及连接PC/104设备的数据总线均为双向总线。

ARM可采用8位/16位数据通信。FPGA回送数据皆为16

位数据,ARM根据对应的操作命令选择读取8位或者16位数据。ARM地址线最低位作为低字节选择位,地址线次低位作为ARM端对PC/104总线设备操作时8位与16位数据通信的判断位,剩余地址位为ARM与PC/104通信的实际有效地址位。ARM与FPGA通信采用AT91RM9200体系架构下扩展的SMC(静态存储控制器)设备的通信方式。8MHz时钟信号由ARM端编程产生,为FPGA及PC/104总线设备提供系统同步时钟。图中中断信号为FPGA通知ARM端进行数据读取操作的信号,当PC/104设备回送数据被FPGA缓冲后,会产生相应中断信号到ARM端FIQ口,ARM在中断处理程序中进行数据接收。当ARM端对FPGA数据读取完成后,通过指定端口产生一个ACK脉冲信号来通知FPGA完成本次响应数据读取的操作。

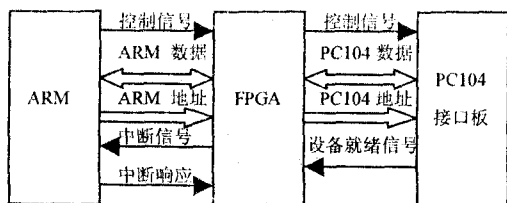


图1 系统总体结构

3 接口控制逻辑设计及模块IP核

本设计中采用自顶向下(Top-Down)的正向设计的技术路线,考虑到通信目标在接口逻辑信号上有不同,所以在通信时必须加入接口逻辑转换的功能模块,同时,两者在总线工作频率上也有不同,ARM9的总线工作频率为64MHz,而PC/104的总线工作频率为8MHz,要保持数据完整性,需加入数据缓冲设计。最后为了使整个系统能正常运作,需要在数据读写时机和地址、双向数据总线的方向性上进行控制。在设计整个系统中各模块IP核时,还必须考虑它们之间的时序关系^[1,2]。通过以上分析,总线接口控制逻辑可划分为如下4个功能模块:ARM总线数据存储模块、PC/104总线接口时序逻辑及控制模块、PC/104总线

数据存储模块、双向数据总线控制模块。各功能模块关系如图2所示。

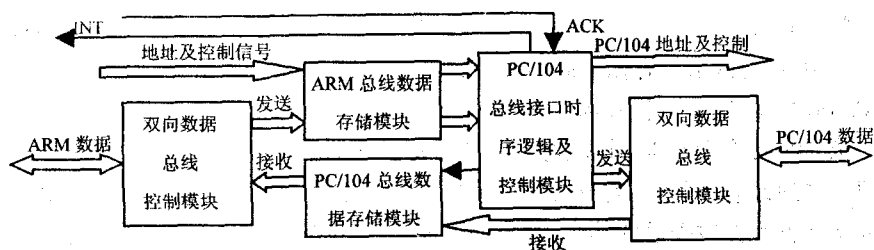


图2 接口控制逻辑内部功能模块关系

系统功能模块大体分三类:缓冲存储、接口逻辑转换、双向总线控制,继而设计相应的模块IP核。

3.1 缓冲存储模块

该模块包含ARM总线数据以及PC/104总线数据的存储与读取,前文提到在ARM与FPGA通信一侧,相应的读写控制信号由ARM的静态存储控制器(SMC)来生成,数据总线宽度为16位,对ARM与FPGA数据通信时序以及PC/104的通信规范进行分析,如图3、图4所示,由于两侧总线数据均具有突发性,即总线数据到来的判定无法与系统时钟同步,因此在缓冲存储模块中,采用异步逻辑来判定数据到来并进行存储。

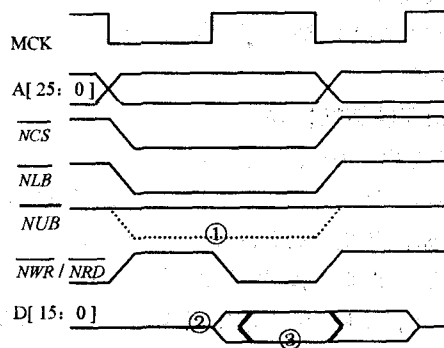


图3 SMC设备读写时序

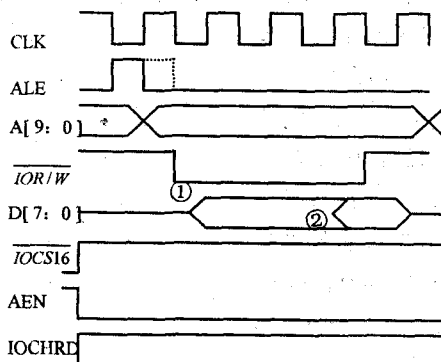


图4 PC/104总线I/O读写时序

图3中,虚线①所示为16位数据通信时,高字节选择信号有效;②为写操作时有效数据存在数据总线上的时间;③为读操作时外设数据存在数据总线上的

时间。图 4 中,①为写操作时,ARM 数据送上 PC/104 总线的时间;②为读操作时 PC/104 总线设备数据送上总线的时间。

ARM 总线数据存储方面,异步判定由 \overline{NCS} 信号和 $\overline{NWR0}/\overline{NRD}$ 信号一起来构成,当检测到为低电平时,表示 FPGA 作为 SMC 外设被选通,此时打开地址缓冲器存储地址总线信息;当与信号同时为低时,则打开数据缓冲器存储数据总线信息,并设置存储空间满标志位,以便接口逻辑转换模块查询后进入工作状态。当缓冲存储模块的数据被取出后,存储空间满标志位不会被立即清除,而是要同步于接口逻辑转换模块,必须等待当前指令周期完成后才清除。

对于 PC/104 总线数据存储,当执行的操作为读操作时,异步判定由接口逻辑转换模块在相应的指令周期内产生的锁存信号来构成,通知缓冲存储模块保存此时 PC/104 总线上的数据,并设置存储空间满标志位。同样的,该标志位必须同步于接口逻辑转换模块,由其通知清除。当存储空间满标志位置位时,接口逻辑转换模块通过查询获得该信息,会产生一个中断信号给 ARM,通知 ARM 来读取当前读操作的有效返回值。实际上,ARM 每次读操作都被拆分为 2 次读命令,第一次读命令,将访问设备的地址送出,第二次读命令,读取 FPGA 的缓冲存储模块内保存的数据,获得有效的返回值。

3.2 接口逻辑转换模块

要实现 PC/104 总线操作,就必须引入时钟来控制时序推进。PC/104 总线工作频率是 8MHz,该时钟由 ARM 编程产生,通过 PIO 口送给 FPGA。当 ARM 访问 PC/104 的命令发出后,缓冲存储模块中相应的满标志位被置位后,接口逻辑转换模块通过查询该标志位,由等待状态进入工作状态。这时,ARM 端发出的访问设备的地址以及数据都已经保存在缓冲存储模块中,读写时序的建立根据图 4 所示 PC/104 总线 I/O 读写时序,采用有限状态机^[3-5]来实现。

状态机包含六个状态 $S_0 \sim S_5$ 。其中 S_0 为等待状态,接口逻辑转换模块在每个时钟周期的上升沿时对缓冲存储模块的满标志位进行查询,当查询到该位有效时,则进入工作准备状态,即 S_1 态。在 S_1 态中,地址锁存信号有效,同时访问 PC/104 设备的有效地址被送上地址总线。在 S_2 态中,相应的 IO 读写使能信号有效,如果为写操作,缓存模块中的数据被送上数据总线。 S_3 态中对 PC/104 设备通道准备信号进行判断。 S_4 态中,写操作则被访问设备获取数据总线上数据;读操作则被访问设备将对应数据送上数据总线。在 S_5 态,各种置位信号清除,地址、数据及读写使能信号撤销。

此时还需判断原操作是否为 16 位数据操作,若是,则接口逻辑转换模块将它转化为 2 个连续的 8 位 PC/104 总线数据操作。先发送低字节 8 位数据,在紧接着的下一个指令周期发送高字节 8 位数据,状态由 S_5 态转入 S_1 态;若不是,则接口逻辑转换模块重新进入 S_0 等待状态。

下面给出状态机定义^[6,7]:

存在一个五元组 $M(Q, \Sigma, \delta, S_0, \Gamma)$,其中 Q 是状态集, $Q = \{S_0, S_1, S_2, S_3, S_4, S_5\}$; Σ 为输入的集合, $\Sigma = \{1, 0\}$; δ 为一个状态转换函数,表示从 $Q \times \Sigma^*$ 到 Q 的子集的映射, δ 为一个单值函数; S_0 为初态, Γ 为终态集合,这里为空集。状态转换函数 δ 如表 1 所示。

表 1 状态转换函数表

当前状态	S_0	S_1	S_2	S_3	S_4	S_5
输入后	0	S_0	S_2	S_3	S_5	S_0
下一状态	1	S_1	S_2	S_3	S_5	S_1

系统状态转换图如图 5 所示。

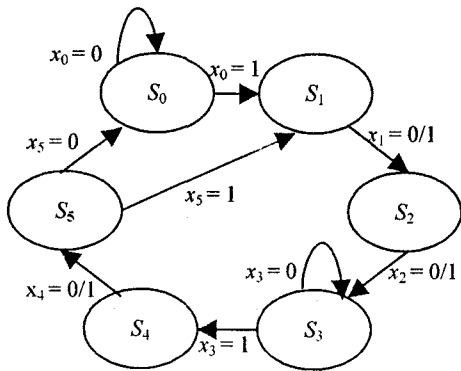


图 5 状态转换图

3.3 双向总线控制模块

由于 FPGA 与 ARM 以及 PC/104 总线相连,数据总线均为双向,为了保证 ARM 总线正常工作和 PC/104 总线上其它设备有效的通信,必须在输出侧利用三态门来实现双向总线功能。即控制信号无效时,数据口为输入,输出必须为高阻态。当控制信号有效时,数据口为输出状态。ARM 双向数据总线的控制信号由 ARM 读信号经触发器^[8,9]来控制,当该信号有效时,打开数据口,将缓冲存储模块中保存的 PC/104 总线数据送上 ARM 的数据总线,完成读命令。PC/104 双向数据总线的控制信号,由接口逻辑转换模块控制,在相应命令周期内,打开数据口,将 ARM 写命令中保存在缓冲模块中的数据送上 PC/104 数据总线。

文中介绍的接口电路采用 VHDL 语言描述,已在 Altera 的 EPF10K20TC144 芯片中实现,并应用到了实际的飞控设备中。通过实际验证发现,正常 PC/104

(下转第 188 页)

元为 64 个,输出层神经元为 1 个,学习的仿真结果如图 4 和图 5 所示,可见,径向基神经网络的学习效果要好于前向神经网络。

再取 30 个样本,对系统进行预测,预测仿真结果如图 6 所示,可见,混沌时间序列通过径向基神经网络,可以实现短期的收盘指数走向的预测。

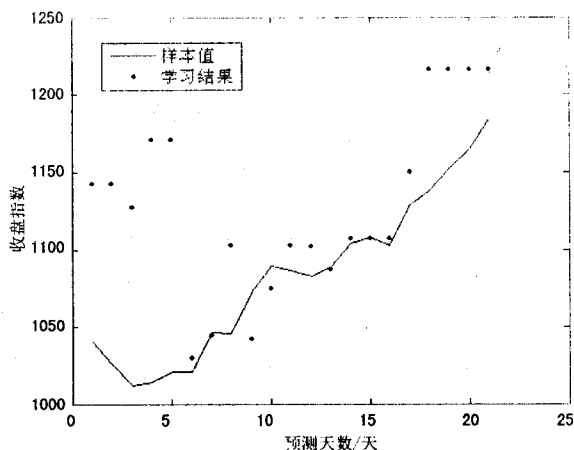


图 6 预测结果

5 结束语

采集了上证指数的从 1990 年到 2008-4-24 的收盘指数数据,经过分析发现收盘指数时间序列存在混沌现象,利用 Taken 定理,对股票数据进行相空间重构,还原了股票系统的力学特性,并计算出股票系统的奇怪吸引子的维数为 $D = 1.70$,嵌入维数为 $m = 4$,最大 Lyapunov 指数为正,因此可见,股票中存在混沌

现象。最后,通过求出的嵌入维数和时间延迟,设计出神经网络,神经网络通过对收盘指数样本的学习,实现了对收盘指数走向的预测。

参考文献:

- [1] 侯媛彬,杜京义,汪梅.神经网络[M].西安:西安电子科技大学出版社,2007:26-52.
- [2] 孙博文,张本祥.中国股市波动的混沌吸引子的测定与计算[J].哈尔滨理工大学学报,2001,6:361-367.
- [3] 吕金虎,陆君安,陈士华.混沌时间序列分析及其应用[M].武汉:武汉大学出版社,2002:118-178.
- [4] 黄润生,黄浩.混沌及其应用[M].武汉:武汉大学出版社,2005:366-390.
- [5] 蒋传文,权先璋.径流序列的混沌神经网络预测方法[J].水电能源科学,1999,17(2):9-11.
- [6] 何佳,王子牛,罗刚,等.基于混沌神经网络技术的安全库存预测研究[J].计算机技术与发展,2007,17(8):247-250.
- [7] 韩敏.混沌时间序列预测理论与方法[M].北京:中国水利水电出版社,2007:155-185.
- [8] 徐耀群,孙明.混沌神经网络时间序列的研究[C]//中国控制与决策学术年会论文集.沈阳:东北大学出版社,2006:397-402.
- [9] Jiang Jianguo, Shao Kuizhi, Wei Yuheng, et al. Chaotic Neural Network Model for Output Prediction of Polymer Flooding [C]//Proceedings of the 2007. IEEE, International Conference on Mechatronics and Automation. Harbin, Heilongjiang, China: IEEE, 2007:2347-2351.

(上接第 184 页)

总线周期以 ALE 信号有效的前沿(上升沿)后的第一个时钟开始计算,需要 5 个时钟周期来完成。

4 结束语

介绍了飞控设备中的 PC/104 总线,并根据实际需要研制了 PC/104 总线接口板,实现了 PC/104 总线的总线控制、终端仿真及数据监控功能。提出利用 FPGA 构建模块 IP 核技术来实现 PC/104 总线通信,并详细介绍了部分电路的实现方法。应用 FPGA 简化了系统结构,缩短了设计周期,提高了系统的性能和可扩展性。

参考文献:

- [1] Shannon L, Fort B, Parikh S, et al. Designing an FPGA SoC Using a Standardized IP Block Interface [C]//Brebner G J, Chakraborty S, Wong W F. Proceedings of the 2005 IEEE International Conference on Field-Programmable Technology.

Singapore: IEEE International, 2005:341-342.

- [2] Ristimäki T, Nurmi J. Reconfigurable IP Blocks: a Survey [C]//System-on-Chip, 2004. Proceedings. 2004 International Symposium. Finland: IEEE International, 2004.
- [3] 井新宇.基于 VHDL 设计有限状态机 FSM 的方法[J].信息技术与自动化,2005(4):29-30.
- [4] 罗朝霞.基于 CPLD 的序列信号检测器设计与实现[J].现代电子技术,2005,28(11):63-64.
- [5] Sjöholm S, Lindh L. 用 VHDL 设计电子线路[M].边计年,薛宏熙译.北京:清华大学出版社,2003:157-186.
- [6] 孔建,杨洪斌.基于有限状态自动机描述及综合[J].计算机工程,2003,29(15):82-83.
- [7] 邬杨波,王曙光,胡建平.有限状态机的 VHDL 设计及优化信息技术[J].信息技术,2004,28(1):75-78.
- [8] 廖日坤. CPLD/FPGA 嵌入式应用开发技术白金手册[M].北京:中国电力出版社,2005:98-99.
- [9] 吴继华,王诚. Altera FPGA/CPLD 设计(高级篇)[M].北京:人民邮电出版社,2005.