

# 基于FPGA的8051IP核的设计与实现

徐 慧,王金海,王 巍

(天津工业大学 信息与通信工程学院,天津 300160)

**摘 要:**裁减并完善了与MCS-51系列微处理器指令集完全兼容的8051IP核,减少了设计面积,提高了处理速度。按照自顶而下的设计原则,分别设计了算术逻辑单元、中心控制器、定时/计数器、串行口、RAM和ROM单元。设计采用VHDL语言进行描述并且用ModelsimSE6.0进行功能和时序验证。将8051IP核下载到Xilinx公司的FPGA(XC3S500E-4FG320C)上进行物理验证,测试了一个LED流水灯程序,结果表明软核达到预期的效果。本设计作为可移植的IP核,可以组成片上系统,用于嵌入式系统领域。

**关键词:**IP核;MCS-51微处理器;CPU核;FPGA;可编程片上系统

**中图分类号:**TP302

**文献标识码:**A

**文章编号:**1673-629X(2009)03-0042-04

## Design and Implementation of 8051 IP Core Based on FPGA

XU Hui, WANG Jin-hai, WANG Wei

(School of Information and Communication Engineering,  
Tianjin Polytechnic University, Tianjin 300160, China)

**Abstract:** Designed and reduced 8051 IP core compatible with industrial standard MCS-51 microprocessor, not only cut down the area but also increased the processing speed. Some important units such as ALU, central controller, timer/counter, the serial port, RAM and ROM were designed by using Top-Down designing principle. The design was described by VHDL language, and verified with ModelsimSE6.0 simulator. Finally, the core was downloaded into Xilinx FPGA chip(XC3S500E-4FG320C) to make physical test. The led shining experiment was done, and the result shows that the core achieves the expected goal. The 8051 CPU core is an important part of SOPC, which can be used in many embedded domains, such as control and communication.

**Key words:** IP core; MCS-51 microprocessor; CPU core; FPGA; SOPC

### 0 引 言

近年来,随着微电子学和计算机科学的迅速发展,给电子设计自动化(EDA)行业带来了巨大的挑战和变革,具有再利用率、高设计效率、缩短设计周期等特点的嵌入式设计正日益成为数字系统设计的一个热点。应用这一方法设计的各种嵌入式核、IP(Intellectual Property)和可编程单片集成SOPC(System On Programmable Chip)已被广泛地应用于掌上型设备、智能卡和各类微控制系统中。嵌入式核的实现是整个嵌入式设计的关键,在各种嵌入式核中,CPU核是很

重要的一支,也是应用领域最广泛的一类嵌入式核<sup>[1]</sup>。在单片机家族中,MCS-51是一个独特的系列,Intel公司创建了8位机的经典系列结构,由于其具有集成度高、处理功能强、可靠性高、系统机构简单、价格低廉等优点,在我国已经得到非常广泛的应用。但单片机自身也有着许多固有缺点,如低速、PC的“跑飞”、开发周期长等,这一定程度上限制了它的使用。运用可编程逻辑器件(FPGA)实现的8051核,克服了传统8051本身固有的缺点,在最高时钟频率、稳定程度、指令的执行效率、易于升级、易于扩展使用等诸多方面都有了很大的提高,从而可以大大提高以8051单片机为控制系统的各种应用系统的性能参数。另外,建立8051CPU可综合IP核对于各种嵌入式系统和可编程片上系统(SOPC)的应用也具有十分重要的意义,通过芯核重用技术,可广泛应用在一些面积要求比较苛刻的片上系统中。因此,开发出具有自主知识产权的8051CUP核有很好的应用前景。

文中采用TOP-DOWN层次网络模块化设计方

收稿日期:2008-07-18

基金项目:天津市自然科学基金(08JCYBJC14700)

作者简介:徐 慧(1980-),男,陕西府谷人,硕士研究生,研究方向为嵌入式系统;王金海,博士,教授,硕士生导师,研究方向为信息检测与智能处理、嵌入式系统设计与应用研究等,EMAIL:cnwjhai@yahoo.com.cn,通信地址:天津工业大学信息与通信工程学院 王金海,邮编:300160。

法,并与 FPGA 内部结构相结合,用 VHDL 语言描述了嵌入式 8051 核的全部功能,并对其进行仿真验证,实现了能够应用于 FPGA 的 IP 核<sup>[2,3]</sup>。

## 1 8051IP 核几个主要模块的设计

### 1.1 算术逻辑模块(ALU)

ALU 单元可以直接或间接地执行很多指令,如加、减、乘、除等算术运算指令;逻辑与、或、异或等逻辑运算指令以及移位操作指令。本设计中由 ALU 单元执行的指令共 53 条,除去上述的算术运算、逻辑运算和环移指令外,还包括条件转移指令中的比较条件转移指令 CJNE 和减 1 条件转移指令 DJNZ。这种设计方法主要考虑比较条件转移指令 CJNE 设计上的方便与规范性;而减 1 条件转移指令 DJNZ 的指令操作需要进行减 1 操作,正好可以利用 ALU 单元的相应算术运算来进行,因此可通过 ALU 模块要和控制模块配合起来才可正常工作,即需要由控制模块把操作代码信号(cmd\_i)和数据提供给 ALU 模块。程序执行的指令和数据,事先已经保存在程序存储器 ROM 中,当指令执行时,控制模块对从 ROM 存储器中取出的指令进行译码,译码的结果决定执行相应的操作,当需要 ALU 模块执行相应操作时,控制模块会通过 cmd\_i 信号传送相应的操作代码给 ALU 模块。ALU 模块收到操作代码后,首先对 cmd\_i 信号的操作代码进行译码,并判断 ALU 模块所需要执行的操作是什么运算,需要转移到什么运算模块来实现,然后转至相应的运算模块执行相应的操作,操作结束后,将运算结果送回到控制模块,再由控制模块对运算结果和相应的状态标志位进行读写和判断,进而完成相应的操作。ALU 模块的运算数据和运算结果主要通过 ROM 存储器、RAM 存储器和特殊功能寄存器 ACC、B 来实现传递<sup>[4,5]</sup>。

### 1.2 控制模块(control)

控制模块是 8051 IP 核的核心,也是本 IP 核设计中最复杂的模块。源程序和原始数据的输入、CPU 内部的信息处理、处理结果的输出、外部设备与 8051 内部的信息交换等都是在控制模块的控制下实现的。本设计中控制模块主要完成的功能为:指令译码、中断系统的控制处理、时序控制和微操作控制等。

控制部分主要由中断控制电路、时钟产生电路、指令节拍计数器、指令寄存器、控制信号发生器、标志寄存器这几部分组成,如图 1 所示<sup>[6]</sup>。

中断控制电路实现对中断信号的采样,以及是否屏蔽中断的判断,产生的控制信号,控制指令寄存器的清零,来决定是否进行中断操作;指令寄存器 IR 用于保存当前正在执行的指令操作码,每一条指令完成以

后,根据指令节拍码产生的控制信号加载从数据总线送来的 8 位操作码,或者受中断控制电路发来的控制信号进行清零操作;状态寄存器是 7 位的寄存器,这个寄存器中的位的值的修改依赖于数据通道的影响,也可以由控制信号发生器产生的相关控制信号来改变状态,同时它又指示了完成什么操作程序运行的结果;指令节拍码产生电路,完成根据指令寄存器的指令操作码,确定指令执行所需的周期数,以及产生指令节拍代码。产生的指令节拍码送到控制信号产生电路,和指令操作码、状态寄存器的状态标志一起来产生控制信号。

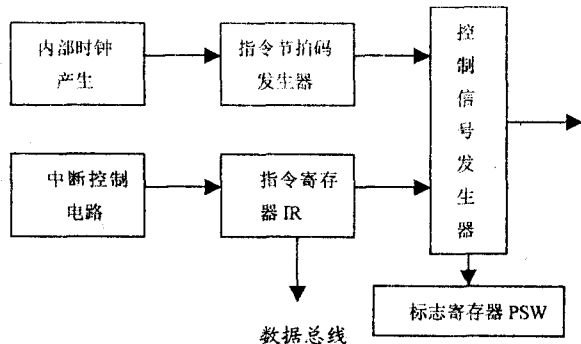


图 1 控制部分的结构

### 1.3 定时/计数器

定时器/计数器是 16 位的定时器/计数器,本设计中两个这样的定时器/计数器,对这两个定时器/计数器的控制主要是通过 TCON 和 TMOD 两个特殊功能寄存器实现的。控制位如图 2 所示,这些控制位的信号都是通过 CPU 来控制 and 加载的,CPU 通过传递给特殊寄存器相应的值进而控制定时器/计数器的操作。其中,每个定时器/计数器又分为两种工作模式,即定时模式和计数模式。在每种模式下,又有四种工作方式。要设计定时器/计数器需要首先设计一个分频器和两个负跳变的检测器。本模块的设计是由三个 Process 语句来实现的<sup>[7]</sup>。

TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
GATE	C/T	M1	M0	GATE	C/T	M1	M0

图 2 TCON、TMOD 控制寄存器的内容

### 1.4 串行接口单元(SIU)

串口模块是全双工通用异步接收/发送器,包括两个数据缓冲器(SBUF),一个用作串行数据的发送,另一个用作串行数据的接收。这两个数据缓冲器物理上各自独立,共用地址 99H,发送缓冲器只写不读,接收缓冲器只读不写。其中接收缓冲器是双缓冲的,以避免在接收下一帧数据之前,CPU 未能及时响应接收器中断把上一帧数据读走而产生两帧数据重叠的问题。串口模块的控制是通过控制寄存器 SCON 和 PCON 来

实现的,这两个控制寄存器的各控制位如图 3 所示,其中 SM0 与 SM1 为串行口方式控制位,用于设定串行口的工作方式。串口模块一共有四种工作方式。串口模块的 VHDL 实现主要是由五个 Process 语句来组成的。至于接收和发送,这里采用有限状态机的方式来实现。由于要工作在全双工模式下,所以接收和发送要采用两个有限状态机,有限状态机的每一个状态用来发送或接收移位数据<sup>[8]</sup>。

SM0	SM1	SM1	REN	TB8	RB8	TI	RI
SMOD							

图 3 SCON、PCON 控制寄存器的内容

### 1.5 内部 RAM、ROM 单元

本设计是在 Xilinx 公司的 ISE9.2 环境下完成的,IP 核生成器(CORE Generator)是 Xilinx FPGA 设计中的一个重要的设计输入工具,这个工具连同 Xilinx 提供的参数化的模块库一起,可以帮助用户直接调用 Xilinx 所提供的设计文件。利用 CORE Generator 工具所提供的 RAM、ROM 例化设计文件,设计实现了内部 RAM 和 ROM 模块,其中 ROM 模块是一个空结构实体,在有内部程序时换成相应的结构。内部程序必须以 ASCII 码形式或十六进制形式的文件写入,表明每个地址的初始值,用于设计的仿真和综合<sup>[9,10]</sup>,ROM、RAM 模块的存储空间分别为 256 字节和 64k 字节。

## 2 仿真综合与 FPGA 的实现

### 2.1 模块的仿真

仿真是设计流程中的重要组成部分,是验证项目的一种手段,与项目设计、实际验证同样重要,利用好仿真功能将提高效率、降低风险性。ALU 是 CPU 的核心部分,它是完成对数据的算术运算、逻辑运算的功能单元,是一种功能较强的组合逻辑电路单元。本设

计利用 Mentor Graphics 公司的 ModelsimSE6.0 软件对 ALU 进行仿真,ALU 模块内部共实现了 41 条操作代码,限于篇幅有限,没有逐个列述,而是选择了与运算、或运算、循环左移运算、加法运算、乘法运算、除法运算和 BCD 码转换运算等几条具有代表性的操作代码进行仿真验证。其中各运算对应的操作数输入数据为 rom\_data\_i AND ram\_data\_i、rom\_data\_i OR ram\_data\_i、RLC acc\_i、acc\_i ADD ram\_data\_i、acc\_i MUL ram\_data\_i、acc\_i DIV ram\_data\_i、DA acc\_i。cmd\_i 是从控制模块送来的指令操作码,result\_a\_o 保存结果的低 8 位,而 result\_b\_o 保存结果的高 8 位。从图 4 可看出,各功能均得到实现,满足设计要求。

### 2.2 模块的综合

综合是指将 HDL 语言、原理图等设计输入翻译成由与、或、非门,RAM,寄存器等基本逻辑单元组成的逻辑连接(网表),并根据目标与要求(约束条件)优化所生成的逻辑连接。本设计采用的是 ISE9.2 设计软件自带的综合工具 Synthesize - XST,采用 Synthesize - XST 综合工具,选择 Xilinx 的 Spartan - 3E 系列具有 50 万门 FPGA 芯片 XC3S500E - 4FG320C,完成对 8051IP 核的综合优化,综合后的是顶层 RTL 实现原理图<sup>[9]</sup>。

### 2.3 FPGA 的实现和结果验证

FPGA 的实现是利用 Xilinx 的 ISE 中内嵌的配置工具 IMPACT,生成 PROM 格式以及 JTAG 配置文件,即对 FPGA 器件进行动态配置并下载,验证实验结果是否正确。

本设计是采用 Xilinx 的开发板 Spartan - 3E 作为硬件平台进行验证,同时还需要用到 KEIL51 编译器对汇编或 C 程序进行编译。首先用 C 语言或汇编语言编写一个流水灯的程序,在 uVision2 的开发环境下进行编译生成 HEX 文件,然后转换为 .coe 文件,把此

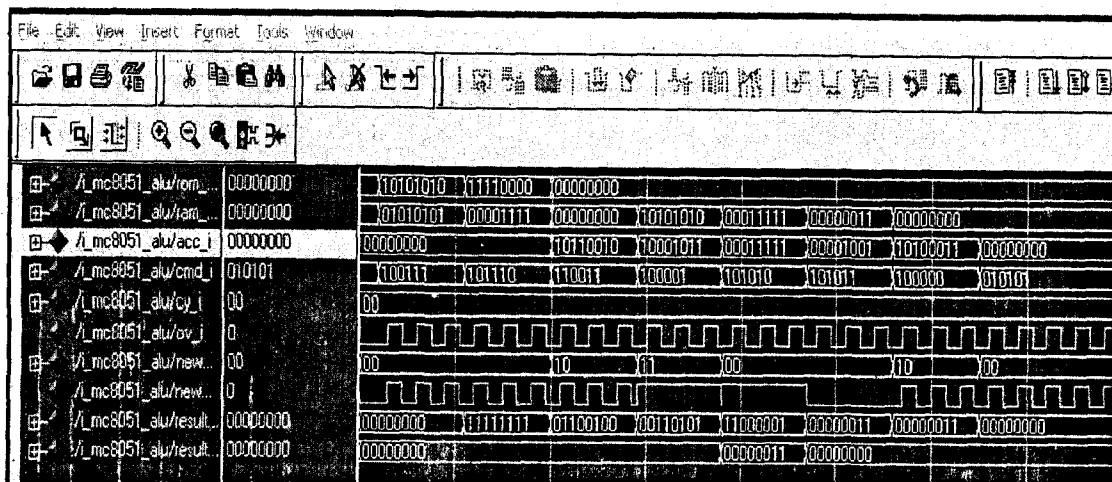


图 4 ALU 功能验证图

文件例化到顶层文件中的程序存储器 ROM 中去。最后,将生成的配置数据文件(\*.bit)采用 JTAG 模式下下载到开发板中的 XC3S500E-4FG320C 芯片中去,开发板中的八个 LED 灯从右到左循环点亮,验证了其正确性,如图 5 所示。

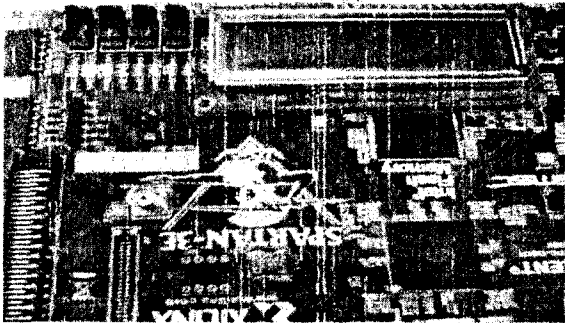


图 5 LED 灯运行结果

### 3 结束语

在对传统 8051 体系结构进行系统分析的基础上,结合实际应用对软核的控制逻辑进行优化设计,提高了软核运行效率,优化设计了多时钟周期指令,减少了所需的执行时钟周期。因此,所设计出的 8051 内核的最高工作频率及指令执行效率都有相当的提高。由于整个 8051 内核都是采用可综合的 VHDL 语言,使用 RTL 级的语法进行描述,使得该内核具有很好的可移植性、可重复利用性和实用性。

通过对 8051IP 核的研究,明晰了其内部模块结构

和各个模块之间的具体协作细节,特别是对其内部的指令执行控制过程有了深入的认识。同时,也掌握了可编程逻辑器件设计的一般方法和开发流程,为以后进行更复杂的 SOPC 设计积累了经验。

#### 参考文献:

- [1] 陆重阳,卢东华. IP 技术在 SOPC 中的地位及应用[J]. 微电子技术,2002(8):20-23.
- [2] 潘 松,王国栋. 基于 EDA 技术 CPLD/FPGA 应用前景[J]. 电子与机械自动化,1999(3):3-6.
- [3] 余 翔,熊光泽. SOC 芯片的 TOP-DOWN 设计方法[J]. 电子科技大学学报,2002,31(6):585-589.
- [4] 张 凯,汤志忠. 通用 16 位 CPU 的设计与实现[J]. 计算机工程与应用,2002(32):116-118.
- [5] Oregano Systems. MC8051 IP Core Synthesizable VHDL Microcontroller IP Core[J]. Journal of Systems Architecture, 2002(9):11-50.
- [6] 李亚民. 计算机组成原理与系统结构[M]. 北京:清华大学出版社,1999:126-177.
- [7] 尚 笠,葛元庆,周润德. 80C51 微处理器嵌入式内核的设计研究[J]. 微电子技术,2000,30(1):28-30.
- [8] Halverson R Jr, Lew A. FPGAs for expression level parallel processing[J]. Microprocessors and Microsystems,1995(19):533-541.
- [9] 孟宪元,钱伟康. FPGA 嵌入式系统设计[M]. 北京:电子工业出版社,2007:178-212.
- [10] 周宁宁,刘 胜. 基于 FPGA 技术的 CPU 的设计与实现[J]. 南京邮电学院学报,2003,23(1):77-79.

(上接第 41 页)

XML 文件模型的优点以及 XML 在开源软件和商用软件业界获得的广泛支持,可以较好地解决现有软件的演化难题。基于 XML 的现有软件演化的解决方案具有如下的这些优点:

- \* 带有自描述、可扩展、富含语义特征的标记,使得数据的含义十分直观。

- \* 若是标记的含义还不够明确和充分,可自由注释,而不会影响文档的解析。

- \* 在 DTD 的帮助下可以创建出更加规范、容错和智能的文档。

- \* 具有标准、统一、通用的解析、查询和样式显示接口,避免了特定的文档格式的限制,以及接口程序的重复开发和分发,提高了开发效率。

然而随着 XML 越来越多地作为信息交换标准,持久、验证和查询 XML 文档的功能也越来越重要,因此要不断丰富 XQuery 的语义。同时,随着 Web 服务

和 mash-up 应用程序的泛滥,Web 应用程序也需要更多地转换 XML 信息,这就需要不断完善 XML 的模式。

#### 参考文献:

- [1] 詹剑锋. 因特网环境下的软件演化与动态性研究[D]. 北京:中国科学院软件研究所,2002:2-4.
- [2] 马淑娇,李 晓,周俊林. 异构数据库集成中的 XML 技术探讨[J]. 计算机应用研究,2004,21(1):94-96.
- [3] 张 华,董 慧. JDOM 解析 XML 文档及其在数据转换上的应用[J]. 现代图书情报技术,2005(11):86-87.
- [4] W3C World Wide Web Consortium. Extensible Markup Language (XML) [EB/OL]. 2007-05-08. www.w3.org/XML.
- [5] Choi M J, Hong J W, Ju H T. XML-Based Network Management for IP Networks[J]. ETRI J, 2007, 25(6):3-4.