

一种双模式 Flash 控制器设计

姜晶菲, 唐玉华

(国防科学技术大学 计算机学院, 湖南 长沙 410073)

摘 要:以硬件直接实现固定的 Flash 编程操作是片内及片外 Flash 控制的常用方法。文中提出的双模式 Flash 控制器以 Flash 硬核模型为基础, 组合了硬件直接实现硬核的编程操作和软件控制硬核的编程信号两种模式, 实现了能以较快速度和较简单驱动控制 Flash 的逻辑和能以较高灵活性控制 Flash 的逻辑。两种模式使得 Flash 控制器具有一定的灵活性和快速实现性, 其设计模式能适应更多 Flash 模型。

关键词:Flash; 双模式; 编程

中图分类号:TP303

文献标识码:A

文章编号:1673-629X(2008)11-0001-04

Design of a Dual-mode Flash Controller

JIANG Jing-fei, TANG Yu-hua

(School of Computer, National University of Defense Technology, Changsha 410073, China)

Abstract: It is the common method to implement the fixed programming operations of a flash core in a chip or a flash chip in hardware. Based on the model of a flash core, the dual-mode flash controller combined the control mode that implementing the programming operations of a flash core absolutely in hardware and the control mode that managing the programming signals in software. The combination method made the flash controller work with higher speed and simple driver or work more flexibly. The dual-mode flash is more flexible and can be implemented quickly. Its design method can suit for more flash core models.

Key words: flash; dual-mode; programming

0 引言

嵌入式微处理器或微控制器芯片^[1,2]中除了包含运算处理逻辑外, 一般还包含非易失的存储器核如 flash、EEPROM 等, 可用于构建程序存储区、重要数据的缓存区及芯片某些特殊控制位的存储区等, 它们能够在掉电情况下保存程序、运行数据等信息, 当芯片重新上电时, 这些信息可重新被使用。利用特殊的编程接口或指令改变非易失存储信息从而达到动态更新的目的这类存储器控制的特殊要求。

Flash 作为典型的非易失存储介质具有容量大、功耗低、可擦写次数多、控制灵活等特点, 现已广泛用于构建微处理器内部或外部的非易失存储空间^[3,4]。微处理芯片内 Flash 作为硬核和其它逻辑集成在一起, 通过 Flash 控制器的管理实现特殊接口及程序对此核的读写操作, Flash 控制器的正确性和好用性直接影响

整个芯片的可用性。特殊接口和程序对 Flash 的操作必须遵循由一定编程命令表达的编程协议, 根据编程协议的不同, Flash 控制器功能可用不同的软硬件方法实现。以硬件直接实现固定的 Flash 编程操作通常支持一种特定的编程命令序列, 灵活性不强, 采用多模式方法设计的 Flash 控制器可通过软件来改变某些硬件电路逻辑开关, 使 Flash 控制器能够根据需要利用不同的编程命令序列完成 Flash 操作, 从而能对具有不同性能和灵活性的编程手段进行选择。文中基于一个嵌入式微处理器提出了双模式的 Flash 控制器设计方法, 采用两种模式设计了具有不同编程性能的命令序列, 达到了灵活处理的目的。

1 相关工作

很多嵌入式处理器或微控制器都设有 Flash 空间, 并都采用低速接口 (SPI、One Wire、并口等) 对芯片进行编程, 如 89C51 系列单片机、Atmel 的 Atiny 系列单片机^[1,2]等。芯片内部 Flash 操作一般包含读、擦除、编程、校验等, 每种操作都由 Flash 的一组控制信号产生特定的时序来完成, Flash 控制器可根据芯片定

收稿日期: 2008-02-27

基金项目: 国家自然科学基金 (NSFC60736013)

作者简介: 姜晶菲 (1974-), 女, 博士, 副教授, CCF 会员, 研究方向为计算机系统结构、高性能微处理器设计、密码处理; 唐玉华, 研究员, 硕士生导师, 研究方向为计算机系统结构。

义的编程命令产生相应的时序,完成对 Flash 核一个单元、一页单元及全芯片的读、擦除或写操作。

Flash 硬核编程时序可用两种方法实现,第一种是由软件来控制每个编程信号,硬件只实现对每个信号控制命令的简单解析,由软件来组织各个信号的控制序列,形成操作时序;另一种方法是由硬件直接实现针对每个操作的信号操作时序,软件只负责发出定义好的编程命令,硬件接收到编程命令后,自动产生特定的时序,完成相应操作。

用于 Flash 编程的串行或并行接口一般速度不高,且对 Flash 核某一单元的修改过程可能会包括较为复杂的擦除、写时序,因此如果通过软件来组织编程时序,则对 Flash 全地址空间进行修改通常需要比硬件直接实现花费更长的时间。在需对芯片进行较为频繁在线编程且可靠性要求比较高的情况下,编程时间可能占程序运行总时间相当大的比例,此时应使用硬件直接实现方法来进行 Flash 编程;当芯片编程只是应用的初始化动作,但需要较高灵活性时,可采用软件方法。双模式 Flash 控制器结合了这两种方法,既能通过软件把各种信号组合成更为灵活的序列,更方便地支持具有不同时序要求的 Flash,又通过硬件直接实现一种固定的操作时序,提供了一种速度较快可靠性较高的编程方法。

2 双模式 Flash 控制器结构

2.1 Flash 核模型

芯片内所用 Flash 一般以硬核的形式由芯片后端生产厂商提供,综合常用的 Flash 核结构,图 1 给出常用的 Flash 核模型。Flash 核电路由存储体和一些接口及电路控制逻辑构成。Flash 主存储体按页方式组织, n 个位宽为 m 的连续存储单元构成一页, p 页构成容量为 $p \times n \times 2^m$ 位的主存储空间。很多 Flash 核还设置 Info 空间,其由少量存储单元构成(4、16、128 个等),用于保存重要的程序控制位,容量较小的 Info 空间通常不分页,较大容量的 Info 空间也如主存储空间一样分页,只是页大小较小。

对 Flash 的操作通常包括对某个存储单元的读操作、对某页的擦除操作、对某个存储单元的写操作、对整个存储空间的擦除操作等。对 Flash 存储单元的写必须在该单元所在页擦除后进行,否则写不会成功。Flash 核的接口信号通常包括行列地址及其选通(RADR 用于指定页地址,CADR 用于指定页内地址)、用于选择主存储空间或 Info 存储空间区域选通 FSE、用于核访问使能的片选 CE、用于读输出的使能 OE、用于使能页擦除的页选 PSE、用于写 Flash 存储单

元的编程使能 PE、用于擦除的使能 ERE、用于编程控制的编程保持 SVE,以及与存储单元具有相同位宽的写数据输入 DI 和读数据输出 DO 等。

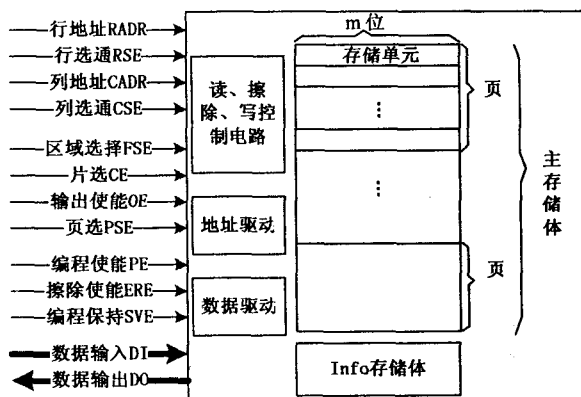


图 1 Flash 核模型

Flash 的操作为异步操作,不需同步时钟,每种操作都需一组接口信号的控制。以读操作为例,FSE、RSE、CSE、CE 变为有效,RADR 和 CADR 赋为读地址,这些信号在接口保持一段读出时间后,使 OE 变为有效,便可在数据输出端采样到 m 位的读出值。读出时间与具体器件有关,一般可达 20ns~100ns。Flash 的擦除和写操作时序要复杂一些,但也是对若干接口信号的时序控制,擦除时间一般在毫秒级,写时间在微妙级。

2.2 Flash 控制器结构

图 2 显示了基于上述 Flash 模型的双模式 Flash 控制器结构。该 Flash 控制器基于 SPI 接口设计^[5],芯片内部的 Flash 核可被 CPU 核发出的请求或 SPI 接口来的请求控制完成读写、擦除等操作。SPI 接口通过时钟 SCK、输入数据 MOSI 和输出数据 MISO 三根信号线与外部交互,接口控制模块接收按照 SPI 协议向控制器内部传输的串行数据,并把它们解析成以字节为单位的操作命令或信号命令。同样,CPU 核通过程序访问接口控制模块可直接向控制器发出所有定义好的命令,实现用程序控制 Flash 进行在线读取和更新的目的。

控制器中虚线浅色框示意了实现 Flash 控制的第一种模式:硬件直接实现的四种 Flash 操作时序。这部分逻辑通过处理定义好的四种操作命令(读、页擦除、全空间体擦除、写)来启动对 Flash 的操作。操作命令解析逻辑接收操作命令字节,当发送来的命令字节构成特定序列时,解析逻辑发出此字节序列对应的操作控制给相应的操作时序发生器,时序发生器按照 Flash 核接口要求产生相应的操作时序。此种方式还支持四种操作的组合,如通过写后读来进行硬件校验、支持连续擦除-写操作等。

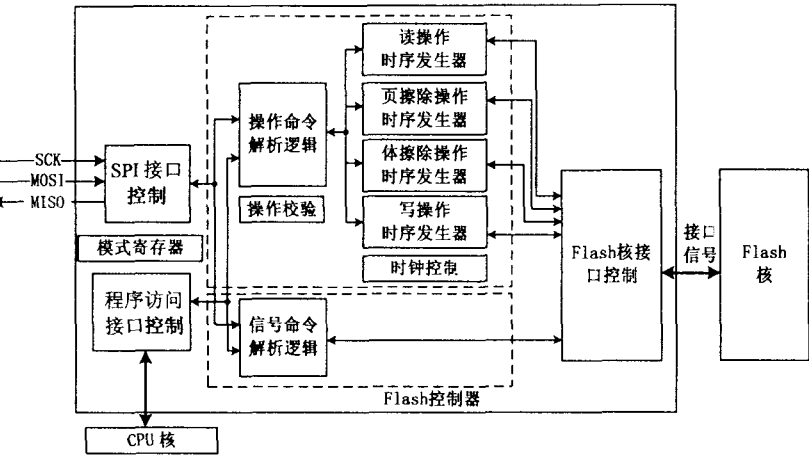


图 2 Flash 控制器结构

控制器中虚线深色框中示意了实现 Flash 控制的第二种模式:硬件直接控制 Flash 接口信号。信号命令解析逻辑是从 SPI 接口或程序访问控制接口接收到的,是定义好的用于控制每个信号时序的字节序列,该逻辑根据这些字节序列控制 Flash 核接口的某个信号时序,多个信号的控制组成 Flash 的某种操作。

Flash 核接口控制模块接收各路时序发生器传输而来的对一个或多个信号的控制,综合成一组统一的 Flash 核的接口信号。Flash 控制器选择哪种方式进行

核的控制由模式寄存器中的值指定。该寄存器记录了控制方式、每种方式下控制器工作的阶段状态等信息,其内容可通过 SPI 接口或程序修改,从而达到能灵活指定 Flash 控制器编程模式的目的。

3 命令设计

双模式 Flash 控制器需定义操作命令和信号命令来控制两种模式执行。命令定义为连续的字节序列,解析逻辑对特定字节序列的识别用于引发某个操作执行或某个信

号变化。字节序列中不仅包含标识某个操作或某个信号的特征码,有的还必须包含地址、数据等信息。特征码可长可短,较短的特征码(一般为 1~2 个字节)实现较为简单,较长的特征码(一般为 3~6 个字节)可靠性比较高,不容易出现对传输误码的误判,但会影响编程速度。双模式 Flash 控制器使用的是速度较慢的 SPI 接口,第一种模式使用的操作命令种类较少,可使用较长的特征码,第二种模式要逐一控制的信号较多,所以使用较短的特征码(见表 1)。

表 1 双模式控制器命令

第一种模式的操作命令			
命令	字节序列	说明	总长度
读主存储空间	aa-30-4c-ax-ay	行地址 ax、列地址 ay	5
读 info 空间	aa-32-ac-ax-ay	行地址 ax、列地址 ay	5
主存储空间页擦除	aa-61-4c-ax	页地址 ax	4
info 空间页擦除	aa-38-a0-ax	页地址 ax	4
主存储空间体擦除	aa-c4-8a		3
全空间体擦除	aa-40-e4		3
写主存储空间	aa-4c-50-ax-ay-d	行地址 ax、列地址 ay,写入数据字节 d	6
写 info 空间	aa-a0-52-ax-ay-d	行地址 ax、列地址 ay,写入数据字节 d	6
第二种模式的信号命令			
命令	字节序列	命令	字节序列
擦除状态设置	b1-50	页擦除使能 PSE 变高	55-87
编程状态设置	ac-e4	页擦除使能 PSE 变低	aa-8a
行选通 RSE 变高	55-01	编程使能 PE 变高	55-74
行选通 RSE 变低	aa-cf	编程使能 PE 变低	aa-5c
列选通 CSE 变高	55-82	编程保持 SVE 变高	55-59
列选通 CSE 变低	aa-8e	编程保持 SVE 变低	aa-7a
区域选通 FSE 变高	55-63	擦除使能 ERE 变高	55-43
区域选通 FSE 变低	aa-6b	擦除使能 ERE 变低	aa-4d
片选 CE 变高	55-11	行地址输入 RADR	55-ef-ax
片选 CE 变低	aa-d2	列地址输入 CADR	aa-a7-ay
读输出使能 OE 变高	55-25	写数据输入 DI	55-aa-ff-d
读输出使能 OE 变低	aa-a7		

具体设计中,第一种模式能支持页数不超过 256, 存储单元位宽为 8bits,总容量不超过 64kB 的 Flash 访问,读写地址分为行、列地址以字节形式表示进入控制器,页擦除时只需传送页地址,写操作时在地址之后还需传送待写字节数据。写操作执行完后时序发生器还将自动产生读相同单元的操作时序以检查写是否正确,并通过 SPI 数据输出接口报告错误信息。

基于第二种模式,Flash 控制器为 Flash 接口的每种信号都设计了字节序列,对于诸如片选、读输出使能等接口控制信号,字节序列所代表的命令能控制其变为 0 或 1;对于诸如地址、数据等接口信号,字节序列分别定义了传送它们的命令,软件可任意组合这些信号变化的顺序,形成合适的接口时序。由于地址和数据的输入可能为任意值,为避免与特征码混淆,第二种模式还设置了编程状态和擦除状态,也由专门特征码设置,用以标识信号命令解析逻辑进入了可接收擦除和编程信号命令的状态,并由此启动其中的互斥逻辑来生成合理的 Flash 接口时序。

4 实现

文中用 Verilog 语言实现了双模式 Flash 控制器的逻辑,利用一个统一的时钟来进行两种模式逻辑的时序控制和时间计数,在 Modelsim 上进行了该模块的功能模拟,并编制了对应两种模式的驱动程序。该控制器与 CPU 其它逻辑结合,形成了整个微处理器逻辑。整个逻辑利用了 Artisan 0.25 μm 的标准单元库以及厂商提供的核,在 Design Compiler 上进行了综合,在时钟周期为 10ns 的约束下,双模式控制器(带 Flash 硬核)的总面积约为 511376 μm^2 ,其中大部分面积为 Flash 核所占,控制器面积约占 14%。文中对整个设计网表进行了前仿,通过在测试文件中为芯片 SPI 接口加入编程激励,及通过 SPI 口特殊命令指定模式寄存器的值,分别模拟了两种模式下通过 SPI 口进行程序写入及运行的全过程,得到正确的运行结果。这说明 Flash 控制器能正确接收编程命令,并控制 Flash 进行数据存取。

表 2 和图 3 给出了基于 Flash 核访问时间设计的控制器的编程性能。第一种模式编程和擦除的时间需时钟计数,因此编程绝对时间和时钟频率有关,控制器按应用的最大频率(40MHz)设置计数器宽度。第二种模式编程时间由外部控制,不受时钟影响,编程绝对时间基本接近 Flash 核各操作要求的最小时间。模拟第一种模式,模拟器要采样每个时钟变化时的信号,使得程序加载的模拟时间很长,而第二种模式中编程和擦

除所需等待的微妙及毫秒级时间是表述在测试激励中的,所以模拟的速度很快,有利于加快整个设计验证进度(从几小时变为几十分钟)。实际应用中,如果处于设计峰值频率,第一种模式需要 SPI 口传输的命令比较少,所以接口速度较快,稳定性高。

表 2 双模式控制器性能

	页擦除	体擦除	4kB 空间写
I(cycles)	840000	8390000	1640 \times 4k
II	20ms	200ms	40 μs \times 4k

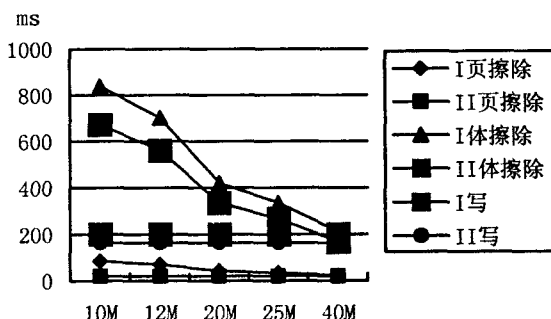


图 3 第一种模式(I)和第二种模式(II)各操作性能

5 结束语

双模式 Flash 控制器以 Flash 硬核模型为基础,结合了硬件直接实现硬核的编程操作和软件控制硬核的编程信号两种模式,实现了能以较快速度和较简单驱动控制的 Flash 的逻辑和能以较高灵活性控制 Flash 的逻辑。当 Flash 模型的时序发生变化时,该控制器第二种模式的逻辑只需简单修改(增减若干接口)就能很好匹配新模型时序要求。目前的双模式控制器各种命令定义都是固定的,下一步的工作将探讨在硬件中支持命令修改的方法和相应的安全问题。

参考文献:

- [1] 8-bit Microcontroller with 1K Bytes In-System Programmable Flash[EB/OL]. 2007-03-08. <http://www.atmel.com>.
- [2] 80C51 8-bit microcontroller family[EB/OL]. 2007-04-10. <http://www.ortodoxism.ro/datasheets/philips/P87C51SBAA.pdf>.
- [3] 赵海舰,甘萌.嵌入式系统中的 Flash 编程技术研究[J].计算机工程与设计,2005(11):3006-3009.
- [4] Preliminary FLASH MEMORY K9WAG08U1M datasheet[EB/OL].2006-06-21. www.samsung.com.
- [5] 杨金岩,郑应强,张振仁.8051 单片机数据传输接口扩展技术与应用实例[M].北京:人民邮电出版社,2005.