

CMOS Sensor 接口在 SOC 中的实现

李建军, 刘佩林

(上海交通大学, 上海 200030)

摘要:介绍了基于 ARC600 的 SOC 芯片中 CMOS 图像传感器接口 IP 模块的设计方案,重点分析了 CMOS 传感器输出的两种常用时序,特别是 ITU656-like 模式的引入,并介绍了如何在 SOC 内部设计更好的 CMOS 传感器接口。这里是把传感器输出的图像值同步到内部的时钟域上后,将相应的值分为 Y, U(Cb), V(Cr) 三种分量进行重排序,装入内部缓存,然后将缓存的值通过 AHB Master 接口直接存储器存取方式传输到片外存储器内,为后续的图像处理提供数据。经验证分析,考虑系统资源后,该设计可以达到 QVGA 的动态刷新的带宽,以满足市场的需求。

关键词:传感器;片上系统;直接存储器存取;带宽

中图分类号:TP311

文献标识码:A

文章编号:1673-629X(2008)10-0133-03

Realization of CMOS Sensor Interface in SOC System

LI Jian-jun, LIU Pei-lin

(Shanghai Jiaotong University, Shanghai 200030, China)

Abstract: In this paper, a CMOS image sensor interface IP integrated in SOC chip with ARC600 core is presented. It analyzes two kinds of the CMOS sensor output timing, especially the ITU-656 like mode, and how to design CMOS sensor interface in SOC is introduced. It synchronizes the sensor data to the internal clock, separates the data into 3 channels and loaded into internal buffer. Finally it transfer to the external memory by AHB master interface with DMA mode are presented. It generates the video data for back-end image processing. After verification, it can reach the bandwidth when refresh QVGA in dynamic mode. So it can satisfy the marketing.

Key words: sensor; SOC; DMA; bandwidth

0 引言

图像传感器随着在数码技术、半导体制造技术以及网络的迅速发展,使目前市场和业界都面临着跨越各平台的视讯、影音、通讯大整合时代的到来。以产品类别区分,图像传感器产品主要分为 CCD、CMOS 以及 CIS 传感器三种。而目前市场上 CMOS 传感器占了很大的份额,未来几年,对 CMOS 传感器的主要市场需求将首先来自手机市场,然后是数码相机和 PC 摄像头,再其次是玩具和 PDA,最后是医疗电子和汽车电子市场(如汽车的前视、侧视和后视系统)。

既然目前摄像头被广泛应用于各个场合,那势必要求如何准确采集摄像头数据成为一门很重要的课题。现在大多数的做法是通过 Sensor 输出的 PCLK, VSYNC, HSYNC, Data(8/10bit)来采集图像数据^[1],而随着大规模集成电路的发展,很可能多一个 PAD 会导

致整个芯片 Die Size 的增加。基于此原因,在这里设计一款 CMOS Sensor 接口电路来解决这个问题,新设计的电路一方面兼容主流的方法,另一方面可以通过 ITU656-like(只有 PCLK, Data[7:0], 共 9 个信号)方式接收数据,并介绍如何集成在 SOC 里的。

1 CMOS Sensor 输出接口的时序

在设计 CMOS Sensor 接口时,需要考虑兼容性,既要兼容各家厂商的 Sensor,除了像素大小、数据位宽外,最关键的要考虑接口时序问题。而按照目前市面上 CMOS Sensor 的产品,输出时序最主要有 2 种形式(这里针对输出的数据是 YUV422 格式^[2]的分析):一种是时钟、数据(Data [7:0]/Data [9:0])和同步信号(VSYNC, HSYNC)同时输出的;另一种是 ITU656-like 的输出形式^[3],即只有时钟和数据,且类似于 ITU656 的结构模式。下面首先分析的是带有同步信号输出的时序结构框图(见图 1)。

VSYNC 有效的时候,表示新的一帧图像传输的开始;而 HSYNC 有效的时候,表示 Data(图像像素值)的

收稿日期:2008-01-17

作者简介:李建军(1978-)男,工程硕士,研究方向为集成电路芯片设计;刘佩林,教授,博士生导师,研究方向为音视频的多媒体信源编解码器和集成电路芯片设计。

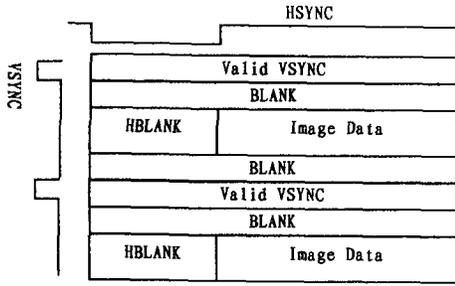


图 1 带有同步信号输出的时序结构框图

有效;同时各帧之间有帧消隐,每一帧内的各行间有行消隐。图 2 是带有同步信号输出的时序图,在 HSYNC 有效的每一个时钟周期内,都会输出相应有效的图像像素值(假设图像的大小是 640x480)。

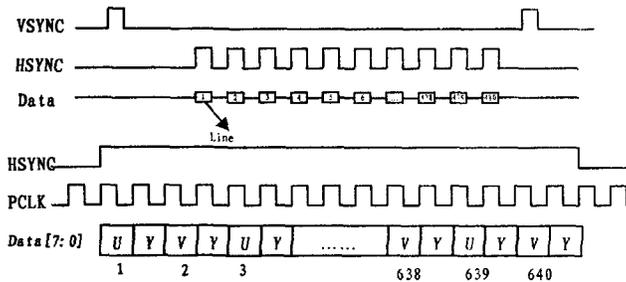


图 2 带有同步信号输出的时序图

以下分析的是在 CMOS Sensor 输出的 ITU656-like 的时序框图(见图 3)。

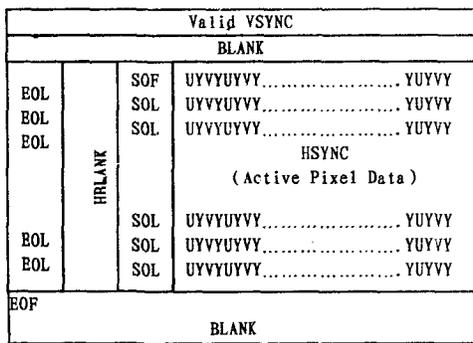


图 3 ITU656-like 的时序框图

同样此种模式和带有同步信号输出的总体结构有点类似,它们都带有消隐,即帧/场消隐和行消隐,只不过这种模式不是通过真实的 VHSYNC 和 HSYNC 这 2 个同步信号(即不是从 CMOS Sensor 端口输出的信号),而是通过数据来解码出这 2 根线,一般通过数据解析出相应的同步头标记:帧开始(SOF),行结束(SOL),行开始(SOL),帧结束(EOF),然后通过这些标记来解析出 VSYNC 和 HSYNC 这 2 根线,下面图 4 是通过同步头标记(SOF/SOL/EOL/EOF)解析出隐藏着的 HSYNC 信号时序。

同理可以解析出相应的 VSYNC 信号。

一般同步头标记由 4 个数组成,如在 ITU656 标

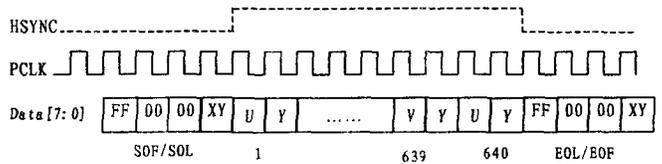


图 4 同步头标记解析出 HSYNC 信号的时序图。准中是 FF,00,00,XY。当然各个 CMOS Sensor 生产厂家定义的规格不一定会相同,但是基本原理是一样的。作为要硬件实现的话,这 4 个数值最好用寄存器(CPU 的 memory map 可以看到)来实现,这样不同的 CMOS Sensor 定义的不同数值可以通过 CPU 的预设以实现标志头的解析。一旦解析出相应的 VSYNC 和 HSYNC,后面的数据采集和第一种方法就一致了。

2 SOC 系统架构

此设计是实现如何有效地采集 CMOS Sensor 数据的接口(CIF),并怎样在整个 SOC 中集成和应用。首先介绍该系统的架构图(见图 5)。

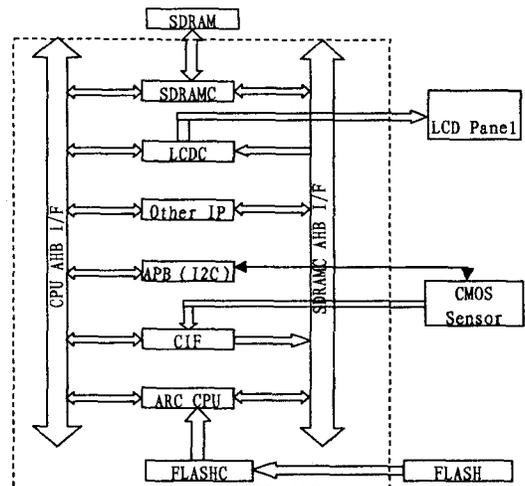


图 5 系统的架构图

这个设计通过 ARC600 作为整个 SOC 的核心处理器,其 CPU Core 时钟可以达到 200MHz,而通过和外部交换数据的 AHB 总线时钟可以在 100MHz 工作。高速外设都工作在 AHB 100MHz,如 LCDC, SDRAMC, FLASHC, CIF 等;而低速外设则通过 AHB Bridge 到 APB 外围设备上,如 I2C, SPI 等这些外围 IP 都工作在 50MHz 或更低的频率上。

SDRAM 是起到 video buffer 的作用,即 Sensor Interface 把采集到的数据通过 SDRAM Controller 暂存在 SDRAM,而通过和 CPU 的交互(主要是硬件中断响应),通知 LCDC:外部图像已经有更新,然后 LCDC 通过 SDRAMC 到相应的 SDRAM 上取数并显示到 LCD Panel 上,这是一种非常直观的检测 Sensor 取数是否正确的办法。而 CIF 模块就是 CMOS Sensor 接口电路。

3 CMOS Sensor 接口架构

图 6 是整个 CMOS Sensor 接口电路的结构框图(虚线框里是实现 CMOS Sensor 接口电路)。

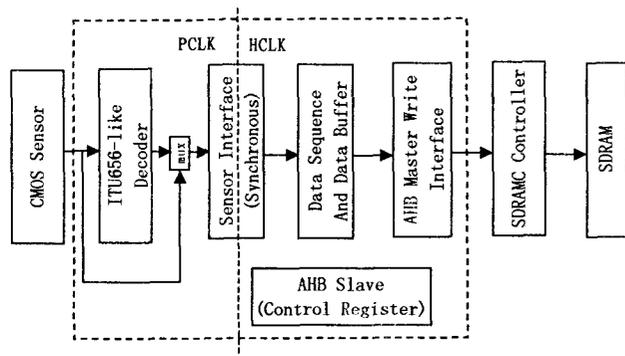


图 6 CMOS Sensor 接口电路的结构框图

ITU656-like Decoder 是用来在数据线上解析图像的帧开始(SOF),行结束(SOL),行开始(SOL),帧结束(EOF),最终模拟出 VSYNC 和 HSYNC 这 2 个信号。这个模块是针对芯片的 PAD 只用到 PCLK 和 Data[7:0]这 9 个信号的,否则的话,带有同步信号的接口信号直接从 PAD 传到 Sensor Interface 模块。

Sensor Interface (Synchronous) 将 sensor 的 PCLK (每种 sensor 的 PCLK 频率不一样)时钟域的数据总线或同步信号经过同步电路同步到 AHB 的时钟域^[4]。但是这个电路在工作时要求 AHB 的时钟永远要比 PCLK 快。

AHB Slave (Control Register) 这一电路是一些寄存器配置(可以在 CPU 的 memory map 里面找到),如输入的图像大小,截取图像窗口的大小,中断管理,图像暂存在外部 memory 的基(首)地址寄存器等。它是和 ARC Core CPU 的 AHB 接口通信的,而 ARC CPU 的 AHB 作为 AHB master。

Data Sequence and Data buffer 控制电路是这样的:它将输入的 UYVY(8bit 模式)或 Y/C(16bit 模式)按一定的顺序输出,这样输出一个统一 data 时序(这里规定:输出到 data buffer 那里的先后顺序为 U, V, Y);而 Data buffer 里面有 2 个 128x32bit 的 buffer。它是一对 ping-pong buffer,每个 buffer 的前 64x32bit (buffer 的地址是从 0 到 63)给 Y data 缓存,中间的 32x32bit (buffer 的地址是从 64 到 95)给 U data 暂存,而最后剩下的 memory (buffer 的地址是从 96 到 127)给 V data 暂存。一旦一个 buffer 满了,就通过 CIF 内部的 AHB master 和 SDRAMC 输出到外部的 memory 里面, data 输出的顺序是也是按 U, V, Y 的先后顺序输出,当然这种秩序没有一定的要求,如果硬件做成某一种模式,那就定了,作为用户来说,是不需要知道内部按什么秩序输出的。

AHB Master Write Interface 主要是实现 Y, U, V 通过 AHB 总线, DMA 的方式输出到外部存储器。该 AHB master 的功能兼容 AMBA 总线。在设计中需要注意的是 AHB 在 burst 传输时,有 1k bytes 的边界要求^[5],这是非常重要的,否则传输数据会有问题。

4 测试结果

在 ASIC 上仿真时,如系统的架构图,ARC CPU 先到 Flash 取指令,通过 I2C 对外部 CMOS Sensor 配置^[6],然后启动 CIF 和 LCDC 模块。CMOS Sensor 的图像值经 CIF 和 SDRAMC 写入 SDRAM,然后 CIF 产生响应的硬件中断告诉 ARC,图像数据已经准备好;ARC 就会通知 LCDC 该图像的大小,及 Y、U、V 这 3 个分量在外部 memory 的首地址等;最后 LCDC 根据这些信息通过 SDRAMC 到外部 memory 取数并显示到液晶屏上。

经过测试,对于不同的图像大小,CIF 在 32 位 AHB 总线上消耗的时间周期和带宽是不一样的,如表 1 所示。

表 1 不同大小图像在 AHB 总线所占资源比较表

图像大小	32 位 AHB 总线上消耗的时间周期数目	在 100MHz 的系统下所占 32 位 AHB 带宽的百分比(%)	在 100MHz 的系统下,约 32 位 SDRAM 带宽的百分比(%)
352x288	50688	0.507	0.85
640x480	153600	1.54	2.57
1024x768	393216	3.93	6.55
1600x1200	960000	9.6	16
2048x1536	1572864	15.73	26.2

这种设计既考虑兼容以前的模式,又考虑到芯片管脚的容限。经过逻辑综合,该电路可以达到 100MHz。通过分析这个设计的功能和带宽及考虑系统的开销,它可以达到 QVGA(320x240)的动态刷新,满足目前市场的应用。

参考文献:

- [1] 师青,杨银堂. 嵌入式系统上的视频采集子系统[J]. 计算机技术与发展,2006,16(1):198-200.
- [2] OmniVision 公司. OV511 + Product Specifications[EB/OL]. 2000-03-13. <http://www.ovt.com>.
- [3] MagnaChip Semiconductor Ltd. MC501CB Product Specifications (Version 1.3)[EB/OL]. 2006. <http://magnachip.com>.
- [4] 刘绍燕,秦建业. CMOS 图像传感器接口[J]. 电子测量技术,2005(4):76-77.
- [5] ARM 公司. AMBA(tm) Specification (Rev 2.0)[EB/OL]. 1999. <http://www.arm.com>.
- [6] 秦承虎,王金刚. 基于 I2C 总线的图像传感器接口设计[J]. 电子测量技术,2006,29(3):169-170.