

一种用单端口 SRAM 构成的 FIFO 的 ASIC 设计

余志强,戎蒙恬,袁丹寿

(上海交通大学,上海 200240)

摘要:提出了一种基于单端口 SRAM 的 FIFO 电路。此模块电路应用于视频图像处理芯片中,完成同步经过处理后产生相位差的亮度 Y 信号和色度 U、V 信号的功能。电路的逻辑控制部分用 Verilog 硬件描述语言作 RTL 描述设计,存储器电路用 Memory Compiler 编译生成的 SRAM。利用 NC-Sim 作了仿真测试,实现了视频信号同步功能,在不增大存储器总容量的情况下完成了和用双端口 SRAM 构成的 FIFO 电路相同的功能。应用本电路的芯片已顺利完成了流片。

关键词:FIFO;图像处理;像素;单端口 SRAM

中图分类号:TP391.41

文献标识码:A

文章编号:1673-629X(2008)09-0159-03

ASIC Design of an FIFO Involving Single Port SRAM

YU Zhi-qiang, RONG Meng-tian, YUAN Dan-shou

(Shanghai Jiaotong University, Shanghai 200240, China)

Abstract: Presents a circuit of FIFO involving single port SRAM. The module circuit is used in video image process chip, achieving the function of synchronizing luminance Y signal and chroma U, V signals. The logic controlling circuit is described using Verilog HDL language, the memory circuit is SRAM produced by memory compiler. Adopts NC-Sim to simulate and test, achieving the function of synchronizing video signals, achieving the same function as the FIFO of dual port SRAM with the same area. The chip including the FIFO has been tapeout successfully.

Key words: FIFO; image process; pixel; single port SRAM

0 引言

FIFO是英文First In First Out的缩写,是一种先进先出的数据缓存器^[1]。FIFO一般用于不同时钟域之间的数据传输。根据FIFO工作的时钟域,可以将FIFO分为同步FIFO和异步FIFO。同步FIFO是指读时钟和写时钟为同一个时钟,在时钟沿来临时同时发生读写操作^[2]。异步FIFO是指读写时钟不一致,读写时钟是互相独立的。

1 设计方法和流程

视频图像处理系统处理的主要是Y、U、V信号。Y指代的是亮度信号,U、V指代色度信号。视频图像的每一个像素值可用Y、U、V三个值来表示。由于人眼对亮度信号敏感,对色度信号敏感性弱一些,所以视频图像处理电路一般对亮度信号作的处理较多也较复

杂,而对色度信号的处理相对简单。

本数字图像处理系统中,对亮度Y信号作了降噪,复杂滤波,GAMMA校正,亮度增强等多重处理,而对色度U、V信号仅仅作了简单的滤波处理和色度调节。由于电路对Y信号处理较多,电路延时也就相应较大,这样同一个像素的Y、U、V信号就在时序上产生了偏差。在视频图像处理电路输出端口上,同一像素的U、V信号先到,Y信号会延迟许多个时钟周期后才到,这就必须使用FIFO电路来同步Y、U、V信号,以保证同一个像素的亮度信号和色度信号同步输出,不会在显示设备上造成亮度、色度分离,产生图像失真。

本模块电路的工作原理是首先将像素的U、V信号存入FIFO保存,等这个像素滞后的Y信号到来时读出U、V信号,这样就把每个像素的Y、U、V三个信号同时完整地输出。在视频图像信号中,通常用场频信号和行频信号来标示时序。在本系统中,增加了一个VALID信号来标示经过处理后的亮度和色度信号。由于同一个像素的亮度Y信号最多只比色度U、V信号延迟几十个时钟周期,不会出现错开一帧或者一行

收稿日期:2007-12-08

作者简介:余志强(1977-),男,湖北武汉人,硕士研究生,研究方向为集成电路方法学、图像处理芯片研究;戎蒙恬,教授,博士生导师,研究方向为通信芯片设计、安全密码算法研究及VLSI实现、SOC设计方法学研究。

的情况,所以用 VALID 信号来同步 Y,U,V 信号。FIFO 电路用 U,V 的 VALID 信号作写使能信号,把 U,V 信号写入 FIFO,用 Y 的 VALID 信号作读使能信号,读出 FIFO 中存储的 U,V 信号与 Y 信号同步输出。FIFO 电路的深度由 Y 信号的最大延时决定。

本设计采用业界主流的自顶向下(Top-down),基于标准单元库(Standard Cell)的 ASIC 设计流程,电路的逻辑控制部分用 Verilog 硬件描述语言作 RTL 描述设计^[3],存储器电路用 Memory Compiler 编译生成的 SRAM。整个电路经过功能仿真、综合、布局布线、静态时序分析、后仿真、直至流片^[4]。

2 双端口 SRAM 构成的 FIFO

一般的 FIFO 电路大多采用双端口 RAM,结构如图 1 所示。

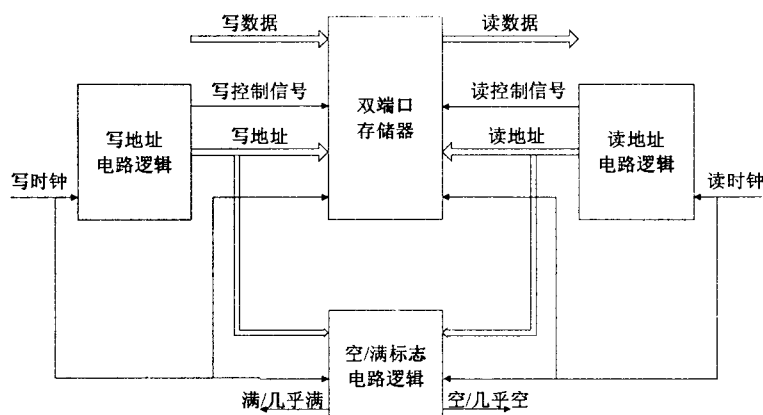


图 1 采用双端口 RAM 的 FIFO 结构框图

采用双端口 SRAM 的 FIFO 电路主要应用于异步 FIFO^[5]。电路分为两个完全独立的时钟域—读时钟域和写时间域;可以同时进行读写操作。在写时钟域部分,由写地址产生逻辑产生写控制信号和写地址;读时钟部分由读地址产生逻辑产生读控制信号和读地址。在空/满标志产生部分,由读写地址相互比较产生空/满标志^[6]。

3 单端口 SRAM 构成的 FIFO

本设计考虑采用双端口 SRAM 的话,控制电路与存储器单元之间的接口较多,给后端布局布线带来较大压力,所以提出了一种新的思路,采用单端口 SRAM 实现 FIFO 电路,控制电路会稍微复杂一些,可以实现与双端口 SRAM 构成的 FIFO 电路同样的功能。双端口 SRAM 有两套译码电路,可以同时完成读写操作^[7];单端口电路只有一套译码电路,同一个时钟周期只能进行单一的读或写操作。而在本系统中,FIFO 读出 U,V 信号的同时还要写入后续的 U,V 信号。为了

避免读写冲突,设计采取了存储单元位宽加倍,存储地址减半的方法。这样在不增加存储容量及电路面积的前提下实现了与采用双端口 SRAM 电路同样的功能。一般视频 Y,U,V 信号为 8 比特,以同步 U 信号的 FIFO 电路为例,数据线带宽会扩大一倍,数据读写端口均为 16 比特,每个存储单元的位宽同为 16 比特,但存储单元数量减少到一半,地址线位宽也减少一个比特。每次写入连续的两个像素的 U 信号值,每次读出也是连续的两个像素的 U 信号值,在读写数据端口各有一个由 2 个 8 比特寄存器构成的类似 FIFO 的小电路,小电路实现单像素 U 信号的写入和读出。从整个 FIFO 电路的伐层来看,U 信号可以同时进行读写操作,不会产生时序冲突。这样在相同时钟频率下数据的吞吐能力与双端口 SRAM 构成的 FIFO 一样大,完全可以满足功能要求。

本设计中只有一个系统时钟,读写周期交替进行。用 Y 的 VALID 信号和 U,V 的 VALID 信号产生地址信号和读写控制逻辑。

FIFO 顶层端口及内部结构分别如图 2,图 3 所示。

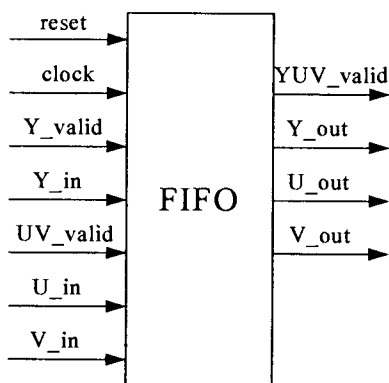


图 2 FIFO 模块顶层端口示意图

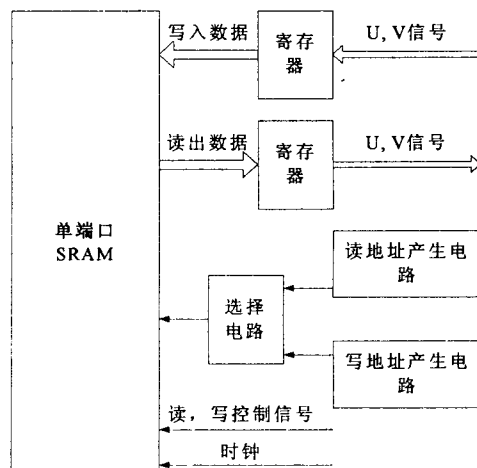


图 3 FIFO 电路内部结构框图

FIFO 电路的深度计算很重要,电路所用 RAM 的大小由 FIFO 的深度决定。本电路应用于视频图像处理系统中同步 Y、U、V 信号,FIFO 电路的深度取决于 Y 和 UV 信号的延时。Y 和 UV 信号进入 FIFO 电路前经过了图像处理算法的不同运算,Y 路和 UV 路信号处理的算法复杂程度不同,导致 Y 信号和 UV 信号有不同的延时。视频图像处理算法对 Y 信号所作的处理复杂,Y 信号经过的处理模块较多,延时也就较大;UV 信号的处理相对简单,UV 信号经过的处理模块较少,延时也小,FIFO 的深度由 Y 信号和 UV 信号的延时之差决定。如图 4 所示。

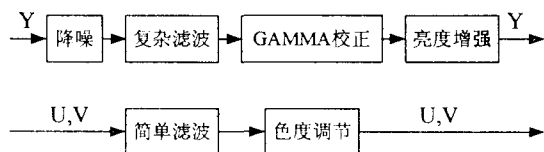


图 4 Y, UV 信号处理流程

参考图 4 中 Y 信号和 UV 信号的处理流程,可以推导 FIFO 深度的计算公式如下:

$$Y_delay = Ynoise_delay + Yfilter_delay + Ygamma_delay + Yenhance_delay \quad (1)$$

$$UV_delay = UVfilter_delay + UVadjust_delay \quad (2)$$

$$FIFO_lenth = (Y_delay - UV_delay) / 2 \quad (3)$$

在等式(1~3)中,Y 信号延时与 UV 信号延时的差之所以要除以 2,是因为本设计采用的是单端口 SRAM,存储单元位宽扩大了一倍。根据以上公式算出 FIFO 深度以后,就可以决定本模块电路所用 SRAM 的大小。

控制电路的实现采用了状态机的设计。在 Y、U、V 信号到来之前,状态机处于空闲状态。经过电路处理后的 U、V 信号先到来之后,状态机跳转到写入状态,把 U、V 信号写入 FIFO 电路存储下来。Y 信号到来后,状态机进入读出状态,读出与 Y 信号同一个像素的 U、V 信号。接着状态机交替进入写入和读出状态。所有的 U、V 信号写入 FIFO 电路一遍后,状态机保持在读出状态。全部 Y 信号输出以后,状态机重新回到空闲状态。如图 5 所示。

4 设计与仿真结果

仿真工具采用 Cadence 公司的 NC-Sim,对本模块电路在单独环境和芯片整体环境下分别作了仿真。仿真测试主要针对两类情况:一种是对输入为各种格式大小的图像,图像的格式大小不同,经过本模块前的

电路处理后的亮度 Y 信号与色度 U、V 信号错开的时钟周期不相同;另一种情况是,本模块前的各块处理电路都有工作和旁路两种模式,各个处理模块工作或旁路的情况下,经过本模块前的电路处理后的亮度 Y 信号与色度 U、V 信号错开的时钟周期也不相同。测试时,本芯片系统支持的所有格式的图像都有输入,本模块前的各块处理电路开关两种模式均有覆盖。根据两类情况的所有组合方式产生了大量的测试矢量,在所有状况下,本模块电路都能正常工作,在最极端的情况下,FIFO 也无数据溢出和读空的现象,同一像素的 Y、U、V 信号也无错位现象。

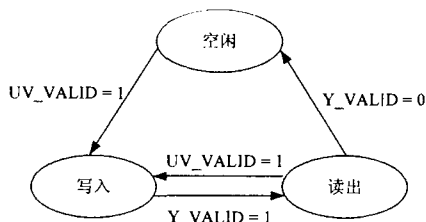


图 5 FIFO 控制电路状态图

5 结束语

本设计采用单端口 SRAM 实现了 FIFO 电路,在不增大存储器总容量的情况下完成了和用双端口 SRAM 构成的 FIFO 电路相同的功能。本设计减少了控制逻辑电路与存储器之间的连线,有利于后端的布局布线,降低了功耗和电路面积。本设计所在的芯片已顺利完成了流片,并应用到了实际产品中,电路工作一直正常。

参考文献:

- [1] 李爱华. 高速 FIFO 存储芯片 IDT7207 在虚拟逻辑分析仪设计中应用[J]. 元器件与应用, 2003(3): 39-42.
- [2] 景 艳, 黄士坦, 张遂南. 一种基于 FPGA 实现的高速缓存设计[J]. 微机发展, 2005, 15(9): 141-144.
- [3] Ciletti M D. Advanced Digital Design with the Verilog HDL [M]. 影印版. 北京: 电子工业出版社, 2004.
- [4] 夏宇闻. 从算法设计到硬线逻辑的实现[M]. 北京: 北京航空航天大学出版社, 2001.
- [5] 郝晓莉, 刘洪波, 沈绪榜. 异步 FIFO 中存储单元的分析设计[J]. 计算机技术与发展, 2007, 17(3): 40-43.
- [6] 吴自信, 张嗣忠. 异步 FIFO 结构及 FPGA 设计[J]. 单片机及嵌入式系统应用, 2003(8): 24-30.
- [7] Cummings C E. Synthesis and Scripting Techniques for Designing Multi-Asynchronous Clock Designs[M]. 3rd Edition. San Jose: CA Voted Best Paper, 2001.