

一种基于FPGA的CPU设计

王本有^{1,2}, 苏守宝², 汪德如²

(1. 安徽大学 电子科学与技术学院, 安徽 合肥 230039;

2. 皖西学院 计算机科学与技术系, 安徽 六安 237012)

摘要:基于现场可编程(FPGA)技术和硬件描述语言 VHDL 的设计和综合,通过自顶向下的设计方法和模块化设计思想,在 Quartus II 环境下能定制、仿真、下载验证和实现 CPU 功能。通过 VHDL 语言定制了运算器 ALU 模块和调用宏模块定制了 RAM 模块,介绍了基于 FPGA 的 CPU 设计方法,并通过初始化程序进行验证,实现了基于 FPGA 的 CPU 功能,表明基于 FPGA 技术在设计 CPU 核和大规模集成电路设计方面可根据实际情况定制,具有灵活性、可靠性和可扩展性。

关键词:FPGA; CPU; Quartus II; 仿真; 宏模块

中图分类号: TP368.1

文献标识码: A

文章编号: 1673-629X(2008)06-0221-04

CPU Design Based on FPGA

WANG Ben-you^{1,2}, SU Shou-bao², WANG De-ru²

(1. School of Electronic Science and Technology, Anhui University, Hefei 230039, China;

2. Department of Computer Science and Technology, West Anhui University, Lu'an 237012, China)

Abstract: CPU design can be made, simulated and tested on Quartus II by means of a top-down method and modular design based on the integration of FPGA and VHDL. Introduces the design of CPU which applies module ALU based on VHDL and module RAM based on macro module and the test of the design by the initialization program. The result suggests that the FPGA-based CPU design is custom-made with flexibility, reliability and easiness for extension.

Key words: FPGA; CPU; Quartus II; simulation; macro module

0 引言

随着计算机技术和大规模集成电路技术的发展,在涉及计算机应用、通信、自动化等领域的电子系统设计中,现场可编程技术的运用正以惊人的速度上升。特别是随着 VHDL 等硬件描述语言综合工具功能和性能的提高,计算机中许多重要的元件,包括 CPU 都可基于 FPGA(现场可编程门阵列)用硬件描述语言来设计和表达,如 8051 单片机、硬核嵌入式系统 ARM、软核嵌入式系统 Nios^[1]、高速缓存设计^[2]、数据采集板^[3]等,乃至整个计算机系统都可用 FPGA 来实现。CPU 核是 SoC 和 SOPC 技术的核心^[4,5],开发出具有自主知识产权的 CPU 核对我国在电子技术方面跟上世界先进的步伐,提高信息产业在世界上的核心竞争力有着重大意义。传统的 CPU 设计使用的芯片

种类繁多,实验中需要花许多时间进行大量的连线,系统的可靠性低,由于芯片或连线出现的各种故障排查困难。利用 EDA 技术在一片芯片上形成 CPU,不受硬件条件的控制,可根据实际要求定制合适的 CPU。传统的 CPU 结构模式——冯诺依曼结构和哈佛结构正在受到巨大的挑战,CPU 的设计技术进入了一个全新的时代。

1 FPGA 简介

FPGA(现场可编程门阵列)与 CPLD(复杂可编程逻辑器件)都是可编程逻辑器件,它们是在 PAL、GAL 等逻辑器件的基础之上发展起来的。同以往的 PAL、GAL 等相比较,FPGA/CPLD 的规模比较大,它可以替代几十甚至几千块通用 IC 芯片,具有处理速度快、存储容量大、I/O 功能强、功耗低及实时响应快等特点,而且操作灵活,可以重复擦写无限次,扩展性强^[6]。利用 FPGA 技术,可方便灵活地设计出简单完整的 CPU 模型机^[7]。基于查找表硬件结构的 FPGA 是当前进行快速系统原型设计最流行的 ASIC 手段,利用 VHDL

收稿日期:2007-09-22

基金项目:安徽省自然科学研究重点资助项目(KJ2007A087)

作者简介:王本有(1970-),男,安徽六安人,硕士研究生,讲师,主要研究方向为嵌入式系统及应用;苏守宝,博士,副教授,主要研究方向为智能计算与 FPGA。

和 ALTERA 公司的 CYCLONE 系列 FPGA 产品内部的 LPM 可以实现微程序控制和管理复杂逻辑电路^[1,5]。这样的 FPGA/CPLD 实际上就是一个子系统部件,这种芯片受到世界范围内电子工程设计人员的

广泛关注和普遍欢迎。FPGA 一般有三种可编程电路和一个用于存放数据的 SRAM 组成,这三种可编程电路是:可编程逻辑块 (CLB, Configurable Logic Block)、可编程输入/输出模块 (IOB, I/O Block) 和互连资源 (IR, Interconnect Resource),其基本结构如图 1 所示。FPGA 可分为一次编程型和可重复编程型两类,本设计使用后者。

(1) 可编程逻辑块 CLB。

CLB 是 FPGA 的主要组成部分,是实现逻辑功能的基本单元,主要由逻辑函数发生器、触发器、数据选择器等电路组成。

(2) 输入/输出模块 IOB。

IOB 提供了器件引脚和内部逻辑阵列之间的连接,通常排列在芯片的四周,主要由输入触发器、输入缓冲器、输出触发/锁存器和输出缓冲器组成。每个 IOB 控制一个引脚,可被配置位输入、输出或双向 I/O 功能。

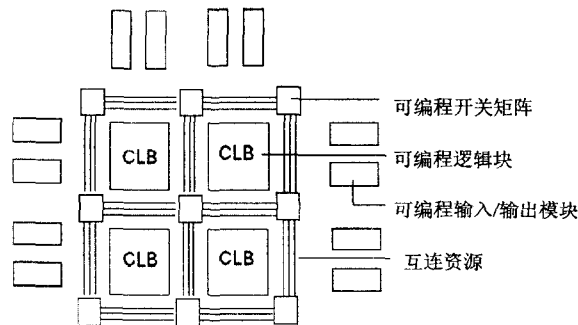


图 1 FPGA 结构

(3) 可编程互连资源 IR。

可编程互连资源包含各种长度的金属连线线段和一些可编程连接开关,即可编程开关矩阵,它们将各个 CLB 之间和 CLB 与 IOB 之间互相连接起来,可构成各种复杂功能的系统。

2 CPU 设计

CPU 设计采取自顶向下的方式进行设计,可以用 VHDL 语言设计各模块和各模块之间的关系,也可以在 Quartus II 环境下用图形设计方法设计顶层文件,

CPU 顶层文件由如图 2 所示各部分组成,主要由运算单元 (ALU)、控制器 (Control)、比较器 (Comp)、存储器 (RAM)、寄存器 (Reg) 等模块组成^[8]。

2.1 CPU 基本部件的设计与实现

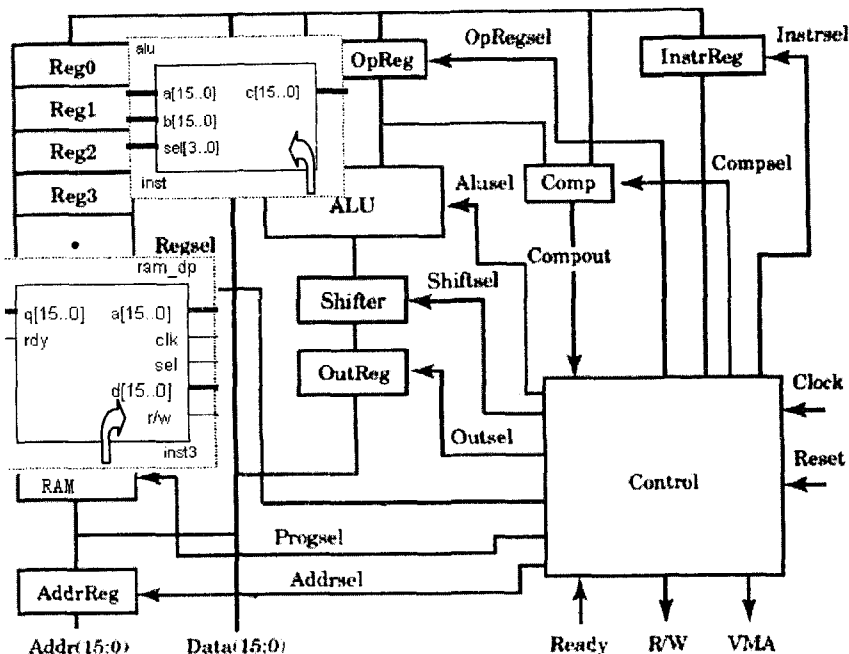


图 2 CPU 顶层结构图

图 2 各个模块都必须在 Quartus II 环境下定义其功能,并形成相应的实体结构图,这样可以在需要时调用。Quartus II 是 Altera 公司提供的 FPGA/CPLD 开发集成环境,完整的多平台设计能满足各种特定设计的需要,且界面友好,使用便捷。下面以运算器和存储器来说明模块的设计,图中空心箭头所指向的就是相应单元的实体结构图。

2.1.1 运算器 ALU

运算器根据输入的操作码不同分别实现相应的加、减、与、异或、等基本运算^[5]。根据要求可灵活规划指令,假设指令代码如表 1,使用 VHDL 语言根据规划来设计和实现其功能,程序代码如 alu.vhd,经编译、仿真正确后,用命令 File | Creat/Update | Creat Symbol Files for Current File 生成原理图中的一个实体符号,运算器 ALU 的实体符号如图 2 中所标注,该元件必须保存在当前工程的文件夹中。

```
-- alu.vhd --
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
use work.cpu_lib.all;

entity alu is
port( a, b : in bit16; sel : in t_alu; c : out bit16 );
end alu;
```

```

architecture rtl of alu is
begin
  aluproc: process(a, b, sel)
  begin
    case sel is
      when alupass => c<= a after 1 ns; when an-
dOp => c<= a and b after 1 ns;
      when orOp => c<= a or b after 1 ns; when
xorOp => c<= a xor b after 1 ns;
      when notOp => c<= not a after 1 ns; when plus => c<
= a + b after 1 ns;
      when alusub => c<= a - b after 1 ns;
      when inc => c<= a + "0000000000000001" after 1 ns;
      when dec => c<= a - "0000000000000001" after 1 ns;
      when zero => c<= "0000000000000000" after 1 ns;
      when others => c<= "0000000000000000" after 1 ns;
    end case; end process;
end rtl;

```

表1 运算器ALU的功能

sel 输入	操作	说明
0000	C=A	读出数据
0001	C=A AND B	与
0010	C=A OR B	或
0011	C=NOT A	非
0100	C=A XOR B	异或
0101	C=A+B	加法
0110	C=A-B	减法
0111	C=A+1	加1
1000	C=A-1	减1
1001	C=0	清零

建立仿真波形 VWF 文件,将设置的指令分别加入波形编辑窗中,在初值 $a = 4567H$, $b = 23ACH$ 时,仿真波形如图3所示,不同指令的运算结果为 c ,依次是读、与、或……,可验证结果正确。

比较器、控制器、寄存器等实体功能虽不同,但生成步骤相同,由于篇幅原因不再详述。

2.1.2 存储元件的设计

图2中 ram_dp 是一个存储元件,可存储 CPU 执行的指令和数据。存储器 ram_dp 由 FPGA 中的嵌入式阵列块构成,通过调用宏模块 LPM_ram_dp 并设置其相关参数来完成。此存储器的数据线和地址线都设为 16 位。定制 LPM_RAM 过程如下:在 Quartus II 环境下的 Tools 菜单中打开 MegaWizard Plug-In Manager 向导如图4所示,在左栏选择 Storage 项下的 LPM_RAM_DP,再选择 Cyclone 器件和 VHDL 语言方式,根据设计要求用向导完成 ram_dp 元件定制,包括位数、存储空间、地址锁存等信息,实体符号 ram_dp 如图2中所标注。

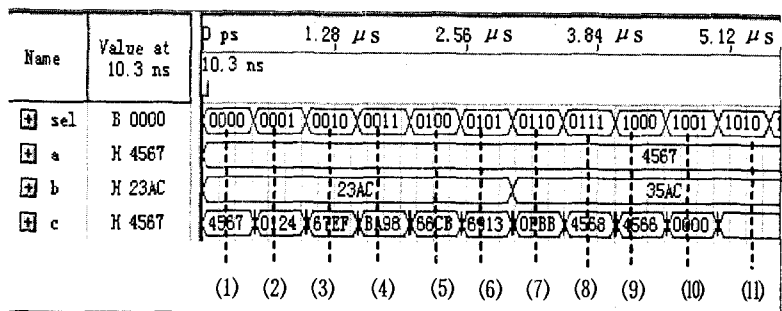


图3 运算器ALU的仿真波形

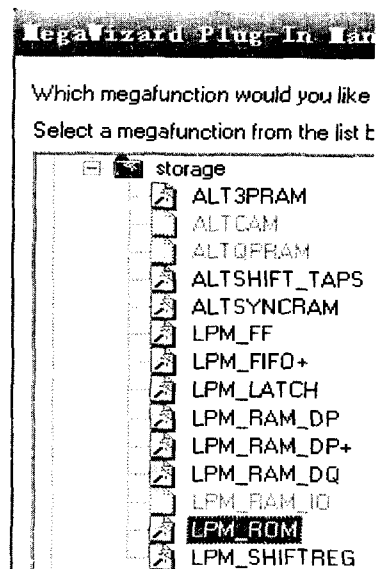


图4 LPM_ram_dp 宏模块

2.2 测试验证

为了解 CPU 在执行指令过程中,各信号的工作时序是否符合设计要求,可先定制存储器初始化文件的内容,根据规划的指令操作码建立程序,假设初始化程序的任务是将存储器的数据从一个位置复制到另一个位置,源程序、存储地址和机器码如表2,文件可选用 .mif 和 .hex 格式,在 Quartus II 环境下的 File|New|Other files 中选择,最后以相应的扩展名保存在工程中。

表2 初始化文件的内容

地址	机器码	指令	功能说明
0000H	2001H	LOADI R1,0021H	源操作数首地址 0021H 送 R1
0021H	0010H		
0002H	2002H	LOADI R2,0058H	目的操作数首地址 0058H 送 R2
0003H	0058H		
0004H	2006H	LOADI R6,0040H	结束地址 0040 送 R6
0005H	0040H		
0006H	080BH	LOAD[R1]	取数
0007H	101AH	STOR[R1]	存数
0008H	300EH	BRANCHGTI[0000]	比较 R1 > R6?,若是,则转向地址[0000]
0009H	0000H		
000AH	3801H	INC R1	修改源指针
000BH	3802H	INC R2	修改目的指针
000CH	2800H	BRANCHI[0006]	绝对转移,转移到[0006]
0006H	0006H		

整个设计完成了代码编写并成功编译,通过仿真

验证其正确,验证方法如运算器仿真,最后可下载到 FPGA 中实现,下载文件扩展名为 sof,下载时 FPGA 应处于禁止运行状态,即定制的 CPU 复位管脚 Rst 应处于复位状态。

下载完毕,运行程序,利用 Quartus II 的 In-System Memory Content Editor,将载于 FPGA 中 CPU 内 RAM 的数据读出如图 5 所示,从图 5 中可看出指令机器码、源数据和目的数据,指令运行正常,源数据和目的数据一致,表明 CPU 工作正常。

0 RAM:															
000000	20 01	00 21	20 02	00 58	20 06	00 40	08 0B	10 1A	30 0E	00 00	38 01	...	!	Y	@...0...8.
00000B	38 02	28 00	00 06	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	...	指令
000016	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
000021	FF 00	43 21	54 32	65 43	44 33	55 44	2D FF	12 34	23 45	34 56	20 30	...	CIT2eCD3UD-	4#E4V 0	...
00002C	30 33	30 68	2D 2D	34 66	A1 A2	B2 B3	C3 C4	D5 D6	E6 E7	F8 F9	AB CD	...	030h--4f
000037	EF 01	12 12	23 23	34 34	56 56	78 78	89 89	AB AB	CD CD	EF EF	00 00	...	##44Vx	源数	...
000042	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
00004D	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00
000058	FF 00	43 21	54 32	65 43	44 33	55 44	2D FF	12 34	23 45	34 56	20 30	...	CIT2eCD3UD-	4#E4V 0	...
000063	30 33	30 68	2D 2D	34 66	A1 A2	B2 B3	C3 C4	D5 D6	E6 E7	F8 F9	AB CD	...	030h--4f
00006E	EF 01	12 12	23 23	34 34	56 56	78 78	89 89	AB AB	CD CD	EF EF	00 00	...	##44Vxx	目的数	...
000079	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00	00 00

图 5 用 In-System Memory Content Editor 读取的数据

参考文献:

- [1] 潘松,黄继业.EDA技术与VHDL[M].第2版.北京:清华大学出版社,2007.
- [2] 何文波,孙德宝,吴新建.基于FPGA和PCI总线的数据采集板设计[J].微机发展,2004,14(11):27-29.
- [3] 景艳,黄土坦,张遂南.一种基于FPGA实现的高速缓存设计[J].微机发展,2005,15(9):141-144.
- [4] John M,Smith S. Application - Specific Integrated Circuits [M].北京:电子工业出版社,2004:44-73.

- [5] 潘松,黄继业,曾毓.SOPC技术实用教程[M].北京:清华大学出版社,2005:15-50.
- [6] 宋雷君,李学武.基于RISC结构的8位低功耗微控制器的设计[J].计算机应用,2003,29(7):1-3.
- [7] 赵倩,郭腊梅,闵敬国.嵌入式系统中高性能MCU控制器的设计与实现[J].上海电力学院学报,2006,22(2):109-112.
- [8] 王爱英.计算机组成与结构[M].第3版.北京:清华大学出版社,2001:24-61.

(上接第220页)

教学方式之一。它为学习者与教学者提供了一个课堂之外的交流空间,缩短了学生与教师之间的距离,使用户的学习更有针对性。本管理系统经过运行调试,基本上达到了预期的功能,能较好完成用户所提出的任务要求。

当然,本系统要成为一个实用性强的系统,还有许多路要走。在以后的实际工程应用中还有大量的工作要做,例如:信息的加密传输、必要的身份认证以及管理的近一步加强,目前视频会议使用人数还不能满足需要,与用户的交互功能上也不是很人性化,系统界面也略显粗糙,不够美观,这也是以后的工作中要努力的方向。

参考文献:

- [1] 仲进平,寿加炎.PHP+MySQL网络开发技术[M].北京:人民邮电出版社,2000.
- [2] Collins D. Carrier grade voice over IP[M]. New York: McGraw-Hill Professional,2002.
- [3] 黄东霖.基于IP的多媒体通信平台——H.323系统应用的探讨[J].电信科学,2000(3):163-164.
- [4] ITU-T Recommendation H.245-1997, Control protocol for multimedia communication[S].北京:清华大学出版社,2000.
- [5] ITU-T Recommendation H.225-1996, Call signaling protocols and media stream packetization for packet-based multimedia communication systems[S].北京:清华大学出版社,2000.