维普资讯 http://www.cqvip.com

基于虚拟仪器技术的电气测试平台的实现

王 慧[1],胡仁杰[2],康 凯[3]
(1. 东南大学 电气工程学院,江苏 南京 210096;
2. 东南大学 电工电子实验中心,江苏 南京 210096;
3. 东南大学 信息科学与工程学院,江苏 南京 210096)

摘 要:介绍了一款涵盖任意波形发生器、数据采集系统和逻辑分析仪的电气测试平台的设计过程,着重介绍了逻辑分析仪单元模块的结构和实现方案。该系统以虚拟仪器技术为核心;底层硬件电路上采用现场可编程门阵列FPGA作为程序控制器,选用高速的SRAM作为波形信号的存储单元;上层使用NI公司的LabVIEW软件进行PC机上应用软件的开发;由USB总线实现软硬件间的通信。从而实现了一个界面友好、功能稳定、精度高的电气测试平台。

关键词:FPGA;虚拟仪器;逻辑分析仪;数据采集仪;任意波形发生器
中图分类号:TP273+.5 **文献标识码**:A **文章编号**:1673-629X(2008)05-0194-03

Implementation of Electrical Device Detection Platform Based on Virtual Instrument

WANG Hui[1], HU Ren-jie[2], KANG Kai[3]
(1. Electrical Engineering School, Southeast University, Nanjing 210096, China;
2. Lab. of Electric Eng. and Electronics, Southeast University, Nanjing 210096, China;
3. Information Science and Engineering School, Southeast University, Nanjing 210096, China)

Abstract: The design of a comprehensive electrical device detection platform that contains the functions of wave generator, data collector and logic analyzer is introduced in this paper. Focused on the structure and implementation of the logic analyzer unit. This platform, which is based on virtual instrument technology, use FPGA as its controller, fast SRAM as its storage of wave signals and LabVIEW as its client software development platform. USB serial bus takes charge of the communication between software and hardware. Thus, an electrical device detection platform which has friendly user interface, stable function and high precision is designed.

Key words: FPGA; virtual instrument; logic analyzer; data collector; arbitrary waveform generator

0 引 言

对于传统的测试系统,信号的产生和处理、采集与控制、结果的输出和显示等功能都是以硬件或是固化了的软件形式来实现的。因此,随着测试系统复杂度的提升,硬件实现的复杂度也相应增加,这就需要使用更多的仪器、硬件电路和连线完成。过多的连线使得系统不稳定,抗干扰性能差,测试系统的造价高,通用性差,开发周期长。可见,传统的测试系统结构难以跟上现代工业设计追求自动化和高速化的脚步。

虚拟仪器技术是随着微电子技术、计算机技术、软件技术、现代测量技术和电子仪器技术的发展而产生的一种新型仪器。它将传统仪器的部分硬件模块运用PC机上丰富的硬件资源来完成,从而大大较低开发难度,缩短了设计开发周期[1,2]。

文中的电气测试平台由任意波形发生器、数据采集仪和逻辑分析仪三大模块构成,信号的产生和采样并存,模拟通道和数字通道并存,对于这样一个大的综合模块,虚拟仪器技术无疑是一种最佳的选择。

1 系统的整体方案

图1为电气测试平台的整体结构框图,其由模拟信号处理模块(包含继电器、运放、A/D等)、数字信号处理模块(实现电平标准变换)、DDS模块(AD9850、D/A、存储器、运放、功放等)、存储器模块(采样信号的存储)、通信模块(FT245BM、93C46)以及程序控制器FPGA构成。

收稿日期:2007-08-07
作者简介:王 慧(1983-),女,江西南昌人,硕士研究生,研究方向为计算机测量与控制技术、虚拟仪器技术;胡仁杰,博士,教授,研究方向为计算机测量与控制技术、电力电子技术。

维普资讯 http://www.cqvip.com

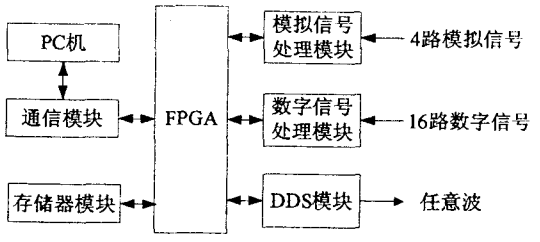

图1　测试平台系统结构

由于测试系统信号繁杂,为使设计紧凑,缩小硬件电路板的横向面积,以及从设计的成功率和版本升级的角度考虑,采用两块板卡构建测试平台,将信号的采样和产生分开。主板卡用于实现数据采集仪、逻辑分析仪以及和PC机的通信,副卡实现DDS任意波形发生器模块,插在主板的总线槽中,形成整体。限于篇幅,将主要介绍主卡上逻辑分析仪的功能实现。

2　数据采集仪/逻辑分析仪硬件电路设计和功能实现

图2是主板上的硬件电路结构图,下面将按照16路数字信号从仪器外直至在PC机上被显示的整个流程来介绍逻辑分析仪硬件和功能的实现。

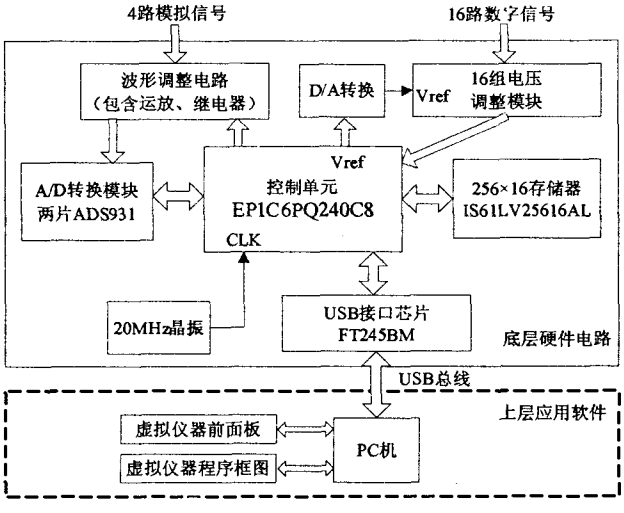

图2　数据采集仪/逻辑分析仪硬件电路结构

2.1　16组电压调整模块

FPGA控制采样信号从FPGA通过USB接口电路上传至PC机,受到FPGA器件I/O口的电平标准限制,要实现对多种电平标准信号的测试必须要对输入信号进行调整。

笔者选用比较器芯片ADCMP602将被测数字信号转换成与LVTTL电平标准兼容的信号。ADCMP602是一款AD公司生产的高速TTL/CMOS比较器,它的转换延时时间仅为3.5ns,完全可以满足最高采样频率为80MHz的速度要求。其次,ADCMP602的输入电压范围广,当芯片正极电源为+5.5V时,输入电压范围为-0.5V至+5.8V。比较器模块将被测信号与参考电压Vref进行比较从而输出统一标准的数字信号,Vref是FPGA发出的1Byte经一个八位D/A转换得来。

2.2　数字信号的采样和存储

信号的流程控制,采用FPGA作为程序控制器,它具有以下几个特征:1)设计灵活;2)缩短研制时间;3)体积小、性能高;4)可靠性高;5)保密性好。笔者选择Altera公司低成本系列Cyclone的EP1C6PQ240C8芯片作为硬件电路上的程序控制器。

信号的采样方式可以用户自定义,采样时钟频率、存储深度、触发方式、触发通道以及触发位置均可选,这些都要在采样命令下达前由用户在虚拟仪器界面上进行设定,再由USB接口传达给FPGA。硬件电路上晶振为20MHz,通过Cyclone的EP1C6内的两个锁相环将系统时钟提高至最大为80MHz,再通过编写分频器产生多档时钟信号。FPGA根据上层PC机发送的采样时钟命令字控制其内部的多路选择开关从而选择某一时钟信号作为采样信号,FPGA就以此时钟将电平调整后的数字信号存储至RAM。触发方式为队列触发,队列长度最大为4个字,触发通道在16路通道中任选。触发位置有三种选择,即触发信号出现在采样信号的前、中、后三个位置。

在采样过程中,信号按分频后的时钟节拍经FPGA传至SRAM,因此SRAM的存取速度限制了采样时钟的频率。ISSI IS61LV25616就是一款高速4,194,304-bit的静态存储器,其存取时间分别为10,12和15ns,其由ISSI的高性能CMOS技术制成,具有低功耗的特点,存储深度最大为256k*16bit,整个采样过程如图3所示。图中address是SRAM的地址值,count用于计算出现触发信号之后存储的字的个数。length为出现触发字队列后还需采样的字的长度,当触发位置为0时,length等于存储深度;触发位置为50%,length等于存储深度的一半;触发位置为100%时,length=0。

2.3　采样信号的读取

采样结束之后SRAM内的采样信号通过FPGA、USB总线传至PC机进行显示。显示的数据起始地址值的计算是此环节的关键,其由PC机上的虚拟仪器应用软件来完成。在存储过程中,FPGA记下了触发信号存储在RAM的地址值,上层应用程序就是将该地址值结合存储深度、触发位置计算出读取信号的首字地址值,再通过USB接口电路发送给FPGA。从所得地址值开始的长度等于存储深度的数据就是所要显示的对象。

维普资讯 http://www.cqvip.com

2.4 USB接口电路

USB总线是一种新的串行总线接口规范。USB接口实现了即插即用与热插拔的特性,结构简单,数据传输率高[3]。USB接口芯片选用FTDI公司生产的FT245BM,在Windows系统下其提供了两种驱动模式:虚拟串口(VCP)和标准USB动态链接库(D2XX)。在VCP的硬件驱动程序下数据传输率可以达到300k/s,而在D2XX驱动下可以达到1M/s,笔者采用的就是此种。FT245BM内部集成了384 Byte FIFO发送缓冲器(存放来自外设的数据)、128 Byte FIFO接收缓冲器(存放来自主机的数据)以及一个6MHz~48MHz的时钟锁相环。FT245BM简单的FIFO设计使它非常便捷地通过I/O口与微控制器或微处理器通信。

FT245BM主要通过TXE#和RXF#两个信号进行读写控制。当TXE#为低时,将一字节宽的数据从外设发送至主机,如果(384-byte)发送缓冲器已满或正在存储先前写入的字节,设备将保持TXE#为高电平来阻止更多的数据写入,直到一些数据通过USB传至主机。在每个字节写入之后TXE#转为高。当主机通过USB总线将数据传至外设时,设备将RXF#设为低来通知外设至少有一个字节的数据可用,每当RXF#为低电平时外设读取一个字节,读完一个字节之后立刻变为高。因此,每当要进行数据传输时,让FPGA监视TXE#和RXF#两个信号,从而实现FT245BM与FPGA之间的通信[4,5]。

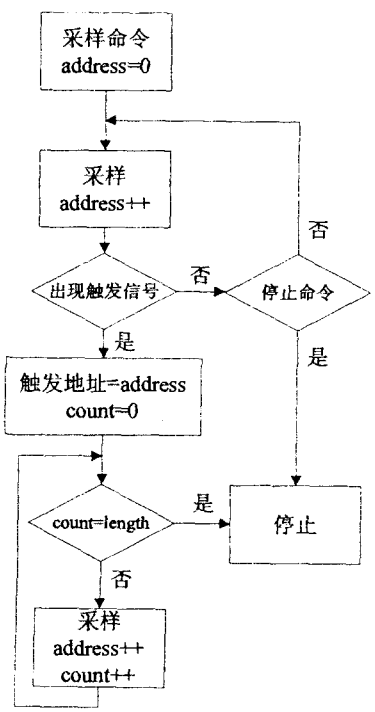

图3 采样过程流程图

3 电气测试平台的软件实现

单从PC机上的软件平台角度考虑,上层应用软件只与用户和USB接口电路进行通信,和底层的硬件电路并无直接联系,因此从用户交互界面和USB总线的控制两个方面进行应用软件的开发。

3.1 用户交互界面的设计

笔者选用NI公司的LabVIEW作为软件的开发平台,LabVIEW将仪器开发分成前面板的设计和程序框图的编写两部分。前面板作为用户可视面板,要做到美观、简洁、易操作。由于本电气测试平台的控制命令和显示窗口繁多,因此选用Tab控件将三大模块的控制面板分开,放在三个页面以避免控制和操作的混乱。另外,由于面板大小的限制,一些控制信号的输入利用菜单调用子VI来完成。

3.2 USB接口电路的控制

应用软件对USB接口电路的控制主要是实现设备的打开和关闭,数据的读和写。FTDI公司提供了驱动FT245BM芯片的标准动态连接库FTD2XX.dll,笔者通过LabVIEW软件中的CLF(call library function)函数调用FTD2XX.dll中的各种函数将仪器的控制命令传达给FPGA。为使软硬件协调工作,笔者编写了一套用于PC机与FPGA之间通信的命令帧格式和命令字。命令帧由10个字节组成,分别是头、命令码、参数和尾,命令码与仪器的工作状态相对应,主导着逻辑分析仪的工作状态。图4是以30MHz进行采样所得的一段波形前8路通道的结果图,图中时钟信号是30MHz的采样时钟,可见通道1是一个频率为1MHz的时钟信号。

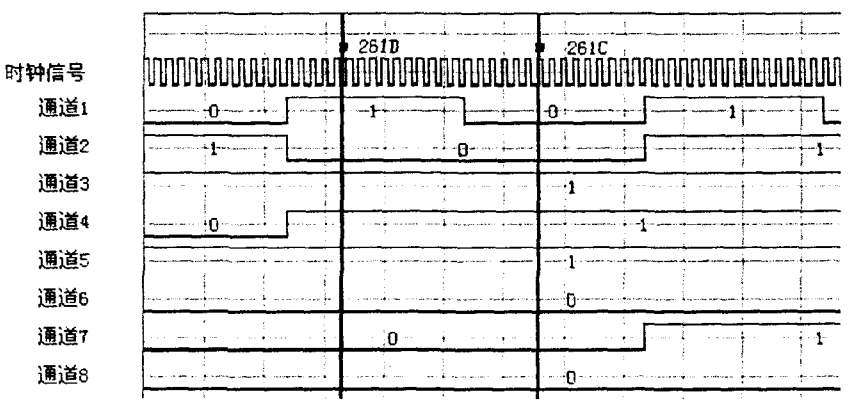

图4 采样结果图

4 结束语

文中介绍的电气测试平台已经在学生实验中使用,应用表明:基于FPGA、USB的虚拟仪器性能稳定,

(下转第202页)

维普资讯 http://www.cqvip.com

2.2 均方根误差与训练步数关系

PIDNN 网络在神经网络工具箱找不到现成的训练和测试方法,因此,只有在 Matlab 平台上编程,进行仿真。均方根误差与训练步数的关系曲线见图 2。

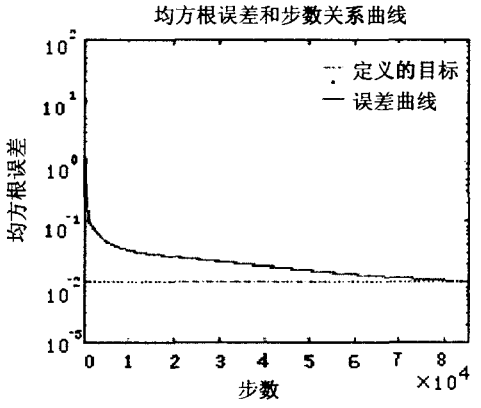

图 2 均方根误差和训练步数的关系曲线

2.3 网络验证

当训练到 85216 步时,达到预先设定的性能指标,为了说明网络能按一定的精度逼近污水处理系统。用另一个月的数据作为测试集进行测试,测试的结果是:PIDNN 网络输出和系统实际输出相差不大。图 3 是 PIDNN 网络输出和系统实际输出比较图。

3 结 语

从图 3 可见,污水处理系统输出和 PIDNN 输出的三项指标曲线都基本拟合。说明了该方法用于辨识污水处理系统参数是切实可行的。

由于 PIDNN 隐含层单元的特殊功能,在进行系统辨识时,其结构和神经元的个数选取比较规范。从而克服了传统的多层神经网络在结构和隐层神经元个数选取时的困难。另外,PIDNN 积分元具有独特的定义,用它来逼近大时延的动态系统,具有特殊的作用。该方法还可以根据不同的污水系统参数,灵活设计输入输出神经元个数,辨识其它的污水处理系统。

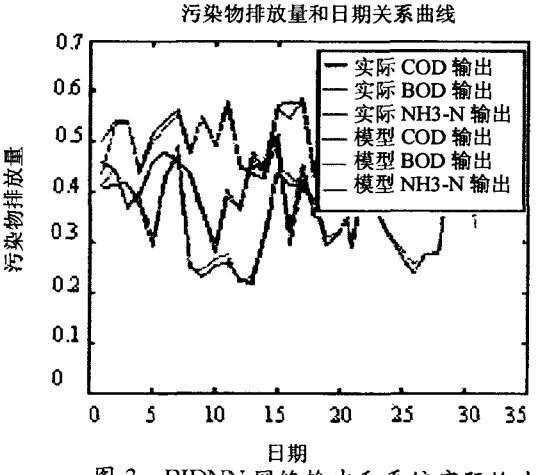

图 3 PIDNN 网络输出和系统实际输出

参考文献:

[1] 伊学农.基于改进 BP 网络与 MISO 模型的污水系统建模[J].水处理技术,2005(10):21-24.

[2] 刘建勇.智能控制在污水处理中的应用现状与展望[J].中国给水排水,2002(11):22-25.

[3] 舒怀林.PID 神经元网络及其控制系统[M].北京:国防工业出版社,2005:28-34.

[4] Belanche L. Prediction of the bulking Phenomenon in wastewater treatment plants[J]. Artifical Intelligence in Engineering, 2000,14:307-317.

[5] 田景文.人工神经网络算法研究及其应用[M].北京:北京理工大学出版社,2006:35-38.

[6] 陆 宁,周 伟.基于 LabVIEW 的智能 PID 控制器的设计[J].微机发展,2005,15(4):66-68.

(上接第 196 页)

功能强,界面美观,操作方便。另外,虚拟仪器的很多功能由软件来完成,使得功能修护和升级更加方便。

参考文献:

[1] 杨乐平,李海涛,杨 磊.LabVIEW 高级程序设计[M].北京:清华大学出版社,2003.

[2] 朱耀东,张焕春,经亚枝.虚拟逻辑分析仪的设计与实现[J].仪器仪表用户,2002,9(4):20-22.

[3] 许海清,田书林,戴志坚.基于 USB 总线的逻辑分析仪设计[J].仪器仪表学报,2005,26(8):310-312.

[4] Future Technology Devices Intl Ltd. FT245BM Data Sheet [EB/OL].2002-08. www.ftdichip.com.

[5] 张红兵,谢运祥.利用 FT8U232AM 实现的 USB/RS232 转换器[J].国外电子元器件,2002(5):41-42.

(上接第 199 页)

参考文献:

[1] Ali I, Al-Ahahir N, Hershey J E. Doppler characterization for LEO satellites[J]. IEEE transactions on communications, 1998,46(3):309-313.

[2] 孙白波.遥控,安全,监控[M].北京:宇航出版社,1995.

[3] 任俊涛,邵定蓉,李署坚.基于软技术的高动态扩频信号载波跟踪技术[J].北京航空航天大学学报,2002(6):64-67.

[4] 王惠南.GPS 导航原理与应用[M].北京:科学出版社,2003.

[5] 夏宇闻.Verilog 数字系统设计[M].北京:北京航空航天大学出版社,2003.