

片上系统设计时的功耗完整性

王 韬, 郭 炜

(上海交通大学 微电子学院, 上海 200030)

摘要:针对当今复杂片上系统(SOC)设计时,功耗完整性问题的复杂性和重要性,根据在深亚微米工艺制程下复杂片上系统设计时,对功耗完整性的特殊要求,对电源网络规划、设计和分析的概念和方法作了概括性的介绍和研究,并且结合具体芯片设计的实践,提出了一些具体的方法和技巧,从方法学的角度上对功耗完整性问题作了研究和探讨,能有效提高片上系统电源规划的效率和质量,保证功耗的完整性。

关键词:电源网络规划;电源网络综合;电源网络分析;功耗完整性

中图分类号:TP302.1

文献标识码:A

文章编号:1673-629X(2007)07-0167-04

Power Integrity of SOC

WANG Tao, GUO Wei

(School of Microelectronics, Shanghai Jiaotong University, Shanghai 200030, China)

Abstract: As the complexity and importance of power integrity of today's SOC design increasing, and according to the special requirements of DSM process on power integrity of SOC design, gives a brief introduction and studies on power planning and analysis, together with the real practices on product chip, and also gives some best practices on power network synthesis, which will give you an insight from view of methodology and for sure enhance the efficiency and quality of power planning, power integrity as well.

Key words: power planning; power network synthesis; power network analysis; power integrity

0 前言

在当今的片上系统(SOC, System-on-Chip)设计流程中,功耗完整性成为其中一个非常重要的部分,这些与功耗相关的问题会影响芯片时序,甚至直接导致器件失效。特别要指出的还有,过大的导轨压降(IR-drop)和地线电压波动也会造成时序错误,同时,电子迁移现象对芯片性能和可靠性的影响也不能忽略。

在设计中可以从两方面来保证功耗的完整性:通过良好的电源网络综合和规划,以及准确的功耗和电网分析,尽可能在设计初期找出问题。电源网络规划和分析再也不是两个毫不相关的步骤了,它们已经集成在整个设计流程中,并且成为在设计的初始阶段最需要认真解决的问题之一。工程师们在设计中遇到的最大困扰也在于此,因为在这个阶段,对设计的分析要建立在缺少具体设计数据的基础上。

文中提供了一些电源网络规划的方法,以解决这两个难的问题。其中不仅解释了如何进行压降分析,而且给出了分析流程和一些具有实践意义的建议,以

期获得最好的分析结果。文中虽然主要涉及的是静态压降分析,但对于一个完整的功耗分析来说,动态压降也变得越来越重要^[1]。

1 电源规划概要

在介绍某种具体方法之前,先讲讲电源规划的一些基本概念。电源规划的一个最基本的目的,是保证为片上的所有元件(模块,存储器, I/O等)提供足够的电源回路连接。通常情况下,使用高层金属建立电源网络,由一些均匀分布的网格组成,之后再根据一些具体的约束,做一些改动以适合不同的设计环境。

由于组成电源网络的金属自身具有电阻,因此会造成静态电压下降(IR-drop)。压降的存在会降低局部电路单元的速度和噪声容限。由于这些原因造成的功能失效和时序错误却很难被传统的信号完整性和时序分析的方法所预测。

电子迁移是当电流密度很大时,在金属连线上发生的原子移动的现象。这种现象会造成短路和断路,从而对电路造成灾难性的破坏。随着工艺尺寸的不断减小,电流密度不断增大,电子迁移问题变得越来越严重。

收稿日期:2006-09-07

作者简介:王 韬(1978-),男,甘肃兰州人,硕士研究生,研究方向为集成电路设计;郭 炜,教授,研究方向为片上系统设计。

基于对这些问题的考量,我们知道了电源规划正在成为布局规划中越来越重要的一部分^[2]。一些具有特殊功耗和电源要求的单元必须优先考虑它们的位置,比如将具有高电压输入端口的闪存单元放在离 I/O 一定的距离之内。事实上,在较早的阶段定下电源网络结构可以帮人们避免很多问题。如果将这些工作放在较后面的阶段完成,那么有可能需要增加供电 I/O 的数量,这有时候甚至会改变芯片面积。同样的道理,由于电源网络本身会占用一定的物理面积,这将会有可能使布局规划不得不做出相应的改变。电源网络的拓扑结构同样影响着模块内部的布局和布线,因此这个结构必须在顶层综合完成后,在子模块划分之前就已经确定下来。

布局规划可以通过一些布局策略,比如将功耗很大的模块分散摆放等,帮助人们避免一些压降和电子迁移的问题。但是有一点要指出的是,即使功耗分布在模块里是均匀的,但是芯片中心的压降仍然较大,因为导线具有一定的长度。从而导致那里的逻辑变得稍慢。这种现象随着阈值电压的下降,变得越来越明显。

由于每一根导线上承载的电流都不相同,所以每根导线,导电孔道(Via)上承载的电流都需要分别计算。如果导电孔道不够大,当电流过大时,就会像熔丝一样烧断,因此它上面的压降、电流密度和电子迁移等都要进行分析。

2 创建电网结构需要注意的问题

最近的布局规划工具有了很大的提高,可以根据芯片的功耗和对压降的要求自动综合出电源网络。在此之前,工程师通常必须自己指定这些金属网络的宽度和间距。在这种情况下,通常使用最多的是“四分之一电流定律”,就是假设芯片四周的电源环,每边为芯片提供所需的四分之一电流。用整个芯片的功耗除以四,然后利用芯片的工作电压把它转换成电流值,再根据特定金属层上所允许通过的最大电流密度,就可以得到金属线所需的最小宽度。值得一提的是,应当尽可能把这个宽度限制在一个指定的宽度内,如果超过了这个宽度,制造工艺会要求在金属线上面开槽,从而降低导线的载流能力。

通常,我们会建议在硬核的周围建立电源环,这样做可以使得硬核的摆放方向与周围的电源网络无关,同时也不需要考虑硬核内部的电源网络是否会与外部的发生冲突。现在大部分的硬核供应商都会在硬核的内部做好电源环,这样不仅提高了硬核的质量,而且降低了顶层电源规划的难度。如果要使用没有内建电源环的硬核,仍然可以使用“四分之一电流定律”^[3]来确

定环的宽度,为它单独建立一个电源环。

芯片中所用到的电源网格与芯片周围的电源环相比,给设计师提供了更大的灵活性,这种灵活性对解决芯片上的压降问题非常有用。设计师必须自己决定这些电源网格使用的金属层、宽度和间距。通常情况下,使用数量较多但是较细的网格设计(与少而宽的网格设计相比),对绕线的影响更小,尤其在较低金属层上,体现的尤为明显。

下文是对电源规划的一些建议。

2.1 层次渐进性地建立电源网格

为了把压降效应降低到最小,通常从标准单元的电源管脚的金属层上面紧接着的金属层开始建立电源网格。并且同时使用多个金属层把提供芯片电源供给的管脚(power pad)同芯片的电源环相连。假设标准库单元使用的是金属 1,那么最好同时使用金属 2,金属 3,以及更上层的金属建立电源网格,以提高整个网络的载流能力。在层次化的设计中,要避免在不同的层次上相同金属层走向不同的问题。

在设计金属 2 上的电源网格时,有一条经验的规律可以借鉴,就是网格线之间的间隔通常是标准库单元平均宽度的 10 倍左右。由于接近底层的电源线通常只提供很小的局部区域的电源供给,所以不需要很宽。如果在低层次的网格上能保持较小的间距,那么到达每一个标准单元的串联电阻会降到最小。不仅如此,如果能把这些较细的格线与布线网格配合起来考虑,会对后期布线造成的影响减到最小。随着金属网格向顶层的延伸,格线的间距不断增加,金属的宽度也同时增大。为了避免导电孔道的大规模叠加,通常采取的方法是在中间增加金属,并且将相同方向的金属线错开一定的距离。比如,为了避免从金属 3 到金属 6 之间导电孔道的叠加,会增加使用金属 4,并且将金属 4 和金属 6 间错开一定的距离。

还有一点要说明的是,以前通常认为将供电管脚放在芯片的四角会有好处,但是实践证明:如果芯片周围摆放的只是耗电很小的普通单元,这样做并不会带来太多的好处^[4]。

2.2 对选用制程工艺金属的电阻特性要有一定了解

我们可以在库供应商提供的技术文件里面找到电源网格中每层金属的电阻特性。顶层金属的电阻通常跟其他层金属不一样,因为顶层金属通常比较厚。由于这些特点,使得电源网络中电压的下降速度在两个方向上是不同的,造成一个不均匀的、“橄榄球型”的电压梯度,如图 1 所示。

这种现象在使用奇数层金属构建的网络中尤为明显,而人们通常期望的是一个均匀分布的、同心圆式的

压降分布。

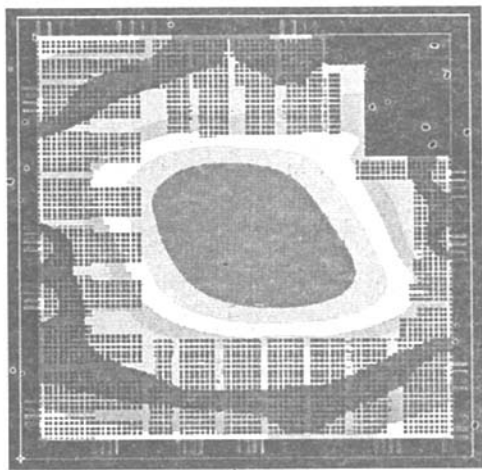


图 1 “橄榄球型”压降分布

从理论上讲,这种不均匀的分布情况不是一定会出问题,但是一些潜在的问题,必须在构建电源网络的时候就加以考虑。有一点,工程师必须牢记在心的就是:为了减小这个效应,而在电源网络的每层金属上使用相同的金属密度,通常不能保证得到均匀的压降和电子迁移分布。

3 电源网络综合

在传统的设计流程中,建立电源网络的过程基本靠手工插入,这难免会有一些出错和反复的过程。电源网络分析(power network analysis)工具由于它的易用性和准确性,已经成为主流的设计手段,但是工程师们依然要手工地建立电源网络,进行分析,在得到满足要求的方案之前,往往需要很多的反复。这种工作耗费非常多的时间。

倘若使用具有自动电源网络综合功能的工具,如synopsys的JupiterXT,将会在很大程度上降低手工劳动的复杂程度。使用者只要在表格中指定所需要的结构,包括最大允许的压降、电源环的层次和宽度、需要的个数等。工具就会进行分析,综合出电源网格,并且将即时的分析结果显示出来。如果得到的结果不能满足要求,使用者可以重新优化进行综合的约束条件,直到得到满意的结果。

这样做最大的好处在于,它缩短了设计的周期,可以使工程师们在短时间内进行大量的方案测试,直到找到最满足要求的设计。从这个意义上讲,工具为使用者提供了最大的自由性,使得电源网络综合看上去更像是艺术而不是枯燥的重复劳动。

除了可以对整个的电源网络进行综合以外,工具也可以对芯片中局部的地区进行电源网络综合,或者

对已经存在的电源网络进行优化,以减小压降。最新的工具甚至可以对供电管脚的个数和摆放位置进行综合,帮助工程师从更大的方面控制整个电源网络的质量。

4 电源网络分析

无论你用不用JupiterXT作电源网络综合,你都可以用它来做电源网络分析(power network analysis)。对于电源网络分析来说,一个粗略的布局和部分主要的电源网络就足够了。工具会自动地产生一些虚拟的导电孔道和标准单元的连接来进行分析。

有一点很重要,必须牢记在心的就是,随着设计的不断完成,用越来越完整的电源网络进行分析,会得到更加准确的结果和更好的一致性。在布局规划阶段做最终的电源网络分析时,必须保证所有与电源网络相关的结构都已经就位,并且得到了正确的考虑。除此之外,每个标准单元的耗电量是与它的负载相关的,建议在进行了全局布线(global route)的设计中进行分析,以保证获得最准确的结果。这里面将牵扯到全局布线与精细布线的一致性问题的,在此不再论述。

5 对电源网络综合和分析的一些建议

根据我们的实践,下面的一些建议可以帮助获得较好的电源网络综合和分析的结果:

- * 使用最高层的两层金属作为电源和地线,尽量使用多层的电源网络。

- * 最底层的电源网线应该与标准单元库的电源导轨互相垂直,并且比标准单元所用到的管脚(pins)至少高两层。这样做的好处有两点:①可以使标准单元自由地摆放在电源网格下面,不受限制;②可以使标准单元的连接管脚在两个方向上的连接都不受限制,不会遇到布线的困难。

- * 建议在工具中打开“优化布线导轨使用”的选项^[5],可以进一步节省出电源网络附近的布线资源。

6 应用实例

在实际的项目中,我们遇到一个接近十万标准单元,10个以上较大模块的设计,如图2所示。为了在0.18微米制程,5层金属工艺上顺利实现物理设计,应用了以上提到的方法和技巧:

- * 选择了最高层的金属4和金属5作为电源网络。

- * 由于标准单元连接的管脚均在金属1上,所以金属2和金属3可以不受任何限制地连接到管脚上。

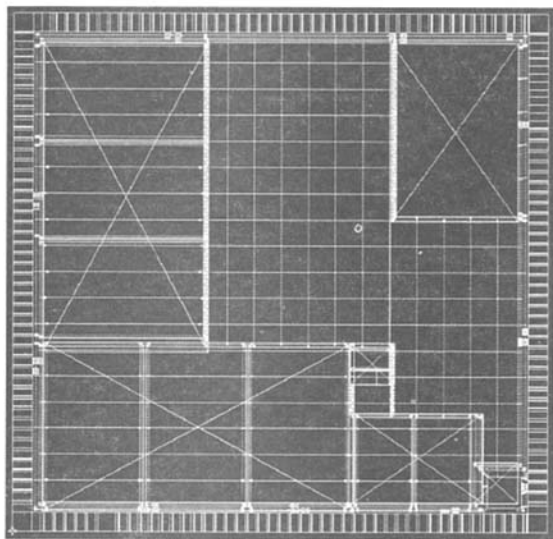


图 2 电源网络规划在实际芯片中的应用实例

* 芯片电源环的尺寸在满足芯片本身要求的前提下,比设计规则(design rule)规定的“开槽”尺寸要小,有效降低了电子迁移现象。

* 选择作了多条较细的电源格线,而不是少而宽的做法,实践证明这样的做法对后期的布线几乎没有产生任何不良的影响。

* 在电源网络分析的过程中,充分利用了工具的综合和分析能力,在相对较短的时间内做了大量的尝

(上接第 130 页)

在本算法中,Nash 均衡效率和可获得性之间存在一定的矛盾,因此在实际实施时应根据系统的用户数及路由器转发分组的速度,选择适合的参数。

5 结束语

研究 AQM 拥塞控制 Nash 均衡的意义在于,它能有效规范端系统的不合理(自私的或贪婪的)行为,维护和实现 Internet 系统的稳定。论文提出基于 AQM 的拥塞博弈模型,并推导出 Nash 均衡的判定条件,从数学证明和仿真两方面分析了现行主动队列管理算法 Drop Tail,RED 和 CHOKe 的 Nash 均衡存在性,提出一种能实现 Nash 均衡且具有一定效率的 AQM 算法。

参考文献:

- [1] Altman E. Flow control using the theory of zero sum Markov games[J]. IEEE Transactions on Automatic Control, 1994, 39(4):814-818.
- [2] Friedmann E J, Shenker S. Learning and implementation on the

Internet[D]. Rutgers:Department of Economics, Rutgers University, 1998.

* 根据最终的分析结果,获得了 8.73mV 的芯片最大压降,这对于 1.8V 供电的芯片中心区(core area)来说是极小的,可以接受的。

7 总结

结合 SOC 设计中的具体实践,基于复杂片上系统对于功耗完整性的特殊要求,对电源网络规划、综合和分析提出了一些建议和需要注意的问题,对提高电源规划的有效性和质量具有一定的指导意义。

参考文献:

- [1] Rabaey J M. Digital Integrated Circuit: A Design Perspective [M]. [s.l.]: Prentice-Hall Inc., 1996: 38-42.
- [2] Rodgers R, Technologies A, Knapp K, et al. Floorplanning Principles [C]// SNUG. San Jose: [s.n.], 2005.
- [3] Flynn J, Waldo B. Power Management in Complex SoC Design [R]. San Jose: Synopsys Support Center, 2005.
- [4] Macon G T, Roche T. Power, Analog Devices, Network Synthesis and Analysis with JupiterXT and PrimePower [C]// SNUG. Boston: [s.n.], 2005.
- [5] Synopsys. JupiterXT User Guide [M]. San Jose: [s.n.], 2004.

Internet [D]. Rutgers: Department of Economics, Rutgers University, 1998.

- [3] 黄涛. 博弈论教程 [M]. 北京: 首都经济贸易大学出版社, 2004.
- [4] Floyd S, Jacobson V. Random early detection gateways for congestion avoidance [J]. ACM/IEEE Transactions on Networking, 1993, 1(4): 397-413.
- [5] Demers A, Keshav S, Shenker S. Analysis and simulation of a fair queuing algorithm [C]// In: Proc ACM SIGCOMM'89. Austin, Texas: [s.n.], 1989: 1-12.
- [6] 魏蛟龙. 基于博弈论的网络资源分配方法研究 [D]. 武汉: 华中科技大学, 2004.
- [7] Dutta D, Goel A, Heidemann J. Oblivious AQM and nash equilibria [J]. ACM SIGCOMM Computer Communication Review, 2002, 32(3): 20-21.
- [8] Tang Ao. Understanding CHOKe [DB/OL]. 2003-04 [2005-12-10]. Proceedings of IEEE Infocom, San Francisco, CA, 2003. <http://citeseer.ist.psu.edu/570417.html>.
- [9] McDysan D. IP 与 ATM 网络中的 Qos 和业务量管 [M]. 北京: 清华大学出版社, 2004.