

异步 FIFO 中存储单元的分析设计

郝晓莉, 刘洪波, 沈绪榜

(西安微电子技术研究所, 陕西 西安 710054)

摘要:从异步 FIFO 的一般结构入手, 重点对异步 FIFO 中的双端口 RAM 存储器进行了分析, 深入研究了存储单元的读写工作原理, 以此得出各单元管子参数设计的尺寸要求以及管子单元比(CR), 并根据 $0.35\mu\text{m}$ CMOS 工艺设计出了 $1\text{k} \times 9\text{bit}$ 的异步 FIFO, 其读取速度约为 10ns 。

关键词:异步 FIFO; 双口 RAM; 单元比

中图分类号: TP302

文献标识码: A

文章编号: 1673-629X(2007)03-0040-04

Analysis and Design of Memory Cell of Asynchronous FIFO

HAO Xiao-li, LIU Hong-bo, SHEN Xu-bang

(Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: In this paper the common structure of the asynchronous FIFO is firstly introduced and the dual-port RAM is emphasized. Meanwhile, the way of reading and writing of the memory cell is deeply analyzed. So, the design of parameters and CR of the memory cells are researched. Finally, asynchronous FIFO of $1\text{k} \times 9\text{bit}$ is designed by technical library of $0.35\mu\text{m}$ CMOS. The velocity of reading and writing is about 10ns .

Key words: asynchronous FIFO; dual-port RAM; CR

0 引言

FIFO 是一种先进先出存储器, 一般采用异步 FIFO 作为数据接口, 用来存储、缓冲在两个异步时钟之间的数据传输。文中介绍了异步 FIFO 的一般结构, 通过对双口 RAM 存储单元的读写工作原理进行分析, 给出了存储单元各管所应采取的参数值。实际工作中实现了一个 $1\text{k} \times 9\text{bit}$ 的异步 FIFO。

1 异步 FIFO 的一般结构

异步 FIFO 一般由四部分组成, 其结构框图^[1]如图 1 所示。目前其内部存储器一般采用双口 RAM, 输入和输出具有两套数据线, 独立的读写地址指针在读写时钟的控制下顺序地从双口 RAM 读写数据, 用一个时钟(写时钟)把数据放入双口 RAM 中而用另一个

时钟(读时钟)来读取, 同时根据 FIFO 中的空/满标志

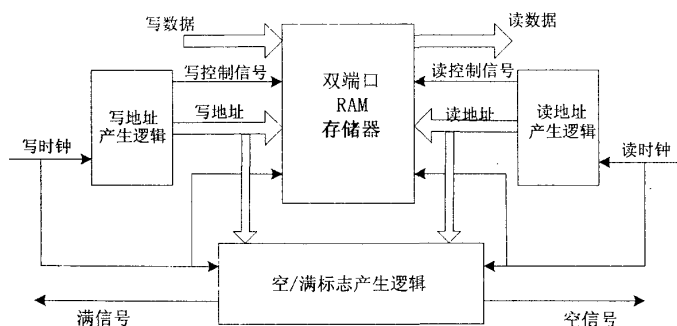


图 1 异步 FIFO 的结构框图

位来判断何时可以把数据写入 FIFO 或从 FIFO 中读出。

其中存储部分由静态双端口 RAM 构成, 它拥有独立的读写端口。双端口存储器是指同一个存储器具有两组相互独立的读写控制线路, 是一种高速工作的存储器。它提供了两个相互独立的端口, 即读端口和写端口, 它们分别具有各自的地址线、数据线和控制线, 可以对存储器中任何位置上的数据进行独立的存取操作。并由空/满标志产生逻辑进行读写地址比较, 给出空满标志, 确保正确的读写操作, 避免写溢出和读

收稿日期: 2006-05-26

作者简介:郝晓莉(1981-), 女, 陕西人, 硕士研究生, 研究方向为嵌入式计算机体系结构; 沈绪榜, 中科院院士, 研究员, 博士生导师, 研究方向为计算机体系结构、嵌入式计算机及其芯片设计。

空的情况。

2 异步 FIFO 中静态双端口 RAM 单元的设计

任何存储单元的设计实际上都包含了两个方面的内容:一个是单元中各管子参数的选择;第二个是版图的具体实现。管子参数选择的基础是存储单元的读、写操作以及单元的稳定性;而版图实现所应考虑的是布局布线,实现的面积小,功耗低等。文中只对各单元管子参数的设计进行了详述。

2.1 双端口 RAM 存储块的布局

静态双端口 RAM^[2]是 FIFO 的存储体,由存储阵列和外围电路两大部分组成。其简单框图如图 2 所示。

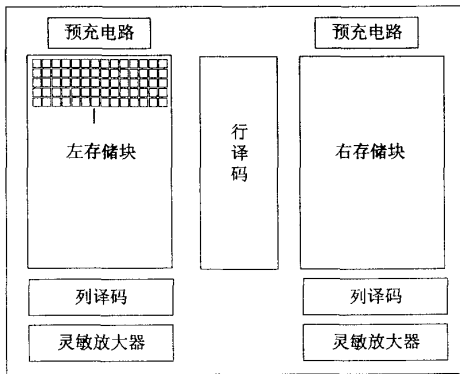


图2 双端口 RAM 的框图

图中,存储阵列采用双核结构,分为左右两部分,与只采用一个存储块相比,这种布局减少了字线延迟,将行译码器位于存储阵列的中间,可以提高读写速度,并给行译码器的设计带来了较大的灵活性。

外围电路则包括了预充电路、译码电路、读出放大电路等,这里不予论述。

存储单元结构^[3]如图 3 所示,其数据锁存部分由交叉耦合的反相器构成。

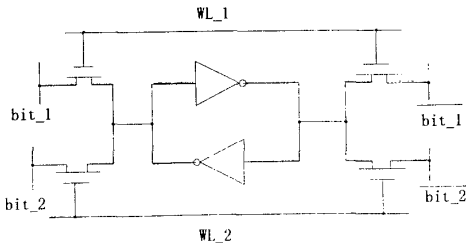


图3 静态双口 RAM 单元

异步 FIFO 拥有独立的读写端口,所以读写操作的数据分别在两对位线上传输(读数据在 $\overline{\text{bit}}_1$ 和 $\overline{\text{bit}}_1$ 上传输,写操作在 $\overline{\text{bit}}_2$ 和 $\overline{\text{bit}}_2$ 上传输),使读写数据通道分开及同时进行读写操作的功能得以实现。

字线 WL_1 控制读端口, WL_2 控制写端口。

2.2 存储单元的读写过程

2.2.1 读操作

如果当前存储值为逻辑“1”,如图 4 所示,也就是节点 $Q = 1$ 为高电平,节点 $\overline{Q} = 0$ 为低电平。读操作开始前位线 $\overline{\text{bit}}_1$ 和 $\overline{\text{bit}}_1$ 被预充电,预充电的典型值是 V_{DD} 。读操作时字线 WL_1 被驱动到高电平,打开传输管 $N3$ 和 $N4$ 。由于节点 Q 为高电平,节点 \overline{Q} 为低电平,所以位线 $\overline{\text{bit}}_1$ 经过 $N4$ 和 $N2$ 放电,电平逐步降低,此时 $N1$ 管被关闭,只有很小的漏电流流过,位线 $\overline{\text{bit}}_1$ 继续保持高电平状态。随着 $\overline{\text{bit}}_1$ 的放电, $\overline{\text{bit}}_1$ 与 $\overline{\text{bit}}_1$ 之间的差分电压逐渐增大。差分电压增大到一定程度后,灵敏放大器将放大并输出差分电压。

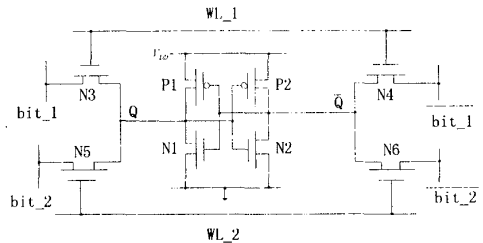


图4 静态双口 CMOS RAM 单元

在这里,为了加速位线 $\overline{\text{bit}}_1$ 的放电, $N4$ 和 $N2$ 应该比较大;但为了减小单元面积,它们的实际大小一般接近于工艺最小值。这就限制了 $\overline{\text{bit}}_1$ 与 $\overline{\text{bit}}_1$ 之间差分电压的建立速度,成为读出速度的主要限制因素。同时字线 WL_1 的电平升高之后, $N4$ 和 $N2$ 的分压作用将会把 \overline{Q} 点的电平上拉,从而有可能打开 $N1$ 管,对节点 Q 进行放电,增加差分电压的建立时间;最坏的情况,甚至会通过反相器 $P2/N2$ 进一步提高 \overline{Q} 的电平,出现使存储数据从“1”翻转为“0”的危险,这就是所谓的读翻转。因此为了限制 \overline{Q} 的电平升高,避免读翻转的发生,同时又要争取较大的速度与较小的面积,各存储单元的管子尺寸必须仔细地设计。

\overline{Q} 的电压升高可用简化的 I_D 方程来估计。假设 WL_1 在 $\overline{\text{bit}}_1$ 保持在高电平 V_{DD} 的条件下很快上升, $N4$ 管在开启时的 V_{DS} 非常大,处于饱和导通状态,而 $N2$ 管开启时的 V_{DS} 接近 0,处于线性导通状态。为了简单起见,这里采用长沟道一级近似。根据 $N2$ 与 $N4$ 的电流基本相等可得^[4]:

$$\frac{1}{2} \left(\frac{\mu E}{T_{ox}} \right) \left(\frac{W_{N4}}{L_{N4}} \right) (V_{WL1} - V_{\overline{Q}} - V_T)^2 = \left(\frac{\mu E}{T_{ox}} \right) \left(\frac{W_{N2}}{L_{N2}} \right) \left(V_Q - V_T - \frac{1}{2} V_{\overline{Q}} \right) V_{\overline{Q}} \quad (1)$$

上式表明,节点 \overline{Q} 的电压受 $N2$ 和 $N4$ 大小的影响。随着节点 \overline{Q} 电压的升高, $N4$ 管的 V_{GS} 降低, $\overline{\text{bit}}_1$

的放电速度减小,读出速度被减慢;N2 管的电流增加, \bar{Q} 电压的升高受到限制。如果 WL₁ 被驱动到高电平 V_{DD} ,节点 Q 基本保持在 V_{DD} ,上面的方程就可简化为:

$$\frac{1}{2}(V_{DD} - V_{\bar{Q}} - V_T)^2 = CR \left(V_{DD} - V_T - \frac{1}{2} V_{\bar{Q}} \right) V_{\bar{Q}} \quad (2)$$

其中单元比 CR(Cell Ratio) 为:

$$CR = \frac{W_{N2}/L_{N2}}{W_{N4}/L_{N4}} \quad (3)$$

由式(2)可得:

$$V_{\bar{Q}} = \frac{(V_{DD} - V_T)(1 + CR \pm \sqrt{CR(1 + CR)})}{1 + CR} \quad (4)$$

图 5 是当 $V_{DD} = 2.5V$ 和 $V_T = 0.5V$ 时节点 \bar{Q} 的电压随 CR 的变化图。

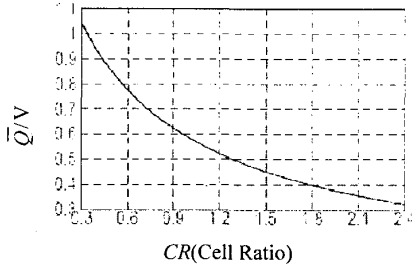


图 5 \bar{Q} 点电压与 CR 的关系图

为了避免读翻转,节点 \bar{Q} 的电压应该低于 P1/N1 反相器的翻转点。这一翻转点的确定应考虑工艺偏差、噪声和使用环境的影响。从图 5 可以看出,如果节点 \bar{Q} 的电压低于 V_T 是可以接受的,CR 应该大于 1.28。这是一个典型值,大多数微处理器工艺技术所需的最小 CR 在 1.25 到 2.0 之间。这里只是做一个近似的分析,实际稳定的单元设计需要进行详尽的 SPICE 模拟,除了 V_{DD} 和 V_T ,工艺偏差和版图误差也应该在模拟中考虑。

2.2.2 写操作

在写操作中,外部电路驱动两个互补信号到位线 bit₂ 和 $\bar{\text{bit}}_2$ 上,字线驱动器驱动字线 WL₂ 到高电平,位线信号经两个传输管写入存储节点。如图 4 所示,向已存有“1”的单元写“0”的情况,也就是把 Q 点的电平由 V_{DD} 下拉至 GND。具体而言,字线 WL₂ 为高电平,位线 $\bar{\text{bit}}_2$ 在写操作开始时被驱动到高电平,然后在短时间内通过 N6 和 N2 进行放电。传输管 N6 与下拉管 N2 同样形成分压,节点 \bar{Q} 的电压上升。为了防止读翻转,单元比 CR 的设计将使得节点 \bar{Q} 的电压小于或等于 V_{Tn} ,反相器 P1/N1 在最初的一段时间内不会放大新写的数据。位线 bit₂ 在写操作开始时被驱动

到低电平,在字线打开传输管后,N5 与 P1 管在 bit₂ 与高电平 V_{DD} 之间形成分压。为了写操作的成功,也就是下拉节点 Q 至足够的低电平,启动反相器 P2/N2 放大新数据,传输管应该比 P1 管有更好的导通性。一旦反相器 P2/N2 开始放大节点 Q 上的低电压,也就是节点 Q 上的下拉管 N2 被关闭,上拉管 P2 被打开,节点 \bar{Q} 的电压将上升,反相器 P1/N1 也将被启动,节点 Q 在正反馈作用下进一步向 GND 转化,写操作被加速。为了完成写操作,节点 Q 应被下拉至接近 GND,假设传输管 N5 在写操作结束时处于线性导通,上拉管 P1 处于饱和导通,则:

$$\left(\frac{\mu_n \varepsilon}{T_{ox}} \right) \left(\frac{W_{N5}}{L_{N5}} \right) \left(V_{WL_2} - V_{bit_2} - V_{Tn} - \frac{1}{2} (V_{\bar{Q}} - V_{bit_2}) \right) (V_{\bar{Q}} - V_{bit_2}) = \frac{1}{2} \left(\frac{\mu_p \varepsilon}{T_{ox}} \right) \left(\frac{W_{P1}}{L_{P1}} \right) (V_{DD} - V_{\bar{Q}} - V_{Tp})^2 \quad (5)$$

采用长沟道一级近似, V_{DD} , V_{bit_2} 和 $V_{\bar{Q}}$ 可分别用 V_{WL_2} , 0 和 V_{Tn} 代替:

$$\mu_n \left(\frac{W_{N5}}{L_{N5}} \right) \left(V_{DD} - V_{Tn} - \frac{1}{2} V_{\bar{Q}} \right) V_{\bar{Q}} = \frac{1}{2} \mu_p \left(\frac{W_{P1}}{L_{P1}} \right) (V_{DD} - V_{Tn} - V_{Tp})^2 \quad (6)$$

和读操作中的一样,节点 Q 的电压是两个管子尺寸、 V_{DD} 以及工艺参数的函数。由式(6)可以解得:

$$V_{\bar{Q}} = (V_{DD} - V_{Tn}) \pm \sqrt{(V_{DD} - V_{Tn})^2 - \frac{\mu_p}{\mu_n} (PR) (V_{DD} - V_{Tn} - V_{Tp})^2} \quad (7)$$

其中 PR 为上拉管 P1 和传输管 N5 的单元比,也叫上拉比:

$$PR = \frac{W_{P1}/L_{P1}}{W_{N5}/L_{N5}} \quad (8)$$

图 6 是 $V_{DD} = 2.5V$ 、 $V_{Tp} = 0.5V$ 和 $\mu_p/\mu_n = 0.5$ 时节点 Q 的电压随 PR 的变化图。

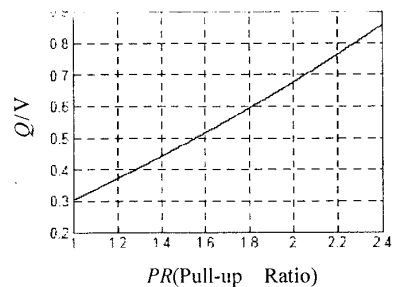


图 6 节点 Q 的电压与上拉比 PR 的关系

为了写操作成功,节点 Q 必须下拉至可以使反相器 P2/N2 翻转。从图 6 可看出,如果节点 Q 的电压需

要下拉至低于 V_{Tn} , 则最大的上拉比不能超过 1.55。对于常规的工艺参数, 根据方程(7) 所得出的要求是容易达到的。可靠的写操作同样需要在迁移率之比、阈值电压和最高可达 V_{DD} 的最坏条件下进行模拟, 掩模偏差对上拉比的影响也应该考虑。所有最坏条件的考虑可能会得出苛刻的上拉比约束。

上面详细地分析了双口 RAM 存储单元的读写操作, 并以此为依据, 在充分仿真的基础上选择的管子参数如下:

$$\left(\frac{W}{L}\right)_{N1} = \left(\frac{W}{L}\right)_{N2} = \frac{1.5\mu\text{m}}{0.6\mu\text{m}}$$

$$\left(\frac{W}{L}\right)_{P1} = \left(\frac{W}{L}\right)_{P2} = \frac{0.9\mu\text{m}}{0.75\mu\text{m}}$$

$$\left(\frac{W}{L}\right)_{N3} = \left(\frac{W}{L}\right)_{N4} = \left(\frac{W}{L}\right)_{N5} = \left(\frac{W}{L}\right)_{N6} = \frac{0.9\mu\text{m}}{0.6\mu\text{m}}$$

3 结 论

异步 FIFO 缓冲存储器是现代系统设计中为提高整体性能而使用的一种重要手段^[5]。文中分析了 FIFO 内部静态双口 RAM 基本存储单元的读写过程并给出了设计参数, 以提高 FIFO 的工作速度。实际工作中实现了一个 $1\text{k} \times 9\text{bit}$ 的异步 FIFO (如图 7 所示), 版图设计采用了 $0.35\mu\text{m}$ CMOS 工艺规则, 芯片面积 $2041\mu\text{m} \times 2885\mu\text{m}$ 。仿真结果表明其读写速度约为

10ns。

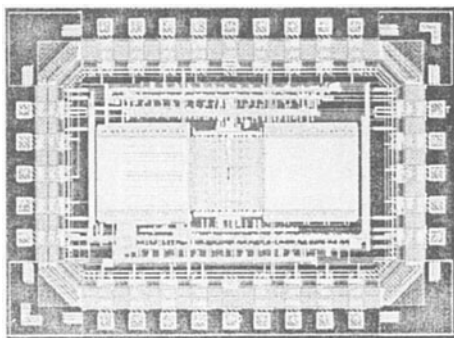


图 7 $1\text{k} \times 9\text{bit}$ 的异步 FIFO 的实现版图

参考文献:

- [1] 罗 昊. 一种异步 FIFO 的设计方法[J]. 电子技术应用, 2004, 30(8): 70-71.
- [2] 王传政, 董建民. 256×9 位 FIFO 存储器的设计与研究[J]. 微处理机, 1996(1): 31-33.
- [3] Rabaey J M. 数字集成电路——设计透视[M]. 第 2 版. 北京: 清华大学出版社, 2004.
- [4] Baker R J. CMOS 电路设计、布局与仿真(英文版)[M]. 北京: 机械工业出版社, 2003.
- [5] Kanopoulos N. A First-In, First-Out Memory for Signal Processing Applications[J]. IEEE Transactions on Circuits and Systems, 1986 CAS-33(5): 556-558.

(上接第 39 页)

字, 这涉及到一个模糊匹配的问题。在本例中, 匹配目标只有 10 个, 干扰元素影响也不是很大。经过多次试验, 发现产生 10 个标准的匹配目标就足够了, 这个匹配目标称之为数字模板, 共 10 个, 分别代表 0~9 数字的典型灰度分布, 每个数字模板也占用 198 个字节。这样以后将每次得到的 198 字节数据与之比较, 差异最小的即认为最佳匹配。

当然现在也有一部分网站上的验证码既有数字也有字符, 如果每次同一个字母的大小、倾斜角度没有变化, 都可以通过抽取特征值来判断。步骤就是: 把图片转换成灰度图, 然后根据明度图, 设定一个阈值转换成二值图。然后进行数次膨胀算法和缩小算法, 去掉杂边和杂点, 得到纯净的黑白数字图, 最后再进行字符识别就可以了。

3 结 语

文中主要对 Internet 客户端的群发技术作了深入的研究, 并基于 HTTP 协议设计并实现了群发技术, 有一定的商业意义。群发技术是一把双刃剑^[1], 它对

网络营销起着至关重要的作用, 有利于网站的推广, 但是如果恶意地发送大量垃圾广告的话却会起到相反的作用。从攻击者的角度对群发技术作进一步的研究, 也有利于网络的安全。

参考文献:

- [1] 谢希仁. 计算机网络[M]. 北京: 电子工业出版社, 2002.
- [2] Hypertext Transfer Protocol - HTTP/1.1 [S/OL]. RFC 2068. 1997-01. <http://jakarta.apache.org/commons/httpclient/userguide.html>.
- [3] 黄景文. 基于 HTTP 协议和数据库的文件上传方法[J]. 广西科学院学报, 2005(3): 186-188.
- [4] Harold E R. Java 网络编程[M]. 朱涛江, 林 剑译. 北京: 中国电力出版社, 2005.
- [5] Malik D S, Nair P S. 数据结构 Java 版[M]. 杨 浩译. 北京: 清华大学出版社, 2004.
- [6] Apache Jakarta Common HttpClient [EB/OL]. 2004-03. <http://jakarta.apache.org/commons/httpclient/userguide.html>.