

PC 机主存储器组成结构分析与设计

米根锁,王瑞峰

(兰州交通大学 信息与电气工程学院,甘肃 兰州 730070)

摘 要:从 DRAM 的发展及应用特点出发,针对使用 DRAM 构成计算机主存时应解决的主存空间及寻址、多体交叉访问构成并行主存结构、动态刷新等问题,以采用 DRAM 控制器 W4006AF 构成 80386 微机主存的设计为例,对主存的构成及工作原理进行了详细分析,对于分析和设计计算机主存具有很好的参考价值。

关键词:主存储器;DRAM 控制器;主存空间;并行主存结构;动态刷新

中图分类号:TP391

文献标识码:A

文章编号:1673-629X(2006)10-0205-02

Analysis and Design for Main Memory Composition Structure of PC Machine

MI Gen-suo, WANG Rui-feng

(School of Information & Electrical Engineering, Lanzhou Jiaotong University, Lanzhou 730070, China)

Abstract: Embarking from the development and application characteristics of DRAMs, aiming at the problems about main memory space and the addressing, parallel main memory structure by using multi-bank overlap access, and dynamic refurbish and so on which are needed to be solved when parallel main memory structure is constituted by using DRAMs. Take the design using DRAM controller W4006AF to constitute 80386 microcomputer's main memories as an example, the main memory constitution and the principle of work are analyzed in detail. It has the very good reference value regarding the analysis and the design of computer main memory.

Key words: main memory; DRAM controller; main memory space; parallel main memory structure; dynamic refurbish

1 PC 机主存的特点

计算机对主存的要求是容量大、存取速度快。由于 DRAM 具有集成度高、低功耗、低成本的特点,PC 机主存均采用 DRAM 构成。DRAM 的发展不仅集成度越来越高,而且随着采用新技术实现的 DRAM,例如快速页面方式 FPM DRAM、扩展数据输出 EDO DRAM、带有高速缓存的 CDRAM 以及增强型 EDRAM 等,存取速度也越来越快^[1]。同时,在构成计算机整体存储系统时,还采用了虚拟存储技术以扩大主存空间,采用高速缓存 Cache 和多体交叉存取的并行主存系统提高对主存的访问速度^[2-5]。采用 DRAM 构成主存,需要解决 DRAM 的动态刷新问题。就 CPU 而言,对 DRAM 刷新可采用集中式、分散式、异步式 3 种方式,因异步刷新方式对主存速度影响最小,现在的计算机均采用异步刷新方式。就目前大多数 DRAM 而言,都提供了 3 种刷新操作,即只用 \overline{RAS} 信号的刷新、 \overline{CAS} 在 \overline{RAS} 之前有效的刷新和隐含刷新,目前计算

机中通常采用 \overline{CAS} 在 \overline{RAS} 之前有效的刷新操作方式。为了能够实现对 DRAM 的有效访问及动态刷新,需要使用 DRAM 控制器。

2 PC 机主存组成结构分析与设计

用 DRAM 构成主存,需要采用 DRAM 控制器实现对 DRAM 的正常读写及动态刷新的控制。DRAM 控制器是 CPU 与 DRAM 间的接口^[6]。使用 DRAM 控制器,可将 DRAM 作为像 SRAM 一样使用,为主存系统设计带来很大方便。

图 1 给出了以诸如 Intel 8203 等 DRAM 控制器连接 CPU 与 DRAM 芯片的框图,并给出了 DRAM 控制器的内部逻辑组成框图。需要说明的是,对于只用 \overline{RAS} 信号的刷新操作,需要在 DRAM 控制器中提供刷新地址计数器,如图 1 中所示。但现在对于多数 256k 位以上的 DRAM 芯片在内部都具有刷新地址计数器,可使用 \overline{CAS} 在 \overline{RAS} 之前有效的刷新方式,此时就不需要 DRAM 控制器中设置刷新地址计数器。

目前,构成微机主存中采用的 DRAM 控制器功能很强,可控制 DRAM 芯片种类多、数量大,均采用 \overline{CAS} 在 \overline{RAS} 之前有效的刷新方式,并且可构成多存储体交叉访问方式的主存系统。下面以 W4006AF DRAM 控制器为例,

收稿日期:2006-01-12

基金项目:兰州交通大学“青蓝”人才工程计划资助项目(QL-05-04A)

作者简介:米根锁(1966-),男,内蒙古卓资人,副教授,研究方向为计算机体系结构、计算机测控。

说明在 80386 微机中主存的构成方式及其原理。

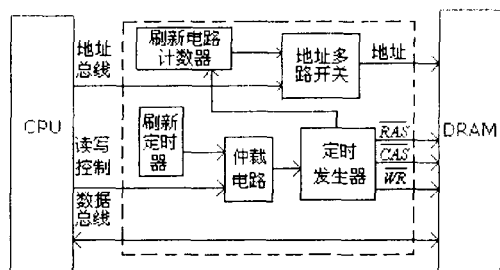


图 1 用 DRAM 控制器连接 CPU 与 DRAM

W4006AF DRAM 控制器可对容量为 256kB, 1MB, 4MB, 16MB 四种 DRAM 芯片进行控制(由其设置方式控制输入信号 M_{16}, M_4 决定)。采用 \overline{CAS} 在 RAS 之前有效的刷新方式, 可控制两个存储体实现交叉访问, 由其地址线 $MA_{01} \sim MA_{B1}$ 和 $MA_{02} \sim MA_{B2}$ (各 12 条地址线) 分别给两个存储体提供地址。其写允许信号 WR_0 和 WR_1 分别用于对两个存储体的读/写控制。每个存储体可包含两个模块, 四个模块的行选通信号分别由 W4006AF 输出的 $RAS_0 \sim RAS_3$ 提供。每个模块又可由若干 DRAM 芯片组成, DRAM 芯片的列选通信号由 W4006AF 的 $CAS_0 \sim CAS_{15}$ 输出提供。

图 2 为采用 W4006AF 构成 80386 微机主存结构原理图, 图中采用的 DRAM 芯片为 $1M \times 8$ 位。

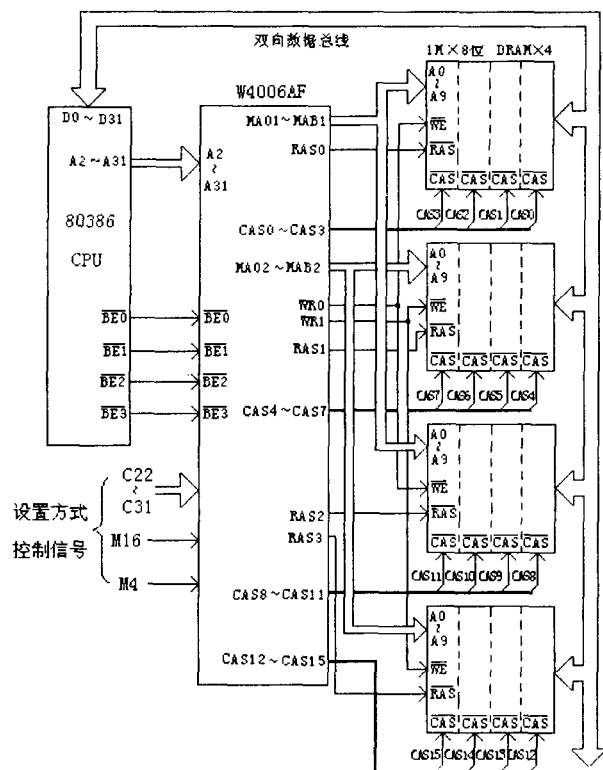


图 2 用 W4006AF 构成 80386 微机主存结构框图

W4006AF 与 80386CPU 连接后, 即可在内部自动产生控制 DRAM 芯片的各种信号。W4006AF 的 $A_{31} \sim A_2$ 、 $\overline{BE}_3 \sim \overline{BE}_0$ 引脚与 80386CPU 提供的相应引脚连接后, 可

产生 $MA_{01} \sim MA_{B1}, MA_{02} \sim MA_{B2}, RAS_0 \sim RAS_3, CAS_0 \sim CAS_{15}, WR_1, WR_0$ 等信号, 同时 W4006AF 将设置输入控制信号 $C_{22} \sim C_{31}$ 与 CPU 送来的 $A_{22} \sim A_{31}$ 比较, 若一致则进入工作状态, 由此可连接多个 W4006AF, 以达到扩充内存容量的目的。

对整个内存的访问按照“W4006AF—存储体—模块—数据字(字节)”进行寻址, 即用 $C_{22} \sim C_{31}$ 选择 W4006AF 芯片, 用 $MA_{01} \sim MA_{B1}, MA_{02} \sim MA_{B2}, WR_1, WR_0$ 选择存储体, 用 $RAS_0 \sim RAS_3$ 选择模块, 用 $CAS_0 \sim CAS_{15}$ 选择 DRAM 芯片(决定双字、字、字节的读写)。80386CPU 在读写内存时, 提供的内存单元地址应当为 32 位, 即从 $A_{31} \sim A_0$ 。给 W4006AF 提供的地址引脚为 $A_{31} \sim A_2$, 而 A_1, A_0 转化为 $\overline{BE}_3 \sim \overline{BE}_0$ 提供给 W4006AF, 使其据此产生相应的 CAS 信号以实现字节或字或双字的传送。

对于图 2 所示的组成结构, DRAM 芯片单元地址的组成如图 3 所示。共可连接 256 个 W4006AF, 每个 W4006AF 可控制两个存储体, 每个存储体由两个模块组成, 每个模块由四片 $1M \times 8$ 位 DRAM 芯片组成, 因此, 整个可寻址主存容量为:

A31	A24 A23	A14 A13	A4	A3	A2	$\overline{BE}_3 \sim \overline{BE}_0$
256个W4006AF 其中之一选择	10位行地址	10位列地址	存储体中两个 模块之一的选择	选择W4006AF控制 之一的两个存储体	字节允许	
DRAM芯片单元地址						

图 3 主存单元地址组织

$$256 \times 2 \times 2 \times 4 \times (1M \times 8 \text{ 位}) = 2^{32} \times 8 \text{ 位}$$

此容量就是 80386CPU 的最大可寻址物理内存空间。

根据以上分析可知:

(1) 采用的 DRAM 芯片的容量不同, 则可连接的 W4006AF 的数量以及 DRAM 芯片的数量也不同。例如若全部选用 $256k \times 1$ 位的 DRAM 芯片构成主存(此时 W4006AF 的 $M_{16}, M_4 = 11$), 则每个模块可由 32 个 DRAM 芯片构成, 此时每个 W4006AF 连接的 DRAM 芯片数量最多, 为 128 个。此时, CPU 可连接的 W4006AF 控制器数量最多, 为 1024 个, 每个 W4006AF 用其设置方式的输入信号 $C_{22} \sim C_{31}$ 与 CPU 送来的 $A_{22} \sim A_{31}$ 比较, 以决定其是否被选择进入工作状态。此时整个主存容量为:

$$1024 \times 2 \times 2 \times 32 \times (256k \times 1 \text{ 位}) = 2^{32} \times 8 \text{ 位}$$

这也达到 80386CPU 的最大物理主存的寻址空间。若全部采用 $16M \times 8$ 位的 DRAM 芯片(此时 W4006AF 的 $M_{16}, M_4 = 10$), 则每个模块可由四片 DRAM 芯片组成, 此时每个 W4006AF 连接的 DRAM 芯片数量最少, 为 16 个。而此时 CPU 可连接的 W4006AF 数量最少, 为 16 个, 每个 W4006AF 用其设置方式的输入信号 $C_{20} \sim C_{31}$ 与 CPU 送来的 $A_{28} \sim A_{31}$ 比较, 以决定其是否被选择进入工作状态, 此时整个主存容量为:

$$16 \times 2 \times 2 \times 4 \times (16M \times 8 \text{ 位}) = 2^{32} \times 8 \text{ 位}$$

也达到 80386 可寻址的最大物理主存空间。

(下转第 210 页)

表 1 测试结果

IP Pack Length	Av Latency Limit(μ s)	Max Allowed Lost Pkts	Max Theoretic Rate(pkts/s)	Actual rate (pkts/s)	Throughput (Rx/Tx %)	Tx Load (% of max)	Latency (μ s)		
							Min/	Avg/	Max
48	100000.00	0	145349	88832	100.0000	85.1161	19.42/	108.08/	300.70
64	100000.00	0	122549	88651	100.0000	96.3394	21.60/	133.57/	341.35
128	100000.00	0	75301	75301	100.0000	100.0000	28.71/	156.23/	292.00
256	100000.00	0	42517	42517	100.0000	100.0000	41.25/	233.93/	446.33
512	100000.00	0	22727	22727	100.0000	100.0000	66.86/	402.15/	759.75
768	100000.00	0	15509	15509	100.0000	100.0000	92.45/	570.11/	1073.55
1024	100000.00	0	11770	11770	100.0000	100.0000	117.79/	739.19/	1386.59
1280	100000.00	0	9484	9484	100.0000	100.0000	179.50/	941.46/	1741.92
1500	100000.00	0	8127	8128	100.0000	100.0000	184.11/	1054.66/	1989.89

(2)私网流量通过公网能够正常、稳定、长时间转发。

保证验证路由器的 MPLS 功能系统在复杂组网环境中,并行多个业务系统时,各个业务的运行功能是否正常,48~72 小时运行是否基本可靠,以及冗余链路启用是否正确,同时在测试仪上配置千兆流量对 MPLS 网络的性能进行测试。

3.2 MPLS 测试结果

在测试过程中,使用 RouterTest 配置 MPLS 报文,检验 MPLS 网络的性能,同时为了使环境更加贴近现实环境,测试仪上构建多种业务流量,并在测试过程中检测系统的整体性能。本组网环境对 MPLS/VPN 模块的测试包含了 LDP,MPBGp,BGP,ISIS,RIP 等协议的相关测试,测试了 BGP,RIP,ISIS 的 VPN 接入,MPLP 网络在多业务共存的情况下,可以正常运行,网络性能比较可靠。网络的性能结果如表 1 所示。

从表中可以看出,当报文的长度为小字节时,如 48 或 64,性能会有所差异。在图 3 的组网测试环境中,如果增加一条 MPLS VPN 流量时,超过应有的带宽时,会有随机的丢包现象,不是均匀丢包,在测试仪上看到的现象是两个接收端交替接收到发送端的流量。

(上接第 206 页)

(2)W4006AF 用 CPU 送来的 $\overline{BE}_3 \sim \overline{BE}_0$ 选择 CAS 信号和数据传送类型。用 \overline{BE}_3 选择 $CAS_3, CAS_7, CAS_{11}, CAS_{15}$ 和 $D_{31} \sim D_{24}$; 用 \overline{BE}_2 选择 $CAS_2, CAS_6, CAS_{10}, CAS_{14}$ 和 $D_{23} \sim D_{16}$; 用 \overline{BE}_1 选择 $CAS_1, CAS_5, CAS_9, CAS_{13}$ 和 $D_{15} \sim D_8$; 用 \overline{BE}_0 选择 $CAS_0, CAS_4, CAS_8, CAS_{12}$ 和 $D_7 \sim D_0$, 从而可以实现数据的字节、字或双字类型的传送。

(3)因 W4006AF 控制两个存储体分别采用了相互独立的地址信号、选通信号和读写信号,加上其内部能够满足要求的时序逻辑设计,可以实现对双存储体的交叉访问,构成了并行存储器结构,提高了主存的访问速度。

3 结束语

通过以上分析,对微机主存结构及其工作原理有了较深的掌握。由此也可以想到若采用能够控制多个存储体的 DRAM 控制器,即可构成多体交叉访问的主存结构,使

4 结 论

在分析了 MPLS 网络技术特点基础上,搭建了接近实际环境的测试网络,对 MPLS 性能进行了测试。结果表明,MPLP 网络在多业务共存情况下,运行正常,性能可靠。

参考文献:

- [1] Rosen E, Viswanathan A, Callon R. Multi-protocol label Switching Architecture[Z]. REC 3031, 2001.
- [2] Comer D E. 用 TCP/IP 进行网际互联. 第 1 卷:原理、协议与结构(第 4 版)[M]. 北京:电子工业出版社, 2003.
- [3] Pepelnhak I, Guichard J. MPLS 和 VPN 体系结构[M]. 北京:人民邮电出版社, 2002.
- [4] Aliveyn V. 高级 MPLS 设计与实施[M]. 北京:人民邮电出版社, 2003.
- [5] 曹雄恒. 宽带多协议标记交换(MPLS)网络的原理及关键技术[J]. 计算机应用, 2001, 21(7): 29-31.
- [6] 章 森, 吴建平. 网络互联设备的性能测试: 原理和实践[J]. 小型微型计算机系统, 2004, 25(9): 1587-1591.
- [7] 田 辉. MPLS 测试技术[J]. 电信网技术, 2003, 19(2): 55-57.

主存的并行访问程度更高。若将每个 DRAM 控制器及其控制的存储器作为一个整体,制成电路板。即构成了内存条,由内存条方便地构成主存。

参考文献:

- [1] 窦振中. 单片机外围器件实用手册(存储器分册)[M]. 北京:北京航空航天大学出版社, 1998. 3-13.
- [2] 王 红. 高速缓冲存储器性能分析[J]. 微机发展, 2000, 10(5): 30-32.
- [3] 郇 军. 存储器管理中的虚拟存储技术[J]. 微机发展, 1997, 7(4): 52-54.
- [4] 白中英. 计算机组成原理(第 3 版)[M]. 北京:科学出版社, 2000. 71-104.
- [5] 俸远祯, 阎慧娟, 罗克露. 计算机组成原理[M]. 北京:电子工业出版社, 1996. 150-164.
- [6] 曾家智, 向世清. 微型计算机系统与接口[M]. 成都:电子科技大学出版社, 1992. 7-40.