

# 一种多核共享测试数据的 BIST 方案

方祥圣<sup>1,2</sup>, 梁华国<sup>2</sup>, 沈祝财<sup>2</sup>

(1. 安徽经济管理学院 计算机系, 安徽 合肥 230051;

2. 合肥工业大学 计算机与信息学院, 安徽 合肥 230009)

**摘要:**文中提出了一种新颖的 SOC 芯片 BIST 方案。该方案是利用相容技术和折叠技术, 将 SOC 芯片中多个芯核的测试数据整体优化压缩和生成, 并且能够实现多个芯核的并行测试, 具有很高的压缩率, 平均压缩率在 94% 以上; 且结构简单、解压方便、硬件开销低, 实验证明是一种非常好的 SOC 芯片的 BIST 方案。

**关键词:** SOC 芯片; 测试数据共享; BIST

**中图分类号:** TP301

**文献标识码:** A

**文章编号:** 1673-629X(2006)05-0214-03

## BIST Scheme for Test Data Sharing with Multiple Cores

FANG Xiang-sheng<sup>1,2</sup>, LIANG Hua-guo<sup>2</sup>, SHEN Zhu-cai<sup>2</sup>

(1. Department of Computer, Anhui Economy Administer Institute, Hefei 230051, China;

2. Institute of Computer and Information, Hefei University of Technology, Hefei 230009, China)

**Abstract:** Novel BIST scheme for SOC was presented in this paper. The test data of multiple cores was taken as one and optimization compressed and built by using compatible compression and folding compression. Besides it could test multiple cores at one time. The compressibility is very high about 94%, as well as the structure is simpleness and decompression is convenience and the hardware consumption is low. The experiments show that this scheme is superduper for SOC BIST.

**Key words:** SOC chip; test data sharing; BIST

## 0 引言

随着系统和电路规模的增大以及芯片集成度的提高, 对芯片的可靠性要求也越来越高, 尤其是系统芯片 SOC 的出现, 由于嵌入了各种芯核(core), 使得测试数据上升, 测试芯核难以进入, 结果导致测试费用大量增加, 并且传统的离线测试越来越不适应 IC 的发展。因此, 近年来解决 SOC 的测试问题已成为人们关注和研究的热点。

针对 SOC 测试所需大量测试数据及测试芯核难以进入等特点, 目前研究者们已经提出许多解决方案。根据测试源的划分可分为两大类: 一类是内建自测试 BIST(Built-in Self-test)<sup>[1~5]</sup>, 这种方法直接在芯片上建立测试器, 实现测试模式生成, 控制测试以及响应评价等。其优点是芯片无需额外 I/O 管脚, 克服了芯核测试难以进入问题。另一类是外建自测试 BOST(Built-out Self-test), 它是将

部分芯片上的测试模式生成资源移到离线的自动测试设备上, 减少芯片的硬件成本。

为了有效地降低测试成本和测试时间, 文中提出了一种基于总线的多核共享测试数据的 SOC 芯片 BIST 方案。该方案采用多核测试数据共享, 并对共享数据利用相容技术和折叠技术进行双重压缩, 既提高了数据的压缩率, 又降低了硬件开销, 同时在测试时, 利用总线进行测试数据共享, 大大简化了结构, 硬件开销小。如果采用测试源划分技术, 将大量的非结构性的压缩数据移到芯片外 ATE 中, 芯片上的测试硬件开销将会进一步减少, 相对编码压缩方案测试控制过程简单, ATE 与芯片之间测试数据传输协议也容易实现。

## 1 背景知识介绍

首先介绍一下相关知识:

1) 相容关系: 如果对于每个  $i$  都有  $u_i$  和  $v_i$  相等, 或者至少有一个是无关位, 那么这两个向量就具有相容关系。例如向量  $10xx010xx110xx1$  和  $100xxx01xxx00x1$  是相容的。经相容压缩后可用  $100x0101x1100x1$  来替代, 因为它可涵盖上述两个向量的可测故障。

2) 多扫描链结构: 在基于扫描的电路测试中, 用多扫描链结构代替单扫描链结构是一种比较好的减少测试时

收稿日期: 2006-01-16

基金项目: 国家自然科学基金资助项目( # 90407008 ); 教育部留学回国人员科研基金资助项目( # 2004. 527 ); 安徽省自然科学基金资助项目( # 050420103 )

作者简介: 方祥圣(1969-), 男, 安徽合肥人, 硕士研究生, 讲师, 研究方向为内建式 BIST、嵌入式系统的研究等; 梁华国, 教授, 博导, 研究方向为内建式 BIST、数字系统设计自动化、ATPG 算法与分布式控制等。

间的方法。在多扫描链结构的电路测试中,测试向量按多扫描链的形式排列后形成与扫描链数目相同的测试子向量,这些测试子向量并行移入多扫描链,这样测试向量移入扫描链的时间大大缩短。在多扫描链相容压缩中,将每条扫描链的信息看成是一个元素,相容扫描链的信息看成是一个相容类,然后用相容类中的一个元素代替这个相容类,也就是说用一条扫描链的信息代替一组相容扫描链的信息,在解压时使用扇出线再将一条扫描链的信息扩展送到对应的一组扫描链中去,这样就大大压缩了测试数据。

3) 折叠关系:假设  $x = x_1 x_2 \cdots x_n$  和有  $y = y_1 y_2 \cdots y_3$  ( $x \neq y$ ) 是集合  $T \in \{0, 1\}^n$  的两个元素,让  $x \oplus y = z = z_1 z_2 \cdots z_{p-1} z_p \cdots z_{i-1} z_i \cdots z_n$ , 其中  $1 \leq i \leq n$ ,  $1 \leq p < i$ 。如果在  $z$  中  $z_i \cdots z_n$  位是相同数字位(全“0”或全“1”),  $z_1 z_2 \cdots z_{p-1} = 00 \cdots 0$ , 并且  $z_p \cdots z_{i-1}$  位是单数位为“1”,偶数位为“0”,那么  $x$  和  $y$  是一对折叠关系,被表示为  $x F y$ 。那么一定存在一个折叠种子  $s \in \{0, 1\}^n$ ,  $s$  按折叠关系展开后生成包含  $x$  和  $y$  折叠向量集。例如:向量  $x = 1011101$  和  $y = 1110010$  具有折叠关系,它们可通过折叠种子  $s = 0100010$  按折叠关系展开后生成的折叠向量集来包含。折叠种子  $s$  展开的折叠向量集是  $\{0100010, 1011101, 1100010, 1111101, 1110010, 1110101, 1110110, 1110111\}$ 。而折叠种子的生成可参照文献[5]。

通过对芯片测试集的研究发现,每个测试集中都包含着大量的无关位,且很多测试向量之间存在着相容关系,故而有很大的压缩空间;同时关于系统芯片 SOC 的测试很少将 SOC 中的多个核(core)的测试数据整体优化考虑,大多是将各核单独考虑,为每个核建立一个 BIST 方案,这样既增加了硬件开销,又浪费时间,尤其对规模大的工业系统芯片 SOC 的测试,令人无法接收。针对这种情况,文中提出了一种新颖的多核共享测试数据的 BIST 方案。

## 2 一种多核共享测试数据的 SOC 多扫描链 BIST 方案

文中针对 SOC 芯片内部由于嵌入了多个芯核(core),而这些芯核又难以进入,导致测试数据量大、测试成本高、测试费用急剧上升等难题,提出了一种多核共享测试数据的多扫描链 BIST 方案。其方案如下:

① 将多个核的测试数据放在一起考虑,测试向量位数短的后加无关位补充,形成测试集  $T_d$ 。

② 对测试集  $T_d$  按多扫描链结构进

行相容压缩(即对测试集  $T_d$  进行宽度压缩或称为横向压缩),形成集合  $T$ 。

③ 对集合  $T$  按单扫描链重新排列,形成集合  $T_E$ ,并对  $T_E$  再次进行相容压缩(即纵向压缩),形成集合  $T_E'$ 。

④ 按参考文献[5],利用折叠技术对  $T_E'$  进行第三次压缩(仍为纵向压缩),形成折叠种子集  $T_{ES}$ 。

举例说明:某一 SOC 芯片内部含有两个核 core1 和 core2,其测试集分别为:

$\begin{cases} \text{xx10xxxx00xxxx0xxxxxxx} \\ \text{1xxx0xxx01xxxxxxxxxxxxxxxx} \end{cases}$  和  $\begin{cases} \text{xxxx11xxxxxxxx0xxxx} \\ \text{0xxxx1xxxxxxxxxxxxxxxx} \end{cases}$

它们共占 86 位存储空间,现将两者统一考虑,按上述方案进行优化压缩。压缩过程如图 1 所示。

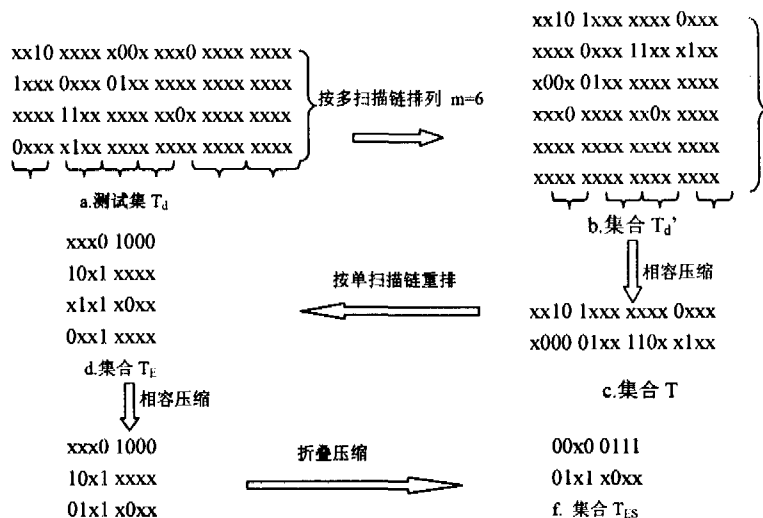


图1 两核数据压缩过程示意图

首先,将两个测试集合并,测试向量位数短的后补无关位,形成  $24 \cdots 4$  的测试集  $T_d$ ;再选取扫描链个数  $m = 6$ ,扫描链的宽度  $n = 4$ ,对测试集  $T_d$  进行多扫描链相容压缩,压缩后形成  $8 \cdots 2$  的测试集  $T$ ;然后对测试集  $T$  按单扫描链重新排列,形成集合  $T_E$ ,对集合  $T_E$  进行第二次相容压缩,形成集合  $T_E'$ ;最后对集合  $T_E'$  进行折叠压缩,形成折叠种子集  $T_{ES}$ ;经过三次压缩后,折叠种子集  $T_{ES}$  占 16 位存储空间,压缩率为 81.4%。

文中建议方案所采用的解压结构如图 2 所示。

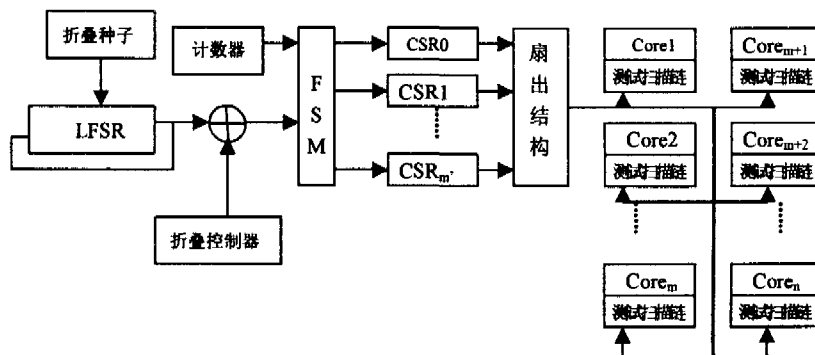


图2 多核共享测试数据的解压结构示意图

折叠种子由线性反馈移位寄存器(LFSR)在折叠控制器的控制下按折叠关系展开成折叠序列<sup>[5]</sup>,再经相移器(FSM)、循环扫描寄存器(CSR)和扇出结构进行多扫描链接解压,解压后的测试序列(包含原测试集)同时送入各核的测试扫描链,进行扫描测试。

### 3 实验结果与分析

本方案采用 ISCAS-89 和 ISCAS-85 组合逻辑电路部分做了一系列实验,其中,仅对那些在 10000 随机模式应用之后,仍然存在不可测故障电路进行了分析,在实验中,将每两个电路统一优化考虑,给出了选取不同的扫描链个数时,本方案的实验结果如表 1 所示;并将最好的结果与近年来国际上较好的混合码压缩方案<sup>[2]</sup>的实验结果进行了比较,两者在同样条件下的实验结果如表 2 所示。

表 1 文中建议方案的实验结果

电路	$m = 64$		$m = 128$		$m = 200$		$m = 300$	
	总存储位数	压缩率 %	总存储位数	压缩率 %	总存储位数	压缩率 %	总存储位数	压缩率 %
C2670 C7552	12208	76.88	8136	84.59	8136	84.59	...	...
S5378 S9234	7980	89.91	5992	92.43	5992	92.43	...	...
SI3207 SI5850	1804	99.18	2190	99.03	1464	99.34	1416	99.36
S38417 S38584	69888	97.37	67925	97.44	49770	98.13	55860	97.90

表 2 文中建议方案与混合码方案<sup>[2]</sup>的实验结果比较

电路	硬故障 测试集 (bits)	混合码压缩方案 <sup>[2]</sup>		文中建议压缩方案		
		压缩后存储 位数 (bits)	压缩率 I %	压缩后存储 位数 (bits)	压缩率 II %	II / I
C2670 C7552	52799	10178	80.72	8136	84.59	1.048
S5378 S9234	79104	14824	81.26	5992	92.43	1.137
SI3207 SI5850	384248	18052	95.30	1416	99.36	1.043
S38417 S38584	2658240	84628	96.82	49770	98.13	1.014

(上接第 213 页)

以把公共的代码移到父类里面,从而避免重复的代码。

- \* 策略模式提供了可以替换继承关系的办法。
- \* 使用策略模式可以避免使用多重条件转移语句。

### 3 结束语

信息技术的高速发展是有目共睹的。如今软件企业的数量正急剧增长,软件开发项目不仅数量越来越多,而且规模也越来越大。程序设计与编码的复杂性和工作量也越来越大。此时,设计模式显示了它的优越性。文中通过在物流信息系统中引入设计模式,从实践证明了设计模式的有效应用可以提供一个已经得到实践验证的设计框架,有助于软件的开发,提高软件的稳定性和可维护性,使软件工艺有基础性的质量保证,缩短项目开发周期和降低

由实验结果可以看出文中建议方案明显优于混合码压缩方案<sup>[2]</sup>,其平均压缩率比混合码压缩方案<sup>[2]</sup>高出 5 个百分点。文中在实验中仅仅是将两各电路统一考虑,若将多个电路统一考虑,压缩率将会更高。同时,文中方案由于多核共享而节省了大量用于测试的硬件开销。

### 4 结论

文中提出了一种 SOC 芯片内部多核共享测试数据的数据压缩与解压方案。该方案利用相容技术和折叠技术,将 SOC 芯片中多个芯核的测试数据整体优化压缩和生成,并且能够实现多个芯核的并行测试,具有很高的压缩率;同时由于是多核共享,所以节省了很多硬件开销。文中建议的方案结构简单、解压方便、硬件开销低,实验证明是一种非常好的 SOC 芯片的 BIST 方案。

### 参考文献:

- [1] 梁华国,蒋翠云.基于交替与连续长度码的有效测试数据压缩和解压[J].计算机学报,2004,27(4):548-554.
- [2] Wuertenberger A, Tautermann C S, Hellebrand S. A Hybrid Coding Strategy For Optimized Test Data Compression[A]. Proceedings IEEE International Test conference[C]. Charlotte, NC, USA:[s.n.],2003.
- [3] Hellebrand S, Rajski J, Tarnicks, et al. Courtois: Built-in Test for Circuits with Scan Based on Reseeding of Multiple-Polynomial Linear Feedback Shift Registers[J]. IEEE Trans. on Comp.,1995,44(2):223-233.
- [4] Liang Hua-Guo, Jiang Cui-yun. Mixed Mode BIST Using Bi-Seed Copression[J]. Journal of Computer Research and Development,2004,41(1):215-220.
- [5] Liang Hua-Guo, Hellebrand S, Wunderlich H J. A deterministic BIST scheme based on reseeding of folding counter[J]. Journal of Computer Research and Development,2001,38(8):931-938.

了开发成本。

### 参考文献:

- [1] Gamma E, Helm R, Johnson R, et al. Design Patterns - Elements of Reusable Object-Oriented Software[M]. 北京:机械工业出版社,2002.
- [2] Fowler M, Beck K, Brant J, et al. Refactoring: Improving the Design of Existing Code[M]. [s.l.]: Addison-Wesley, 1999.
- [3] Buschmann F, Meunier R, Rohnert H, et al. 面向模式的软件体系结构:模式系统[M]. 北京:机械工业出版社,2003.
- [4] 阎宏. Java 与模式[M]. 北京:电子工业出版社,2002.
- [5] 胡剑鸿. 基于 Web Service 的企业级应用中设计模式的研究与实现[D]. 上海:华东师范大学,2004.